



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월22일
(11) 등록번호 10-0864599
(24) 등록일자 2008년10월15일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0024738(분할)

(22) 출원일자 2006년03월17일

심사청구일자 2006년03월17일

(65) 공개번호 10-2006-0031661

(43) 공개일자 2006년04월12일

(62) 원출원 특허 10-2001-0013913

원출원일자 2001년03월17일

심사청구일자 2006년03월17일

(30) 우선권주장

JP-P-2000-00075467 2000년03월17일 일본(JP)

(56) 선행기술조사문헌

JP 05-119331 A*

KR 10-1998-072232 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 243-0036 가나가와Ken 아쓰기시 하세 398

가부시키가이샤한도오따이 에네루기 켄큐쇼(내)

히라카타 요시하루

일본국 243-0036 가나가와Ken 아쓰기시 하세 398

가부시키가이샤한도오따이 에네루기 켄큐쇼(내)

(74) 대리인

이범래, 장훈

전체 청구항 수 : 총 3 항

심사관 : 신영교

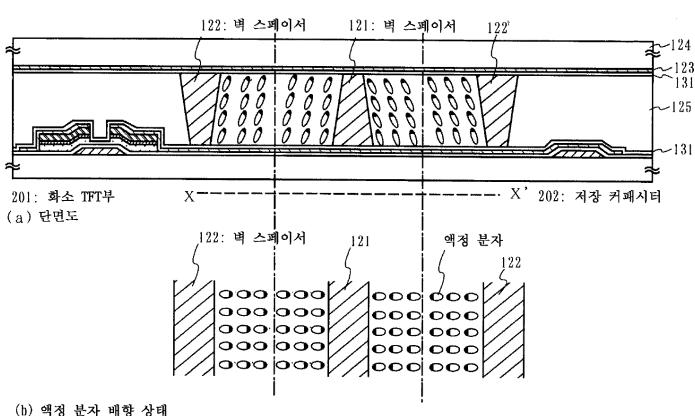
(54) 액정 디스플레이 장치 제조 방법

(57) 요 약

[목적] 능동 매트릭스형 액정 디스플레이 장치에 의해 대표되는 전자-광학 장치는 마찰 처리를 삭제하여 제조되고, 부가하면, 제조비용의 감소와 수율의 개선은 TFT를 제조하기 위해 처리 단계들의 수를 감소시켜 구현된다.

[해결 수단] 역 스태거형 n-채널 TFT를 갖는 화소 TFT부와, 저장 커패시터를 형성하고, 3개의 포토마스크들을 사용하는 3개의 포토리소그래피 단계들을 수행하고, 부가하면, 마찰 처리를 수행하지 않고 하나의 포토리소그래피 단계를 수행하여 벽-형상 스페이서들을 형성함으로써 균일한 셀 간격을 가져서, 넓은 시야각 디스플레이를 가지며 액정 분자들의 스위칭 방향이 제어되는 다중-도메인 수직 배향형 액정 디스플레이 장치가 구현될 수 있다.

대 표 도



특허청구의 범위

청구항 1

액정 디스플레이 장치를 제조하는 방법에 있어서,

제 1 마스크를 사용하여 제 1 기판 상에 게이트 배선을 형성하는 제 1 단계;

상기 게이트 배선을 덮는 절연막을 형성하는 제 2 단계;

상기 절연막 상에 제 1 비정질 반도체막을 형성하는 제 3 단계;

n-형 도전성을 부여하는 불순물 원소를 함유하는 제 2 반도체막을 상기 제 1 비정질 반도체막 상에 형성하는 제 4 단계;

제 2 비정질 반도체막 상에 제 1 도전막을 형성하는 제 5 단계;

제 2 마스크를 사용하여 상기 제 1 비정질 반도체막을 패터닝하고, 상기 제 2 마스크를 사용하여 상기 제 2 비정질 반도체막을 패터닝하고, 상기 제 2 마스크를 사용하여 상기 제 1 도전막을 패터닝하여 상기 제 1 도전막으로부터 배선을 형성하는 제 6 단계;

상기 배선과 접촉하여 중첩하는 제 2 도전막을 형성하는 제 7 단계;

제 3 마스크를 사용하여 상기 제 2 도전막을 패터닝하여 상기 제 2 도전막으로 이루어진 화소 전극을 형성하고, 상기 제 3 마스크를 사용하여 상기 배선을 패터닝하여 소스 배선 및 전극을 형성하고, 상기 제 3 마스크를 사용하여 상기 제 2 비정질 반도체막을 패터닝하여 상기 제 2 비정질 반도체막으로 이루어진 소스 영역 및 드레인 영역을 형성하고, 상기 제 3 마스크를 사용하여 상기 제 1 비정질 반도체막의 일부분을 제거하는 제 8 단계;

상기 화소 전극 상에 배향막을 형성하는 제 9 단계;

상기 배향막 상에 제공되는 적어도 제 1 및 제 2 간격(gap) 유지 재료를 형성하는 제 10 단계;

상기 제 1 기판과 제 2 기판을 접합하는 제 11 단계; 및

상기 제 1 기판과 상기 제 2 기판 사이에 액정을 주입하는 제 12 단계를 포함하며,

상기 제 1 및 제 2 간격 유지 재료 각각은 상기 제 1 기판과 대면하는 제 1 단면 및 상기 제 2 기판과 대면하는 제 2 단면을 갖고,

상기 제 1 간격 유지 재료의 상기 제 1 단면은 상기 제 1 간격 유지 재료의 상기 제 2 단면보다 작고,

상기 제 2 간격 유지 재료의 상기 제 1 단면은 상기 제 2 간격 유지 재료의 상기 제 2 단면보다 큰 것을 특징으로 하는, 액정 디스플레이 장치 제조 방법.

청구항 2

제 1 항에 있어서,

상기 간격 유지 재료는 상기 제 1 기판과 상기 제 2 기판 사이의 간격을 고정된 거리로 유지하는 것을 특징으로 하는, 액정 디스플레이 장치 제조 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 액정의 프리-틸트 각(pre-tilt angle)이 상기 간격 유지 재료의 측면에 의해 제어되어, 상기 액정을 배향시키는 것을 특징으로 하는, 액정 디스플레이 장치 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <27> 본 발명은 박막 트랜지스터(이후에 TFT로 언급됨)로 구성된 회로를 가진 반도체 장치 및 그 제조 방법에 관한 것이다. 예를 들어, 본 발명은 전자-광학 장치, 통상적으로 액정 디스플레이 패널, 및 부품으로서 상기 형식의 전자-광학 장치가 적재된 전자 장비에 관한 것이다.
- <28> 근년에, 절연 표면을 갖는 기판 상에 형성된 반도체 박막(수십 nm 내지 수백 nm 차수의 두께인)을 사용하여 박막 트랜지스터(TFT)를 제조하는 기술이 주목받아왔다. 상기 박막 트랜지스터는 IC 또는 전자-광학 장치와 같은 전자 장치에서 널리 응용되고 있으며, 특히 영상 디스플레이 장치의 스위칭 장치로서의 발전은 급속히 진행되고 있다.
- <29> 통상적으로, 액정 디스플레이 장치는 영상 디스플레이 장치로서 공지되어 있다. 능동(active) 매트릭스 형식 액정 디스플레이 장치는 수동 형식 액정 디스플레이 장치에 비해 더 높은 선명도의 영상이 얻어질 수 있다는 사실로 인해 널리 퍼지게 되었다. 상기 능동 매트릭스 형식 액정 디스플레이 장치 내의 매트릭스 상태로 배열된 화소 전극들을 구동하여, 디스플레이 패턴이 스크린 상에 형성된다. 더 자세히 하면, 선택된 화소 전극과 상기 화소 전극에 대응하는 대향(opposing) 전극 사이에 전압을 인가하여, 상기 화소 전극과 상기 대향 전극 사이에 배열된 액정 층의 광학 변조가 수행되고, 상기 광학 변조는 관찰자에 의해 디스플레이 패턴으로서 인식된다.
- <30> 상기 형식의 능동 매트릭스 형식 전자-광학 장치의 사용이 확산되고 있고, 상기 스크린 크기를 더 크게 함에 따라서, 더 높은 선명도, 더 높은 개구(aperture) 비율, 및 더 높은 신뢰성의 요구가 증가하고 있다. 또한, 동시에, 생산성을 개선하고 가격을 낮추는 요구가 증가하고 있다.
- <31> 통상적으로, 액정 분자들에 입사하는 빛의 방향과 상기 액정 분자들로부터 방출되는 빛의 방향 사이의 90° 트위스트로 배향(orientation)된 TN 모드는 전송 형식 액정 디스플레이 장치에 의해 사용된 액정 층의 배향 모드로서 일반적으로 사용된다.
- <32> 상기 TN 모드 액정 디스플레이 장치를 제조할 때, 배향막이 한 기판과 다른 기판 상에 형성되고, 마찰(rubbing) 처리와 같은 처리가 상기 액정의 배향 방향을 설정하기 위해 수행된다. 상기 기판들은 그 다음에 상기 기판들의 마찰 방향이 서로 수직이 되도록 구성된다. 상기 트위스트 회전방향을 결정하기 위한 키랄(chiral) 재료가 혼합된, 액정 재료를 상기 기판들의 쌍 사이에 주입하여, 미리 설정된(preset) 트위스트 방향을 갖는 액정 디스플레이 장치가 형성된다.
- <33> 이 시점에서, 상기 액정 분자들의 주축은 에너지적으로 가장 안정한 배열을 갖기 위해 상기 기판 표면에 평행하게 배열되고, 상기 마찰 조건들과 배향막 재료에 의존하여, 상기 액정은 상기 기판 표면에 대해 몇 도(several degrees)로부터 약 10° 까지의 각도를 가지며 배열된다.
- <34> 상기 각도는 프리-틸트(pre-tilt) 각으로 언급되고, 상기 프리-틸트 각을 유지하여, 상기 배열의 변화는 전기장이 인가될 때 상기 액정 분자들의 주축의 양 에지부(edge portion)들에서 에지부의 소정의 정렬(lining up)에 의해 발생한다. 상기 배향은 그래서 동작 동안 연속적으로 되고, 역 털트 도메인(reverse tilt domain)으로 언급되는 배향 결함(defect)이 방지될 수 있다.
- <35> 그러나, 상기 TN 모드로, 콘트라스트(contrast) 특징은 특정한 시청(viewing) 영역 밖에서 극도로 열화되고, 역 변화(reverse gradation)로 언급되는 현상의 문제가 발전된다.
- <36> 이것은 서로 다른 광학 변조를 갖는 빛이, 상기 액정 분자의 배향 상태가 전기장으로 인한 기판 표면에 대해 수직으로 되는, 배향의 변화와, 상기 액정층 내의 광 진행 거리의 변화와, 투과중의 빛의 굴절률의 변화로 인해, 관찰자가 상기 액정 디스플레이 장치를 보는 시청 각도와 위치에 의존하여, 보이기 때문이다.
- <37> 또한, 상기 기판과의 계면 근처의 액정 분자들은 상기 모드를 지닌 강하게 조절된 배향을 받아들이고, 상기 초기 배향은 거의 유지된다. 그러므로, 매우 높은 액정 포화 전압(5 V 이상)이 인가되어도, 주변의 액정 분자들은 수직이 되지 않을 것이다.
- <38> 이것들은 상기 TN 모드의 시야 특성을 좁히게 하는 주요 인자로 고려된다.
- <39> 부가하면, 수직 배향 형식 액정 모드는 다른 액정 디스플레이 모드로서 공지되어 있다. 상기 수직 배향 형식 액정 모드는 상기 액정의 초기 배향이 상기 기판에 대해 수직인 배향 모드이다. 네거티브 유전체 이방성을 처리하

는 n-형 액정 재료는 상기 모드에서 사용된다. 디스플레이는 상기 기판들 상에 형성된 전극들 사이에 전기장을 인가하여 상기 모드에서도 구현된다.

<40> 그러나, 이것은 상기 액정의 이중 굴절을 사용하는 모드이므로, 상기 프리-틸트 각에서의 작은 양의 분산 (dispersion)은 투과된 빛의 양 또는 반사된 빛의 양에서 분산으로서 보이게 된다. 상기 마찰(rubbing) 처리 동안의 상기 브러시 단부(brush tip)의 접촉에서의 작은 차이는 물결모양(wavy) 디스플레이의 원인이 되며, 이것은 쉽게 문제가 된다.

<41> 또한, 상기 마찰 처리 자체는 부드러운 털로 기판 상의 배향막의 표면을 마찰하는 처리이며, 그러므로 이것은 면지오염의 근원이 된다. 부가하면, 정전기의 발생을 수반하는 기판 상의 장치들의 응력 및 열화에 대한 충분한 계수기 (counter) 측정을 하는 것이 필요하다.

<42> 그러므로, 상기 마찰 처리 없이 상기 액정을 배향하고 균일한 배향을 구현하는 방법이 일반적으로 탐색되었다. 예를 들어, 액정 디스플레이 장치를 제조하는 수단이 상기 기판 상에 형성되고, 상기 액정에 접촉하는 구조의 면의 기울기, 간격, 및 높이와 같은 물리적 파라미터들이 조절되고, 부가하면, 상기 구조의 유전체 상수로 인한 전기장 작용(action)과 함께 배향을 제어하여 행해진다. 160° 이상의 넓은 시야각은 그래서 상기 방법에 의해 구현될 수 있다. 그러나, 상기 종래의 마찰 처리는 상기 방법에 대해 불필요해지며, 복잡한 부가적 처리들이 상기 액정을 배향하기 위해 필요하다.

발명이 이루고자 하는 기술적 과제

<43> [본 발명에 의해 해결될 문제들]

<44> 통상적으로, TFT들은 능동 매트릭스 형식 전기-광학 장치를 위한 최소 5개 이상의 포토마스크들을 사용하여 포토리소그래피 기술을 사용하여 기판 상에 제조된다. 생산성을 증가시키고 수율을 개선하기 위해, 단계의 수가 감소된 효과적인 수단이 고려된다.

<45> 특히, 상기 TFT를 생산하기 위해 필요한 포토마스크들의 수를 감소시키는 것이 필요하다. 상기 포토마스크는 포토레지스트 패턴을 형성하기 위해 포토리소그래피 기술에서 사용되며, 상기 기판 상에서 에칭 처리 마스크가 된다.

<46> 하나의 포토마스크를 사용하여, 레지스트를 가하는 것, 프리(pre)-베이킹, 노출(exposure), 현상(development), 및 포스트(post)-베이킹과 같은 단계들이 적용되고, 막 퇴적과, 사전 및 사후의 에칭의 단계와, 부가하면, 레지스트 제거(peeling), 세척, 및 드라이(drying) 단계들이 부가된다. 그러므로, 상기 전체 처리는 복잡해지고, 이것이 문제를 일으킨다.

<47> 또한, 상기 기판이 절연체이므로 정전기가 제조 단계들 동안 마찰(friction)과 같은 원인들에 의해 발생된다. 정전기가 발생되면, 그 다음에 단락이 상기 기판 상에 형성된 배선의 교점(intersection) 부분에서 발전하고, 정전기로 인한 TFT의 열화 또는 손상이 전기-광학 장치들에서의 디스플레이 결함 또는 영상 품질의 열화를 일으킨다. 특히, 정전기는 상기 제조 단계들에서 수행된 액정 배향 처리에서의 마찰 동안 발전하고, 이것은 문제가 된다.

<48> 본 발명은 상기 형식의 문제들에 답하기 위한 것이고, 본 발명의 목적은 생산비의 감소와 수율의 증가를 전기-광학 장치, 통상적으로는 능동 매트릭스 형식 액정 디스플레이 장치를 제조하고, 상기 마찰 처리를 중단하고, 부가적으로는 TFT의 제조를 위한 단계의 수를 감소시켜서 구현한다.

<49> 부가하면, 본 발명의 목적은 액정 디스플레이 장치의 시야 각 특성을 개선하는 것이다.

발명의 구성 및 작용

<50> [상기 문제를 해결하기 위한 수단]

<51> 본 명세서에 의해 개시된 본 발명의 구조는 기판의 쌍과, 기판의 쌍 사이에서 유지된 액정을 갖는 액정 디스플레이 장치이며,

<52> 상기 기판의 쌍 중 한 기판 상에,

<53> 게이트 배선과;

<54> 상기 게이트 배선 상의 절연막과;

- <55> 상기 절연막 상의 비정질 반도체막과;
- <56> 상기 비정질 반도체막 상의 소스 영역 및 드레인 영역과;
- <57> 상기 소스 영역 또는 드레인 영역 상의 소스 배선 또는 전극과;
- <58> 상기 전극 상에 형성된 화소 전극; 및
- <59> 상기 기판의 쌍 사이의 일정한 간격을 유지하기 위해 형성된 간격 유지 재료가 형성되는 것을 특징으로 하고,
- <60> 상기 액정의 프리-틸트 각이, 상기 간격 유지 재료의 측면에 의해 제어되어, 상기 액정을 배향시키는 것을 특징으로 한다.
- <61> 또한, 본 발명의 다른 구조는 한 쌍의 기판 및 상기 기판의 쌍 사이에서 유지되는 액정을 갖는 액정 디스플레이 장치이며,
- <62> 상기 기판의 쌍 중 한 기판 상에:
- <63> 케이트 배선과;
- <64> 상기 케이트 배선 상의 절연막과;
- <65> 상기 절연막 상의 비정질 반도체막과;
- <66> 상기 비정질 반도체막 상의 소스 영역 및 드레인 영역과;
- <67> 상기 소스 영역 또는 드레인 영역 상의 소스 배선 또는 전극과;
- <68> 상기 전극 상에 형성된 화소 전극; 및
- <69> 상기 기판의 쌍 사이의 일정한 간격을 유지하기 위해 형성된 간격 유지 재료가 형성되는 것을 특징으로 하고,
- <70> 상기 액정의 프리-틸트 각이, 상기 간격 유지 재료의 측면 및 상기 기판들 중 적어도 한 기판 상에 형성된 오목 부와 볼록부에 의해 제어되어, 상기 액정을 배향시키는 것을 특징으로 한다.
- <71> 각각의 상기 구조들에서, 상기 기판들 중 적어도 한 기판은 수직 배향을 위해 사용된 배향막을 갖는다.
- <72> *또한, 상기 간격 유지 재료는 상기 구조들 각각에서 일정한 테이퍼(taper) 각을 갖는다. 상기 테이퍼 각은 75.0° 내지 89.9° 이며 바람직하게는 82° 내지 87° 이다. 또한, 상기 간격 유지 재료는, 주 구성성분으로 아크릴, 폴리이미드, 폴리이미드 아민, 및 에폭시로 구성되는 그룹으로부터 선택된 적어도 하나의 재료를 갖는 유기 수지(resin) 재료; 또는 실리콘 산화물, 실리콘 질화물, 및 실리콘 질화 산화물, 또는 상기 재료의 적층(lamination) 막으로 구성되는 그룹으로부터 선택된 무기 재료이다.
- <73> 또한, 상기 간격 유지 재료의 측면 근처의 액정 분자들의 주축 방향은 상기 구조들 각각에서의 측면에 대해 대략 평행이 되도록 강하게 조절된 배향을 갖는다.
- <74> 부가하면, 상기 구조들 각각에서, 상기 액정은 네거티브 유전체 이방성을 갖는다.
- <75> 또한, 상기 드레인 영역 또는 상기 소스 영역의 한 단부 표면은 상기 비정질 반도체막의 단부 표면 및 상기 구조들 각각에서의 전극의 단부 표면과 대략 일치한다.
- <76> 또한, 상기 구조들 각각에서,
- <77> 상기 드레인 영역 또는 상기 소스 영역의 한 단부 표면은 상기 비정질 반도체막의 단부 표면 및 상기 전극의 단부 표면과 일치하고;
- <78> 상기 드레인 영역 또는 상기 소스 영역의 다른 단부 표면은 상기 화소 전극의 단부 표면 및 상기 전극의 다른 단부 표면과 대략 일치한다.
- <79> 또한, 상기 구조들 각각은 상기 소스 영역 및 드레인 영역이 n-형 전도성을 부여하는 불순물 원소를 포함하는 비정질 반도체막으로 이루어지는 것을 특징으로 한다.
- <80> 또한, 상기 구조들 각각은 상기 절연막, 상기 비정질 반도체막, 상기 소스 영역, 및 상기 드레인 영역이 대기에 노출되지 않고 연속하여 형성된다.
- <81> 부가하면, 상기 구조들 각각은 상기 절연막, 상기 비정질 반도체막, 상기 소스 영역, 또는 상기 드레인 영역이

스퍼터링 방법에 의해 형성되는 것을 특징으로 한다.

<82> 부가하면, 상기 구조들 각각은 상기 절연막, 상기 비정질 반도체막, 상기 소스 영역, 또는 상기 드레인 영역이 플라즈마 CVD 방법에 의해 형성되는 것을 특징으로 한다.

<83> 부가하면, 상기 구조들 각각은 상기 소스 영역 및 상기 드레인 영역이 상기 비정질 반도체막 및 상기 전극의 것과 동일한 마스크를 사용하여 형성되는 것을 특징으로 한다.

<84> 부가하면, 상기 구조들 각각은 상기 소스 영역 및 상기 드레인 영역이 상기 소스 배선의 것과 동일한 마스크를 사용하여 형성되는 것을 특징으로 한다.

<85> 또한, 상기 구조들 각각은 상기 소스 영역 및 상기 드레인 영역이 상기 소스 배선 및 상기 화소 전극의 것과 동일한 마스크를 사용하여 형성되는 것을 특징으로 한다.

<86> 또한, 상기 구조들 각각은 상기 화소 전극이 상기 절연막과 접촉하는 것을 특징으로 한다.

<87> 부가적으로, 상기 구조들 각각은 상기 소스 및 상기 드레인 영역과 접촉하는 상기 비정질 반도체막의 영역의 막 두께가 상기 소스 영역과 접촉하는 영역과 상기 드레인 영역과 접촉하는 영역 사이의 영역의 막두께보다 두꺼운 것을 특징으로 하며, 상기 영역들은 채널 에치형(channel etch type) TFT의 활성층으로서 기능한다.

<88> 또한, 상기 구조들 각각은 상기 소스영역과 접촉하는 영역과 상기 드레인 영역과 접촉하는 영역 사이의 비정질 반도체막의 영역이 상기 무기 절연막으로 이루어진 간격 유지 재료에 의해 덮여서 보호되는 것을 특징으로 한다.

<89> 상기 구조들을 구현하기 위한 본 발명의 구조는 액정 디스플레이 장치를 제조하는 방법이며:

<90> 제 1 마스크를 사용하여 제 1 기판 상에 게이트 배선을 형성하는 제 1 단계;

<91> 상기 게이트 배선을 덮는 절연막을 형성하는 제 2 단계;

<92> 상기 절연막 상에 제 1 비정질 반도체막을 형성하는 제 3 단계;

<93> 상기 제 1 비정질 반도체막 상에, n-형 도전성을 부여하는 불순물 원소를 포함하는, 제 2 반도체막을 형성하는 제 4 단계;

<94> 상기 제 2 비정질 반도체막 상에 제 1 도전막을 형성하는 제 5 단계;

<95> 제 2 마스크를 사용하여 상기 제 1 비정질 반도체막을 패터닝하고;

<96> 상기 제 2 마스크를 사용하여 상기 제 2 비정질 반도체막을 패터닝하고;

<97> 상기 제 2 마스크를 사용하여 상기 제 1 도전막을 패터닝하여, 상기 제 1 도전막으로부터 배선을 형성하는 제 6 단계;

<98> 상기 배선에 접촉하고 오버랩(overlap)하는 제 2 도전막을 형성하는 제 7 단계;

<99> 제 3 마스크를 사용하여 상기 제 2 도전막을 패터닝하여, 상기 제 2 도전막으로 이루어진 화소 전극을 형성하고;

<100> 상기 제 3 마스크를 사용하여 상기 배선을 패터닝하여, 소스 배선 및 전극을 형성하고;

<101> 상기 제 3 마스크를 사용하여 상기 제 2 비정질 반도체막을 패터닝하여, 상기 제 2 비정질 반도체막으로 이루어진 소스 영역 및 드레인 영역을 형성하고;

<102> 상기 제 3 마스크를 사용하여 상기 제 1 비정질 반도체막의 일부를 제거하는 제 8 단계;

<103> 상기 화소 전극 상에 배향막을 형성하는 제 9 단계;

<104> 상기 배향막 상에 간격 유지 재료를 형성하는 제 10 단계;

<105> 상기 제 1 기판과 제 2 기판을 함께 연결시키는 제 11 단계; 및

<106> 상기 제 1 기판과 상기 제 2 기판 사이에 액정을 주입하는 제 12 단계를 갖는 것을 특징으로 한다.

<107> 상기 구조는 상기 간격 유지 재료가 상기 제 1 기판과 상기 제 2 기판 사이의 간격을 고정된 거리로 유지하는 것을 특징으로 한다.

- <108> 또한, 상기 구조에서, 상기 액정의 프리-틸트 각은 상기 간격 유지 재료의 측면 표면에 의해 제어되어, 액정을 배향시킨다. 또한, 상기 액정의 프리-틸트 각의 제어는 상기 배향막을 사용하여 수행된다. 상기 배향막은 상기 제 1 기판 및 상기 제 2 기판 상에 형성될 수 있거나, 양 기판 상에 형성될 수 있다.
- <109> [본 발명의 실시예 모드]
- <110> 본 발명의 실시예 모드들은 하기에 설명될 것이다.
- <111> 본 발명은, 상기 문제들을 해결하기 위해, 채널 에치형 바닥 게이트(bottom gate) TFT 구조를 사용하고 화소 전극의 패터닝을 위해 사용된 것과 동일한 포토마스크로 소스 영역 및 드레인 영역의 패터닝을 수행하는 것을 특징으로 한다.
- <112> 본 발명을 제조하는 방법은 간략히 하기에 설명된다.
- <113> 우선, 게이트 배선(102)이 제 1 마스크(포토마스크 번호 1)를 사용하여 형성된다.
- <114> 다음으로, 절연막(게이트 절연막)(104a), 제 1 비정질 반도체막(105), n-형 도전성을 부여하는 불순물 원소를 포함하는 제 2 비정질 반도체막(106), 및 제 1 도전막(107)이 순서대로 형성되고 적층된다(laminated)(도 2의 (a)). 마이크로결정질의(microcrystalline) 반도체막은 상기 비정질 반도체막을 위한 대체물로서 사용될 수 있고, n-형 도전성을 부여하는 불순물을 포함하는 마이크로결정질의 반도체막은 n-형 도전성을 부여하는 불순물 원소를 포함하는 비정질 반도체막을 위한 대체물로서 사용될 수 있다는 것을 유의해야 한다. 부가하면, 상기 막들(104a, 105, 106, 및 107)은 대기에 노출되지 않고 다수의 챔버들 내에서 또는 동일한 챔버 내에서 연속하여 스퍼터링 또는 플라즈마 CVD에 의해 형성될 수 있다. 불순물들의 혼합(mixing in)은 대기에 노출하지 않음으로써 방지될 수 있다.
- <115> 다음으로, 제 2 마스크(포토마스크 번호 2)를 사용하여: 상기 제 1 도전막으로 이루어진 배선(이후에 소스 배선 및 전극(드레인 전극)이 된다)(111)이 상기 제 1 도전막(107)을 패터닝하여 형성되고; n-형 도전성을 부여하는 불순물 원소를 포함하는 제 2 비정질 반도체막(110)이 상기 제 2 비정질 반도체막(106)을 패터닝하여 형성되며; 제 1 비정질 반도체막(109)이 상기 제 1 비정질 반도체막(105)을 패터닝하여 형성된다(도 2의 (b)).
- <116> 제 2 도전막(112)은 그 후에 전체 표면 상에 퇴적된다(도 2의 (d)). 투명한 도전막이 상기 제 2 도전막(112)에 의해 사용될 수 있고 반사 특성을 가진 도전막도 형성될 수 있다는 것을 유의해야 한다.
- <117> 다음으로, 제 3 마스크(포토마스크 번호 3)를 사용하여: 상기 제 2 도전막으로 이루어진 화소 전극(119)이 상기 제 2 도전막(112)을 패터닝하여 형성되고; 소스 배선(117) 및 전극(드레인 전극(118))이 상기 배선을 패터닝하여 형성되며; n-형 도전성을 부여하는 불순물을 포함하는 상기 제 2 비정질 반도체막으로 이루어진 소스 영역(115) 및 드레인 영역(116)이 n-형 도전성을 부여하는 상기 불순물 원소를 포함하는 상기 제 2 비정질 반도체막(110)을 패터닝하여 형성되고; 제 1 비정질 반도체막(114)이 상기 제 1 비정질 반도체막(109)의 일부를 제거하여 형성된다(도 3의 (a)).
- <118> 상기 형식의 구성을 사용하여, 상기 포토리소그래피 기술에 사용된 포토마스크들의 수는 화소 TFT 부를 제조할 때 3으로 설정될 수 있다.
- <119> 부가하면, 상기 액정 디스플레이 장치는 단계들의 수를 증가시키지 않고 마찰 처리를 수행하지 않고서 본 발명에 의해 제조된다.
- <120> 간격 유지 재료는 도 1에 도시된 바와 같이, 본 발명에서 한 쌍의 기판들(기판(100)과 대향하는 기판(124)) 사이의 일정한 간격을 유지하기 위해 형성된다. 본 명세서의 상기 간격 유지 재료로서, 벽 스페이서(wall spacer)들(121과 122)에 경사진 측면이 주어지고, 상기 스페이서들은 네거티브 유전체 이방성을 갖는 액정의 프리-틸트 각을 제어하여, 상기 액정을 배향시킨다.
- <121> 상기 벽 스페이서들(121, 122)의 단면 모양은, 예를 들어, 본 명세서를 통해 도 17의 (a) 또는 도 17의 (b)의 것으로 설정된다. 특히, 도 17의 (a)의 것과 같은 테이퍼 각 α 는 상기 바닥(bottom) 면과 상기 사다리꼴 모양 단면의 측면 사이의 각으로 정의도 된다. 본 발명에서 상기 테이퍼 각 α 및 75.0° 내지 89.9° , 더 바람직하게는 82° 내지 87° 로 설정된다.
- <122> 도 1의 액정 문자들의 배향은 전압이 인가되지 않았을 때의 개략도를 도시한다. 검게 칠해진 부분들은 상기 대향하는 기판에 가까운 액정 문자들의 에지부들을 도시한다는 것을 유의해야 한다.

- <123> 전압이 인가되지 않았을 때, 상기 액정 분자들은 상기 벽-형상 스페이서들의 측면으로부터 조절 전력(regulation power)을 수신하고, 상기 측면들에 거의 평행하게 배향되며, 어떤 프리-틸트 각을 갖는 기판 표면에 수직으로 배향되지만, 전압이 인가되지 않았을 때는, 상기 액정 분자들은 상기 기판 표면에 평행하게 배향된다.
- <124> 환연하면, 테이퍼 각이 α 인 측면들을 갖는 벽-형상 스페이서들을 사용하여, 상기 액정 분자들의 스위칭 방향은 제어될 수 있다.
- <125> 또한, 상기 벽-형상 스페이서들은 포토리소그래피 방법 또는 프린팅(printing) 방법에 의해 형성된다. 부가하면, 수직 배향을 위해 사용된 배향막은 상기 벽-형상 스페이서들을 형성하기 전이나 후에 형성된다.
- <126> 또한, 상기 벽-형상 스페이서들은 상기 기판(100) 또는 상기 대향하는 기판(124)상에만 형성될 수 있다. 상기 벽-형상 스페이서들은 상기 기판(100)과 상기 대향하는 기판(124)상에 모두 형성될 수도 있다. 능동 매트릭스 기판의 제조동안 포토마스크들의 수의 감소에 우선권이 주어진다면, 프린팅에 의한 형성의 방법을 사용하는 것이 바람직하거나, 또는 상기 대향하는 기판 상에만 상기 벽-형상 스페이서들을 형성하는 것이 바람직하다. 상기 벽-형상 스페이서들이 상기 대향하는 기판 상에만 형성된 액정 디스플레이 장치를 정규적인 화이트 모드(normally white mode)에 적용할 때, 상기 벽-형상 스페이서들의 주위에 배향 무질서(disorder)가 있는 부분, 또는 무질서한 배향으로 인한 불균일 임계값을 갖는 부분은 상기 벽-형상 스페이서들 자체에 의해 상기 디스플레이의 사용자의 인식으로부터 숨겨질 수 있고 광 누설(light leakage)은 감소될 수 있다. 그러므로, 높은 콘트라스트, 높은-등급 디스플레이 액정 디스플레이 장치가 상기 벽-형상 스페이서들을 통한 광 누설을 억제하여 얻어질 수 있다.
- <127> 아크릴, 폴리이미드, 폴리이미드 아민, 및 에폭시를 주성분으로 구성되는 그룹으로부터 선택된 적어도 하나의 재료를 갖는 유기 수지 재료; 또는 실리콘 산화물, 실리콘 질화물, 및 실리콘 질화 산화물, 또는 상기 재료들의 적층막으로 구성되는 그룹으로부터 선택된 무기 재료는 상기 벽-형상 스페이서들을 위한 재료로서 사용될 수 있다.
- <128> 또한, 무기 재료, 예를 들어, 실리콘 질화물이 상기 채널 엣치 TFT에서 상기 벽-형상 스페이서들을 위해 사용될 때, 특히 상기 스페이서들이 노출된 상기 비정질 반도체막(114)의 일부를 덮도록 배열된 때, 보호막으로서의 효과가 얻어질 수 있고 신뢰도가 증가한다.
- <129> 부가하면, 상기 액정의 프리-틸트 각은 제어될 수 있고, 상기 액정은 상기 게이트 배선, 상기 소스 배선, 및 커패시터 배선과 같은 배선과, 상기 전극을 적당한 미리 설정된(preset) 위치로 배열하여 형성된 균일하지 않은(uneven) 일부분에 의해서, 및 적당히 미리 설정된 위치로 배열된 벽-형상 스페이서들에 의해서 배향될 수 있다.
- <130> 본 발명을 사용할 때, 정전기 손상을 일으키는 상기 마찰 처리에 대응하는 상기 배향 처리는 생략될 수 있고, 또한, 상기 벽-형상 스페이서들은 사기 기판 간격을 유지하는 역할을 하며, 그러므로 불모양의 스페이서 스프레이(spraying) 단계를 생략하는 것이 가능하고, 상기 생산성을 증가한다. 부가하면, 본 발명은 상기 기판 상에 형성된 벽-형상 스페이서들의 균일성만을 조사하여 디스플레이 불균일성의 발전을 예측할 수 있는 장점을 가지고 있다.
- <131> 또한, 위에서 보았을 때, 상기 벽-형상 스페이서들의 모양으로 스트라이프(stripe) 모양, T-형, 또는 사다리 같은 형태를 가지는 것이 가능하지만, 본 발명의 실시예 모드는 상기 모양들에 한정되지 않는다.
- <132> 상기 구성을 갖는 본 발명의 더 자세한 설명은 하기의 실시예를 사용하여 이루어진다.
- <133> [실시예들]
- <134> [실시예 1]
- <135> 본 발명의 실시예는 도 1 내지 도 7, 도 9, 및 도 17을 사용하여 설명된다. 실시예 1은 액정 디스플레이 패널(panel)을 제조하는 방법을 도시하고, 또한 역 스태거(reverse stagger)형 TFT에 의해 기판 상에 화소부의 TFT를 형성하고 TFT에 접속된 저장 커패시터를 제조하는 방법의 상세한 설명은 사용된 처리에 따라 이루어진다. 또한, 기판의 에지부에 형성된, 다른 기판 상에 형성된 회로들의 배선에 전기적으로 접속하는, 기판의 단자부에 대한 제조 처리는 동일한 도면으로 동시에 도시된다.
- <136> 도 2의 (a)에서, 바륨 봉규산 유리 또는 알루미늄 봉규산 유리와 같은 통상적으로 Corning Corp. #7059 또는

#1737을 포함하는, 유리 기판은 반투명한 기판(100)으로 사용될 수 있다. 또한, 석영 기판 또는 플라스틱 기판과 같은 반투명 기판이 또한 사용될 수 있다.

<137> 다음에, 기판의 전체 표면 상에 도전층을 형성시킨 후에, 제 1 포토리소그래피 처리가 실행되어 레지스트 마스크가 형성되고, 불필요한 부분들이 에칭으로 제거되고, 또한, 배선 및 전극들(게이트 전극, 커패시터 배선(103) 및 단자(101)를 포함하는 게이트 배선(102))이 형성된다. 에칭은 적어도 게이트 전극(102)의 에지부에서 가늘어진 부분(tapered portion)을 형성하는 시점에서 실행된다. 이러한 단계의 상면도가 도 4에 도시된다.

<138> 알루미늄(Al) 또는 구리(Cu)와 같은 낮은 고유 저항 도전 물질로부터 게이트 전극, 커패시터 배선(103), 및 상기 단자부의 단자(101)를 포함하는 게이트 배선 (102)을 형성하는 것이 바람직하지만, 단일 Al은 낮은 열 저항과 같은 문제점을 가지고 있고 쉽게 부식되므로, 열 저항 도전 물질과 결합된다. 또한, Ag-Pd-Cu 합금은 저 저항 도전 물질로 사용될 수 있다. 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 또는 상기 원소들을 갖는 합금, 또는 상기 원소들의 결합의 합금막, 또는 상기 원소들을 포함하는 질산 화합물로 구성된 그룹으로부터 선택된 하나의 원소가 열 저항 도전 물질로 사용된다. 예컨대, Ti 및 Cu의 적층막, TaN 및 Cu의 적층막이 주어질 수 있다. 또한, Ti, Si, Cr, 또는 Nd와 같은 열 저항 도전 물질과 결합하여 형성하면, 레벨이 개선되므로 바람직하다. 또한, 그러한 열 저항 도전막도 형성될 수 있으며, 예컨대, Mo 및 W의 결합이 형성될 수 있다.

<139> 액정 디스플레이 장치를 실현할 때, 열 저항 도전 물질과 저 전기 저항 도전 물질의 결합으로 게이트 전극 및 게이트 배선을 형성하는 것이 바람직하다. 상기 경우의 적절한 결합이 설명된다.

<140> 열 저항 도전 물질의 질화물 화합물로 이루어진 도전층(A), 및 열 저항 도전 물질로 이루어진 도전층(B)의 적층으로 2개의 층 구조가 사용된, 5 인치 대각선 형식과 유사하거나 그 이하인 스크린 크기가 제공된다. 도전층(B)은 Al, Cu, Ta, Ti, W, Nd, 및 Cr로 구성된 그룹으로부터 선택된 원소, 또는 상기 원소들의 합금, 또는 상기 원소들의 결합의 합금막으로 형성될 수 있고, 도전층(A)은 탄탈 질화물(TaN)막, 텅스텐 질화물(WN)막, 또는 티타늄 질화물(TiN)막과 같은 막으로 형성된다. 예컨대, 도전층(A)으로서 Cr 및 도전층(B)으로서 Nd를 함유하는 Al을 적층한 이중 층 구조를 사용하는 것이 바람직하다. 도전층(A)은 10 내지 100nm의 두께(바람직하게는, 20 내지 50nm)로 주어지고, 도전층(B)은 200 내지 400nm의 두께(바람직하게는, 250 내지 350)로 이루어진다.

<141> 반면에, 큰 스크린에 적용되도록, 열 저항 도전 물질로 이루어진 도전층(A), 낮은 전기 저항 도전 물질로 이루어진 도전층(B), 및 열 저항 도전 물질로 이루어진 도전층(C)을 적층한 3개의 층 구조를 사용하는 것이 바람직하다. 저 전기 저항 도전 물질로 이루어진 도전층(B)은 알루미늄(Al)을 포함한 물질로부터 형성되고, 또한, 순수 알루미늄(Al)외에, 스칸듐(Sc), Ti, Nd, 또는 실리콘(Si)과 같은 원소의 0.01 내지 5 원자%를 함유하는 Al이 사용된다. 도전층(C)은 도전층(B)의 Al내의 힐록(hilllock)의 발생을 방지하는데 효과적이다. 도전층(A)은 10 내지 100nm의 두께(바람직하게는, 20 내지 50nm)로 주어지고, 도전층(B)은 200 내지 400nm 두께(바람직하게는, 250 내지 350nm)로 이루어지며, 도전층(C)은 10 내지 100nm의 두께(바람직하게는, 20 내지 50nm)이다. 실시예 1에서, 도전층(A)은 Ti 타겟으로 스퍼터링하여, 50nm의 두께를 갖는 Ti 막으로 형성되고, 도전층(B)은 Al 타겟으로 스퍼터링하여, 200nm의 두께를 갖는 Al 막으로 형성되고, 또한, 도전층(C)은 Ti 타겟으로 스퍼터링하여 이루어진, 50nm 두께의 Ti 막으로 형성된다.

<142> 다음에, 절연막(104a)은 전체 표면 상에 형성된다. 절연막(104a)은 스퍼터링을 사용하여 형성되고, 50 내지 200 nm의 막두께를 가진다.

<143> 예컨대, 실리콘 질화물막은 절연막(104a)으로 사용되고, 또한 150nm의 두께로 형성된다. 물론, 게이트 절연막은 이러한 형태의 실리콘 질화물막에 제한되지 않고, 실리콘 산화물막, 실리콘 산화질화물막, 또는 탄탈 산화물막과 같은 또다른 절연막이 또한 사용될 수 있고, 게이트 절연막은 이러한 물질들로 이루어진 적층 구조 또는 단일층으로부터 형성될 수 있다. 예컨대, 하부층으로서 실리콘 질화물막을 가지고, 상부층으로서 실리콘 산화물막을 갖는 적층 구조가 사용될 수 있다.

<144> 다음에, 제 1 비정질 반도체막(105)은 플라즈마 CVD 또는 스퍼터링(도면에 도시되지 않음)과 같은 공지된 방법을 사용하여 전체 표면 상에 절연막(104a)위에 50 내지 200nm의 두께(바람직하게는 100 내지 150nm)로 형성된다. 통상적으로, 비정질 실리콘(a-Si)막은 실리콘 타겟을 사용하여 스퍼터링에 의해 100nm의 두께로 형성된다. 또한, 미정질 반도체막 또는 비정질 실리콘 게르마늄막($Si_xGe_{(1-x)}$, 단 $0 < x < 1$) 또는 비정질 실리콘 탄화물(Si_xC_y)과 같은, 비정질 구조를 갖는 화합물 반도체막을 적용하는 것이 가능하다.

- <145> 하나의 도전형(n형 또는 p형)을 부가하는 불순물 성분을 함유한 제 2 비정질 반도체막은 20 내지 80nm의 두께를 가지고 다음에 형성된다. 하나의 도전형(n형 또는 p형)을 부가하는 불순물 성분을 함유한 제 2 비정질 반도체막은 플라즈마 CVD 또는 스퍼터링과 같은 공지된 방법으로 전체 표면 상에 형성된다. 실시예에서, n형 불순물 성분을 함유하는, 상기 제 2 비정질 반도체막(106)은 인(P)이 첨가된 실리콘 타겟을 사용하여 형성된다. 대안적으로, 막 중착은 인을 함유한 대기에서 실리콘 타겟을 사용하여 스퍼터링에 의해 실행될 수 있다. 또한, n형 불순물 성분을 함유한, 제 2 비정질 반도체막은 수소첨가 미정질 실리콘막(μ c-Si:H)으로부터 또한 형성될 수 있다.
- <146> 다음에, 금속 물질로 이루어진 제 1 도전막(107)은 스퍼터링 또는 진공 증착에 의해 형성된다. 제 2 비정질 반도체막(106)과 저항성 접촉(ohmic contact)이 이루어질 수 있다면, 제 1 반도체막(107)의 물질에 특별히 제한되지 않고, Al, Cr, Ta, 및 Ti로 구성된 그룹으로부터 선택된 원소, 및 상기 원소 등을 결합한 합금막이 주어질 수 있다. 스퍼터링은 실시예 1에서 사용되고, 50 내지 150nm 두께의 Ti막, 300 내지 400nm 두께의 상기 Ti막을 갖는 알루미늄(Al)막, 또한, 100 내지 150nm의 두께를 갖는 Ti막이 그 위에 제 1 도전막(107)으로서 형성된다. (도 2의 (a) 참조)
- <147> 절연막(104a), 제 1 비정질 반도체막(105), n형 도전성을 부여하는 불순물 성분을 함유하는 제 2 비정질 반도체막(106), 및 제 1 도전막(107)은 공지된 방법으로 모두 제조되고, 또한, 플라즈마 CVD 또는 스퍼터링으로 제조될 수 있다. 이러한 막들(104a, 105, 106, 및 107)은 실시예 1의 타겟 또는 스퍼터링 가스를 적절히 변화시키고 스퍼터링에 의해 연속적으로 형성된다. 스퍼터링 장치내의 동일한 반응 챔버(reaction chamber), 또는 다수의 반응 챔버들은 이 시점에서 사용되고, 대기에 노출되지 않고 연속하여 이러한 막들을 적층시키는 것이 바람직하다. 그래서, 대기에 막들을 노출시키지 않음으로써, 불순물의 혼합이 방지될 수 있다.
- <148> 다음에, 제 2 리소그래피 처리가 실행되고, 레지스트 마스크(108)가 형성되고, 에칭으로 불필요한 부분들을 제거함으로써, 배선(111)(연속한 처리에 의해 소스 배선 및 드레인 전극이 됨)이 형성된다. 습식 에칭 또는 건식 에칭은 이 시점에서 에칭 처리로 사용된다. 제 1 도전막(107), n형 도전성을 부여하는 불순물 성분을 함유한 제 2 비정질 반도체막(106), 제 1 비정질 반도체막(105)은 마스크로서 레지스트 마스크(108)가 순서대로 에칭된다. 제 1 도전막으로 구성된 배선(111), n형 도전성을 부여한 불순물 성분을 함유한 제 2 비정질 도전막(110), 및 제 1 비정질 반도체막(109)은 화소 TFT부에 각각 형성된다. 실시예 1에서, Ti 막, Al 막, 및 Ti 막이 순서대로 적층되는 제 1 도전막(107)은 반응 가스로서 $SiCl_4$, Cl_2 , 및 BCl_3 의 가스 혼합을 사용하여 건식 에칭으로 에칭되고, 반응 가스는 CF_4 와 O_2 의 가스 혼합으로 대체되고, n형 도전성을 부여하는 불순물 성분을 함유한 제 2 비정질 반도체막(106)과 제 1 비정질 반도체막(105)은 선택적으로 제거된다(도 2의 (b) 참조). 또한, 커페시터 배선(103) 및 절연막(104a)은 커페시터부에 남고, 또한 단자(101) 및 절연막(104a)은 또한 단자부에 유사하게 남는다.
- <149> 다음에, 상기 레지스트 마스크(108)를 제거한 후에, 레지스트 마스크는 새도우 마스크(shadow mask)를 사용하여 형성되고, 단자부의 패드부를 덮는 절연막 (104a)이 선택적으로 제거되고, 절연막(104b)을 형성하며, 그 후에 상기 레지스트 마스크가 제거된다(도 2의 (c) 참조). 또한, 새도우 마스크를 대체하는 것으로써, 레지스트 마스크는 에칭 마스크로서 스크린 프린팅에 의해 또한 형성될 수 있다.
- <150> 다음에, 제 2 도전막(112)은 투명 도전막으로부터 전체 표면 상에 증착된다(도 2의 (d) 참조). 또한, 이러한 시점에서의 상면도가 도 5에 도시된다. 간단히 하기 위해, 전체 표면 상에 형성된 제 2 도전막(112)은 도 5에 도시되지 않는 것을 유의해야 한다.
- <151> 제 2 도전막(112)은 스퍼터링 또는 진공 증착과 같은 방법을 사용하여 인듐 산화물(In_2O_3) 또는 인듐 산화물 주석 산화물 합금($In_2O_3-SnO_2$, ITO로 단축됨)과 같은 물질로부터 형성된다. 이러한 형태의 물질에 대한 에칭 처리는 염산 형태의 용액을 사용하여 실행된다. 그러나, 특히 ITO 에칭에 의해 잔류물이 쉽게 발생되므로, 인듐 산화물 아연 산화물 합금(In_2O_3-ZnO)은 에칭 작업을 개선시키기 위해 사용될 수 있다. 인듐 산화물 아연 산화물 합금은 우수한 표면 평탄화 특성을 가지고, ITO와 비교하여 우수한 열 안정성을 가지므로, 제 2 도전막(112)과 접촉하는 배선(111)이 Al막으로 이루어지더라도, 부식 반응이 방지될 수 있다. 유사하게, 아연 산화물(ZnO)은 또한 적절한 물질이며, 또한, 가시광선의 투과성 및 도전성을 증가시키기 위해, 갈륨(Ga)이 첨가된 아연 산화물과 같은 물질($ZnO:Ga$)이 사용될 수 있다.
- <152> 레지스트 마스크(113a 내지 113c)들은 제 3 포토리소그래피 처리에 의해 다음에 형성된다. 불필요한 부분들은 에칭되어 제거되고, 제 1 비정질 반도체막 (114), 소스 영역(115), 드레인 영역(116), 소스 전극(117), 드레인

전극(118), 및 화소 전극(119)을 형성한다(도 3의 (a) 참조).

<153> 제 3 포토리소그래피 처리는 제 2 도전막(112)을 패터닝하고, 동시에, 배선(111)의 일부, n형 도전성을 부여하는 불순물 성분을 함유한 제 2 비정질 반도체막(110)과 제 1 비정질 반도체막(109)을 에칭으로 제거하여 개구를 형성한다. 실시예 1에서, ITO로 이루어진 제 2 도전막(112)은 질산 및 염산의 혼합 용액 또는 철 염화물(ferric chloride) 용액을 사용하여 습식 에칭으로 먼저 선택적으로 제거되고, 습식 에칭으로 배선(111)을 선택적으로 제거한 후에, n형 도전성을 부여하는 불순물 성분을 함유한 상기 제 2 비정질 반도체막(110) 및 상기 비정질 반도체막(109)의 일부가 건식 에칭으로 제거된다. 습식 에칭 및 건식 에칭이 실시예 1에서 사용되지만, 조작자가 적당하게 반응 가스를 선택하여 건식 에칭만으로 실행할 수 있고, 또한 조작자가 적당하게 반응 용액을 선택하여 습식 에칭만으로 실행할 수도 있다.

<154> 또한, 개구의 하부는 제 1 비정질 반도체막에 도달하고, 제 1 비정질 반도체막(114)은 함몰부를 구비하여 형성된다. 개구에 의해, 배선(111)은 소스 배선(117)과 드레인 전극(118)으로 분리되고, n형 도전성을 부여한 불순물 성분을 함유한, 제 2 비정질 반도체막(110)은 소스 영역(115) 및 드레인 영역(116)으로 분리된다. 또한, 소스 배선과 접촉한 제 2 도전막(120)은 소스 배선을 덮고, 연속한 제조 처리동안, 특히, 마찰(rubbing) 처리동안, 정전기가 발생하는 것을 방지하는 역할을 실행한다. 소스 배선 상의 제 2 도전막(120)을 형성하는 예는 실시예에서 도시되지만, 제 2 도전막(120)이 또한 제거될 수 있다.

<155> 부가하면, 저장 커패시터는 유전체로서 커패시터부 절연막(104b)을 갖는, 화소 전극(119) 및 커패시터 배선(103)에 의해 제 3 포토리소그래피 처리로 형성된다.

<156> 부가하면, 단자부에 형성된 투명 도전막으로 이루어지고 저항 마스크(113c)에 의해 덮인 제 2 도전막은 제 3 포토리소그래피 처리 후에 남는다.

<157> 저항 마스크(113a 내지 113c)는 다음에 제거된다. 이러한 상태의 단면도는 도 3의 (b)에 도시된다. 도 6은 하나의 화소의 상면도이고, 도 3의 (b)는 선 A-A' 및 B-B'를 따라 취해진 단면에 대응한다.

<158> 또한, 도 9의 (a)는 이러한 상태에서 게이트 배선 단자부(501) 및 소스 배선 단자부(502)의 상면도를 도시한다. 동일한 부호가 도 1 내지 도 3의 부호와 대응하는 영역에 사용되는 것을 유의해야 한다. 또한, 도 9의 (b)는 도 9의 (a)의 선 E-E' 및 F-F'를 따라 취해진 단면도와 대응한다. 도 9의 (a)의 참조 번호(503)는 투명 도전막으로 이루어진 접속 전극을 나타내고 입력 단자로서 기능을 한다. 또한, 도 9의 (b)에서, 참조 번호(504)는 절연막(104b로부터 연장됨)을 나타내고, 참조 번호(505)는 제 1 비정질 반도체막(114로부터 연장됨)을 나타내고, 또한 참조 번호(506)는 n형 도전성을 부여하는 불순물 성분을 함유한 제 2 비정질 반도체막(115로부터 연장됨)을 나타낸다.

<159> 그래서, 3개의 포토마스크를 사용하여 3개의 포토리소그래피 처리를 실행함으로써, 역 스태거형 n채널형 TFT(201) 및 저장 커패시터(202)를 구비한 화소 TFT부가 완성될 수 있다. 각각의 화소에 대응하는 매트릭스 상태로 이러한 것들을 배치하여 화소부를 구성함으로써, 하나의 기판은 능동 매트릭스형 전기 광학 장치를 제조하도록 이루어질 수 있다. 편의상, 이러한 유형의 기판은 본 명세서에서 능동 매트릭스 기판으로 언급된다.

<160> 정렬막(alignment film)들(131과 132)은 그 다음에 상기 능동 매트릭스 기판 상에 형성된다. JALS-2021(JSR Corp.에 의해 제조됨)은 본 명세서에서 프린팅에 의해 형성되고 그 다음에 소성된다.

<161> 상기 정렬막들을 형성한 후에, 상기 실시예의 도 17의 (a)에 도시된, 상기 기판 간격을 유지하는 간격 유지 요소인, 벽-형상 스페이서(127)가 상기 제 4 포토리소그래피 처리를 수행하여 형성된다. 또한, 상기 기판의 뒷면으로부터 상기 네거티브형 수지에 광을 노출시키는 처리가 사용될 수 있다. 또한, 건식 에칭 또는 플라즈마 에칭을 사용하여 상술된 모양을 갖는 상기 벽-형상 스페이서를 형성하는 것이 가능하다.

<162> 주요 성분으로서 감광(photosensitive) 아크릴 재료를 가지는 재료인 NN700 (JSR Corp.에 의해 제조됨)는 스피너(spinner)에 의해 $4.2\mu\text{m}$ 두께로 상기 기판의 전체 표면 상에 퇴적된다. 아크릴 수지가 형성을 위한 준비로 인해 사용된다. 본 발명에 사용된 상기 아크릴 수지 NN700의 유전상수는 3.4이다. 레지스트 마스크가 다음에 형성되고, 불필요한 부분들이 에칭에 의해 제거되며, 도 17의 (a)에 도시된 바와같은 모양의 벽-형상 스페이서가 형성된다. 상기 최상층부가 평평하게 되는 경우에, 액정 디스플레이 패널로서의 기계적 강도는 확보될 수 있다. SEM 관찰에 따르면, 상기 벽-형상 스페이서의 높이는 $4\mu\text{m}$ 였다. 상기 벽-형상 스페이서의 테이퍼 각은 75.0° 내지 89.9° , 바람직하게는 82° 내지 87° 의 각을 가지는 것이 바람직하다.

<163> 상기 벽-형상 스페이서로 유사하게 형성된, 벽-형상 스페이서(122)가 그 위에 형성된 대향하는 기판(124)과, 상

기 능동 매트릭스 기판은 다음에 상기 벽-형상 스페이서 (121과 122)를 사용하여 상기 기판 사이의 간격을 유지하는 동안 밀봉제 (sealant)에 의해 함께 연결되고, 그 후에 액정 재료(125)가 상기 능동 매트릭스 기판과 상기 대향하는 기판 사이의 공간으로 주입된다. 실시예 MLC-2038(Merck에 의해 제조됨)에서, 네거티브 유전체 이방성 (n-형 액정)을 갖는 액정 재료는 상기 액정 재료(125)를 위해 사용된다. 상기 프리-틸트 각이 측정될 때, 상기 프리-틸트 각은 2 내지 5°의 범위 내에서 규정되고, 상기 디스플레이 영역에서 3°로 거의 균일하다. 따라서 NN700의 표면 근처의 영역은 상기 액정 분자의 세로축(longitudinal axis) 방향을 상기 표면에 대해 거의 평행하게 하는 정렬 조절 효과를 가진다.

<164> 상기 액정 재료를 주입한 후에, 상기 주입구는 수지 재료에 의해 봉해진다.

<165> 도 1에 도시된 상태는 상기 처리들을 통해 얻어진다. 3개의 벽-형상 스페이서들과 그 사이의 액정 분자들의 상태만이 간략화를 위해 도 1에 도시되었다는 것을 유의해야 한다.

<166> 상기 상태에서 상기 액정 분자들은 전압이 인가되지 않았을 때, 상기 측벽들의 영향에 의해 상기 벽-형상 스페이서들(121과 122)의 측벽들과 근사적으로 평행하게 배열된다. 또한, 상기 측벽들의 근처에 있지 않은 액정 분자들과 상기 액정 분자들에 의해 영향받는다. 그래서 몇 도의 프리-틸트 각을 갖는 안정한 배향이 전체적 화소에서 얻어진다. 상기 액정의 임계 전압보다 큰 전압을 인가하여, 균일한 동작이 상기 프리-틸트 각에 의해 결정된 경사 방향을 향해 이루어진다. 즉, 상기 벽-형상 스페이서들(121과 122)을 사용하여, 상기 전체적 디스플레이 일부분의 배향이 제어된다.

<167> 또한, 양 기판들 상에 배치된 상기 벽-형상 스페이서들(121과 122)의 상면도가 도 18의 (a)에 도시되어 있다. 상기 점선 X-X'에 따라 잘려진 면은 도 1의 단면에 대응한다.

<168> 다음에, FPC(flexible printed circuit)는 단자부의 입력 단자(101)에 접속된다. FPC는 폴리이미드와 같은 유기 수지막(129) 상에 구리 배선(128)에 의해 형성되고, 이방성 도전 접착제(adhesive)에 의해 입력단자를 덮는 투명 도전막에 접속된다. 이방성 도전 접착제는 접착제(126) 및 수십 내지 수백 μm 의 지름을 갖는 입자들(127)을 포함하고, 거기에 혼합된 금과 같은 물질에 의해 도금된 도전 표면을 가진다. 입자들(127)은 입력 단자(101) 및 구리 배선(128)상에 투명 도전막을 접속함으로써 이러한 부분에 전기적 접속을 형성한다. 또한, 이러한 영역의 기계적 강도를 증가시키기 위해, 수지층(130)이 형성된다(도 3의 (c) 참조).

<169> 도 7은 능동 매트릭스 기판의 단자부 및 화소부의 배치를 설명하는 도면이다. 화소부(211)가 기판(210)상에 형성되고, 게이트 배선(208) 및 소스 배선(207)이 화소부에 교차하여 형성되며, 이곳에 접속된 n채널 TFT(201)는 각각의 화소에 대응하여 형성된다. 화소 전극(119) 및 저장 커패시터(202)는 n채널 TFT(201)의 드레인측에 접속되고, 저장 커패시터(202)의 다른 단자는 커패시터 배선(209)에 접속된다. n채널 TFT(201) 및 저장 커패시터(202)의 구조는 도 3의 (b)에 도시된 n채널 TFT(201) 및 저장 커패시터(202)의 구조와 동일하다.

<170> 스캐닝 신호를 입력하는 입력 단자부(205)는 기판의 하나의 에지부에 형성되고, 접속 배선(206)에 의해 게이트 배선(208)에 접속된다. 또한, 영상 신호를 입력하는 입력 단자부(203)는 다른 에지부에 형성되고, 접속 배선(204)에 의해 소스 배선(207)에 접속된다. 다수의 게이트 배선(208), 소스 배선(207), 및 커패시터 배선(209)은 화소 밀도에 따라 형성된다. 또한, 영상 신호를 입력하는 입력 단자부(212) 및 접속 배선(213)이 형성될 수 있고, 입력 단자부(203)와 교대로 소스 배선과 접속될 수 있다. 입력 단자부들(203, 205, 및 212)의 임의의 개수가 형성되고, 조작자에 의해 적절하게 결정될 수 있다.

<171> 그래서, 능동 매트릭스 액정 디스플레이 패널은 4개의 포토마스크들을 사용하여 포토리소그래피 처리를 4번 거쳐서 상기 실시예에서 형성될 수 있다.

<172> 상기 실시예가 벽-형상 스페이서를 사용했지만, 원주형의 스페이서를 사용하는 것이 수용가능하며 상기 액정 분자들은 그 주위의 다중-도메인에서 배향된다.

<173> [실시예 2]

<174> 도 8은 액정 디스플레이 장치를 설치하는 방법의 예이다. 액정 디스플레이 장치는 TFT가 형성된 기판(301)의 에지부에 형성된 입력 단자부(302)를 가지며, 실시예 1에 의해 도시된 바와 같이, 이것은 게이트 배선과 동일한 물질로 형성된 단자(303)에 의해 형성된다. 대향 기판(304)은 스페이서(306)를 캡슐로 보호하는 밀봉제(305)에 의해 기판(301)에 결합되고, 또한, 분극화 플레이트(307, 308)와 컬러필터(도시되지 않음)가 형성된다. 이것은 스페이서(322)에 의해 케이스(321)에 고정된다.

<175> 비정질 반도체막에 의해 형성된 활성층을 갖는 실시예 1에서 획득된 TFT가 저전계 효과 이동도를 가지고, 또한,

대략적으로 $1\text{cm}^2/\text{Vsec}$ 가 획득되는 것을 유의해야 한다. 그러므로, 영상 디스플레이를 실행하는 구동 회로는 IC 칩에 의해 형성되고, TAB(tape automated bonding) 방법 또는 COG(chip on glass) 방법에 의해 설치된다. 실시 예 2에서, 예는 IC 칩(313)내의 구동 회로를 형성하고, TAB 방법을 사용하여 설치되는 것이 도시된다. FPC(flexible printed circuit)가 사용되고, FPC는 폴리이미드와 같은 유기 수지막(309)상의 구리 배선(310)에 의해 형성되고, 이방성 도전 접착제에 의해 입력 단자(302)에 접속된다. 입력 단자는 배선(303)상에 형성되고 접속한 투명 도전막이다. 이방성 도전 접착제는 수십 내지 수백 μm 의 지름을 가지며 금과 같은 물질에 의해 도금된 도전 표면을 갖는 입자(312) 및 접착제(311)에 의해 구성되고, 거기에서 혼합된다. 입자(312)는 입력 단자(302) 및 구리 배선(310)을 접속함으로써 이러한 부분에 전기적 접속을 형성한다. 또한, 이러한 영역의 기계적 강도를 증가시키기 위해, 수지층(318)이 형성된다.

<176> IC 칩(313)은 범프(314)에 의해 구리 배선(310)에 접속되고, 수지 물질(315)에 의해 밀봉된다. 구리 배선(310)은 접속 단자(316)를 통해, 신호 처리 회로, 증폭 회로, 및 전력 공급 회로와 같은 다른 회로들이 형성되는 인쇄된 기판(317)에 접속된다. 광원(319) 및 광 도전체(320)는 대향 기판(304)상에 형성되고 도전 액정 디스플레이 장치에 백라이트로 사용된다.

<177> 따라서, 실시예 1의 액정 디스플레이 패널을 사용하여, 약간의 간격 불균일이 있는 넓은 시야각 디스플레이를 가진, 다중-도메인 수직 배향형 액정 디스플레이 장치가 얻어질 수 있다.

<178> [실시예 3]

<179> *상기 실시예에서, 보호막을 형성하여 액정 디스플레이 패널을 형성하는 예가 도 14에 도시되어 있다. 상기 실시예는 도 3의 (b)의 상태를 통한 실시예 1과 동일하며, 그래서 차이점만이 설명된다는 것을 유의해야 한다. 또한, 상기 동일한 기호들이 도 3의 (b)의 것에 대응하는 위치를 위해 사용된다.

<180> *실시예 1에 따라 도 3의 (b)의 상태를 통해 처음에 형성한 후, 무기 절연 박막은 전체 표면 상에 형성된다. 예컨대, 실리콘 산화물막, 실리콘 질화물막, 실리콘 산화질화물막, 또는 탄탈 산화물막을 스퍼터링 또는 플라즈마 CVD를 사용하여 형성된 무기 질화물막은 무기 질화물 박막으로 사용되고, 또한, 이러한 물질로 이루어진 적층 구조 또는 단일층이 형성될 수 있다.

<181> 제 4 포토리소그래피 처리는 다음에 실행되고, 저항 마스크를 형성하여 불필요한 부분들이 예칭에 의해 제거되고, 화소 TFT부의 절연막(402) 및 단자부의 무기 절연막(401)을 형성한다. 이러한 무기 절연막(401, 402)은 패시베이션막 (passivation film)으로 기능을 한다. 또한, 무기 절연박막(401)은 제 4 포토리소그래피 처리에 의해 단자부에서 제거되고, 단자부의 단자(101)에 형성된, 투명 도전막으로 이루어진, 제 2 도전막을 노출시킨다.

<182> 도 14에 도시된 상태는 실시예 1에서 및 그 이후에서 다음 처리들에 의해 얻어질 수 있다. 그러나, 실시예 1에서 벽-형상 스페이서를 형성하는 제 4 포토리소그래피 처리는 제 5 포토리소그래피 처리로 언급된다는 것을 유의해야 한다.

<183> 그래서, 무기 절연막에 의해 보호되는 저장 커패시터 및 역 스태거 n 채널 TFT는 5개의 포토마스크를 총 5회 사용하여 포토리소그래피를 실행함으로써 실시예 3에서 완성될 수 있다. 그래서, 각각의 화소에 대응하는 매트릭스 상태로 이러한 것들을 배열하여 화소부를 구성함으로써, 능동 매트릭스 액정 디스플레이 패널을 제조하기 위한 하나의 기판이 만들어질 수 있다.

<184> 실시예 1 또는 실시예 2의 구성과 상기 실시예의 구성을 자유롭게 결합하는 것이 가능하다는 것을 유의해야 한다.

<185> 실시예 1에서, 예는 절연막, 제 1 비정질 반도체막, n형 도전성을 부여하는 불순물 성분을 함유한 제 2 비정질 반도체막, 및 제 1 도전막을 스퍼터링에 의해 형성하는데 중점을 두지만, 상기 실시예는 막을 형성하기 위해 플라즈마 CVD를 사용하는 예를 도시한다.

<186> 절연막, 제 1 비정질 반도체막, 및 n형 도전성을 부여하는 불순물 원소를 함유하는, 제 2 비정질 반도체막은 상기 실시예에서 플라즈마 CVD에 의해 형성된다.

<187> 상기 실시예에서, 실리콘 산화질화물막은 절연막으로 사용되고, 플라즈마 CVD에 의해 150nm 의 두께로 형성된다. 플라즈마 CVD는 이 시점에서 13 내지 $70\text{m}\mu\text{l}$ 의 전력 공급 주파수, 바람직하게는 27 내지 $60\text{m}\mu\text{l}$ 로 실행될 수 있다. 27 내지 $60\text{m}\mu\text{l}$ 의 전력 공급 주파수를 사용함으로써, 조밀 절연막(dense insulating film)이 형성될 수 있고, 전압 저항이 게이트 절연막으로 증가될 수 있다. 또한 N_2O 를 SiH_4 및 NH_3 에 첨가하여 제조된 실리콘 산화질화물막

은 고정된 전기 전하 밀도로 감소하므로, 이러한 사용에 대해 바람직한 물질이다. 물론, 게이트 절연막은 이러한 형태의 실리콘 산화질화물막에 제한되지 않고, 실리콘 산화물막, 실리콘 질화물막, 또는 탄탈 산화물막과 같은 다른 절연막을 사용하는 적층 구조 또는 단일층이 형성될 수 있다. 또한, 하부층에서 실리콘 질화물막 및 상부층에서 실리콘 산화물막의 적층 구조가 사용될 수 있다.

<188> 예컨대, 실리콘 산화물막을 사용할 때, 40 Pa로 반응 압력을 설정하고, 기판 온도를 250 내지 350°C로 설정하고, 고주파수(13.56MHz)를 0.5 내지 0.8 W/cm²의 전력 밀도로 방전하여, TEOS(tetraethyl orthosilicate)와 O₂의 혼합을 사용하는 플라즈마 CVD에 의해 형성될 수 있다. 게이트 절연막으로서의 우수한 특성은 실리콘 산화물막에 대해 획득될 수 있고, 그래서, 300 내지 400°C로 연속한 열적 어닐링에 의해 형성된다.

<189> 통상적으로, 수소첨가 비정질 실리콘(a-Si:H)막은 제 1 비정질 반도체막으로서 플라즈마 CVD에 의해 100nm의 두께로 형성된다. 이 시점에서, 플라즈마 CVD는 플라즈마 CVD 장치에서 13 내지 70MHz, 바람직하게는 27 내지 60MHz의 전력 공급 주파수로 실행될 수 있다. 27 내지 60MHz의 전력 주파수를 사용함으로써, 막 적층 속도를 증가시키는 것이 가능하고, 증착된 막은 낮은 결함 밀도를 갖는 a-Si 막이 되기 때문에 바람직하다. 또한, 제 1 비정질 반도체막으로 미소결정 반도체막 및 비정질 실리콘 게르마늄막과 같은 비정질 구조를 갖는 화합물 반도체막을 적용하는 것이 또한 가능하다.

<190> 또한, 100 내지 100k Hz의 펄스 변조 방전이 절연막 및 제 1 비정질 반도체막의 플라즈마 CVD 막 증착에 실행되면, 플라즈마 CVD 기상 반응에 기인하여 입자 발생이 방지될 수 있고, 형성된 막의 핀홀(pinhole) 발생이 또한 방지될 수 있으므로, 바람직하다.

<191> 또한, 상기 실시예에서, n형 도전성을 부여하는 불순물 성분을 함유하는 제 2 비정질 반도체막은 단일 도전형 불순물 성분을 함유하는 반도체막으로 20 내지 80nm의 두께로 형성된다. 예컨대, n형 불순물 성분을 함유하는 a-Si:H막이 형성될 수 있고, 또한, 그렇게 하기 위해, PH₃(phosphine)은 0.1 내지 5%의 농도로 SiH₄(silane)에 첨가된다. 대안적으로, 수소첨가 미소결정 실리콘막(μ c-Si:H)은 또한, n형 도전성을 부여하는 불순물 성분을 함유한, 제 2 비정질 반도체막(106)을 대신하여 사용될 수도 있다.

<192> 이러한 막들은 반응 가스를 적절하게 변화시켜 연속적으로 형성될 수 있다. 또한, 이러한 막들은 플라즈마 CVD 장치의 다수의 반응 챔버 또는 동일한 반응 챔버를 사용하여, 이러한 시점에서 대기에 노출되지 않고 연속적으로 적층될 수 있다. 그래서, 대기에 막을 노출시키지 않고 이러한 막을 연속적으로 증착함으로써, 제 1 비정질 반도체막에 불순물을 혼합되는 것이 방지될 수 있다.

<193> 실시예 1 내지 실시예 3 중 어느 하나와 상기 실시예를 결합하는 것이 가능하다는 것을 유의해야 한다.

<194> [실시예 5]

<195> 예들은 절연막, 제 1 비정질 반도체막, n형 도전성을 부여하는 불순물 성분을 함유하는 제 2 비정질 반도체막, 및 제 1 도전막을 순서대로, 또한 연속하여 적층시키는 실시예 1 및 실시예 4에 도시된다. 다수의 챔버로 설치되고, 이러한 형태의 연속적인 막 증착을 실행하는 경우에 사용되는 장치의 예는 도 10에 도시된다.

<196> 상기 실시예에 의해 도시된 장치의 윤곽(연속적인 막 증착 시스템)은 상술된 바와 같이, 도 10에 도시된다. 도 10의 참조 번호 10 내지 15는 밀봉된 특성을 갖는 챔버를 나타낸다. 진공 증착 펌프 및 불활성 가스 삽입 시스템은 각각의 챔버 내에 배치된다.

<197> 참조 번호 10과 15에 의해 나타낸 챔버들은 테스트 부품(처리 기판)(30)을 시스템으로 가져오는 로드락 챔버(load-lock chamber)이다. 참조 번호 11로 나타낸 챔버는 절연막(104)을 증착하기 위한 제 1 챔버이다. 참조 번호 12로 나타낸 챔버는 제 1 비정질 반도체막(105)을 증착하기 위한 제 2 챔버이다. 참조 번호 13으로 나타낸 챔버는 n형 도전성을 부여하는 제 2 비정질 반도체막(106)을 증착하기 위한 제 3 챔버이다. 참조 번호 14로 나타낸 챔버는 제 1 도전막(107)을 증착하기 위한 제 4 챔버이다. 또한, 참조 번호 20은 각각의 챔버에 대해 공통으로 배치된, 테스트 부품들의 공통 챔버를 나타낸다.

<198> 동작의 예는 하기에 도시된다.

<199> 처음에, 모든 챔버들 내의 초기 고 진공 상태를 제거한 후, 퍼지 상태(purge state)(정상 압력)는 불활성 가스, 여기에서는 질소를 사용하여 이루어진다. 또한, 모든 가스 밸브(22 내지 27)를 폐쇄한 상태가 이루어진다.

<200> 처음에, 처리 기판의 다중 챔버로 적재된 카세트(28)는 로드락 챔버(10)에 배치된다. 카세트가 내부에 배치된 후에, 로드락 챔버의 문은(도면에 도시되지 않음) 폐쇄된다. 이러한 상태에서, 게이트 밸브(22)는 개방되고, 처

리 기판들 중 하나(30)가 카세트로부터 제거되고, 로봇 팔(21)에 의해 공통 챔버(20)로 꺼낸다. 이 때, 위치 정렬은 공통 챔버에서 실행된다. 실시예 1에 따라 획득되는, 배선들(101, 102, 및 103)이 형성되는 기판은 기판(30)에 사용되는 것을 유의해야 한다.

<201> 게이트 밸브(22)가 폐쇄되고, 게이트 밸브(23)가 다음에 개방된다. 처리 기판(30)은 제 1 챔버(11)로 이동된다. 막증착 처리는 150 내지 300°C의 온도로 제 1 챔버 내에서 실행되고, 절연막(104)이 획득된다. 실리콘 질화물막, 실리콘 산화물막, 실리콘 산화질화물막, 또는 이러한 막들의 증착막과 같은 막이 절연막으로 사용될 수 있다는 것을 유의해야 한다. 단일층 실리콘 질화물막은 상기 실시예에서 이용되지만, 2중층, 3중층, 또는 더 높은 층 적층 구조막이 또한 사용될 수도 있다. 플라즈마 CVD 가능한 챔버가 여기에서 사용되지만, 타겟의 사용에 의해 스퍼터링 가능한 챔버가 또한 사용될 수 있다는 것을 유의해야 한다.

<202> 절연막의 증착을 완성한 후에, 처리 기판은 로봇 팔에 의해 공통 챔버로 꺼내지고, 그 후에, 제 2 챔버(12)에 수송된다. 막 증착은 제 1 챔버의 온도와 유사한, 150 내지 300°C의 온도로 제 2 챔버 내에서 실행되고, 제 1 비정질 반도체막 (105)은 플라즈마 CVD에 의해 획득된다. 미소결정 반도체막, 비정질 게르마늄막, 비정질 실리콘 게르마늄막, 또는 이러한 막들의 적층막과 같은 막이 제 1 비정질 반도체막으로 사용될 수 있다는 것을 유의해야 한다. 또한, 수소 농도를 감소시키는 열처리 처리는 제 1 비정질 반도체막에 대해 350 내지 500°C의 형성 온도로 생략될 수도 있다. 플라즈마 CVD 가능한 챔버가 여기에서 사용되지만, 타겟의 사용에 의해 스퍼터링 가능한 챔버가 또한 사용될 수 있다는 것을 유의해야 한다.

<203> 제 1 반도체막의 증착을 완료한 후에, 처리 기판은 공통 챔버로 꺼내지고, 제 3 챔버(13)에 수송된다. 막 증착 처리는 제 2 챔버의 온도와 유사한, 150 내지 300°C의 온도로 제 3 챔버 내에서 실행되고, n형 도전성(P 또는 As)을 부가하는 불순물 성분을 함유하는, 제 2 비정질 반도체막(106)이 플라즈마 CVD에 의해 획득된다. 플라즈마 CVD 가능한 챔버가 여기에서 사용되지만, 타겟의 사용에 의해 스퍼터링 가능한 챔버가 또한 사용될 수 있다는 것을 유의해야 한다.

<204> n형 도전성을 부여하는 불순물 성분을 함유하는 제 2 비정질 반도체막의 증착을 완료한 후에, 처리 기판은 공통 챔버로 꺼내지고 제 4 챔버(14)로 수송된다. 제 1 도전막(107)은 금속 타겟을 사용하는 스퍼터링에 의해 제 4 챔버 내에서 획득된다.

<205> 그래서, 4개의 층들이 연속하여 형성되는, 처리된 기판이 로봇 팔에 의해 로드락 챔버(15)에 수송되고, 카세트(29)에 포함된다.

<206> 도 10에 도시된 장치는 단지 일 예일 뿐이라는 것을 유의해야 한다. 또한, 실시예 1 내지 실시예 4 중 어느 하나와 상기 실시예를 자유롭게 결합하는 것이 가능하다.

<207> [실시예 6]

<208> 실시예 5에서, 다수의 챔버들을 사용하는 연속적인 증착의 예가 도시되지만, 실시예에서는, 도 11에 도시된 장치를 사용하여 고진공으로 유지된 하나의 챔버 내의 연속적인 증착 방법이 이용된다.

<209> 도 11에서 도시된 장치 시스템은 상기 실시예에서 사용된다. 도 11에서, 참조 번호 40은 처리 기판을 나타내고, 참조 번호 50은 공통 챔버를 나타내고, 44 및 46은 로드락 챔버를 나타내고, 45는 챔버를 나타내고, 참조 번호 42 및 43은 카세트를 나타낸다. 기판의 수송동안 발생된 오염을 방지하기 위해, 증착은 상기 실시예에서와 동일한 챔버에서 실행된다.

<210> 실시예 1 내지 실시예 4 중 임의의 하나와 상기 실시예를 자유롭게 결합하는 것이 가능하다.

<211> 실시예 1을 적용할 때, 다수의 타겟들이 챔버(45)에 배치되고, 절연막(104), 제 1 비정질 반도체막(105), n형 도전성을 부여하는 불순물 성분을 함유하는 제 2 비정질 반도체막(106), 및 제 1 도전막(107)은 차례대로 반응 가스를 변화시킴으로써 적층될 수 있다는 것을 유의해야 한다.

<212> 또한, 실시예 4를 적용할 때, 절연막(104), 제 1 비정질 반도체막(105), n형 도전성을 부여하는 불순물 성분을 함유하는 제 2 비정질 반도체막(106)은 차례대로 반응 가스를 변화시킴으로서 적층될 수 있다.

<213> [실시예 7]

<214> 실시예 1에서, 스퍼터링을 사용하여 n형 도전성을 부여하는 불순물 성분을 함유한 제 2 비정질 반도체막을 형성하는 예가 도시되지만, 상기 실시예에서, 플라즈마 CVD를 사용하여 그것을 형성하는 예가 도시된다. n형 도전성을 부여하는 불순물 성분을 함유하는 제 2 비정질 반도체막을 형성하는 방법을 제외하고, 상기 실시예는 실시예

1과 동일하므로, 차이점만 아래에 기술된다는 것을 유의해야 한다.

<215> 포스핀(PH_3)이 플라즈마 CVD를 사용하여 반응 가스로 시래인(silane)(SiH_4)에 대해 0.1 내지 5%의 농도로 첨가되면, n형 도전성을 부여하는 불순물 성분을 함유한 제 2 비정질 반도체막이 획득될 수 있다.

<216> [실시예 8]

<217> 실시예 7에서, 플라즈마 CVD를 사용하여 n형 도전성을 부여하는 불순물 성분을 함유한 제 2 비정질 반도체막을 형성하는 예가 도시되고, 상기 실시예에서, n형 도전성을 부여하는 불순물 성분을 함유한 미소결정 반도체막을 사용하는 예가 도시된다.

<218> 80 내지 300°C, 바람직하게는 140 내지 200°C,로 기판 온도를 설정함으로써, 반응 가스로서 포스핀(PH_3)과 수소에 의해 희석된 시래인의 가스 혼합($\text{SiH}_4 : \text{H}_2 = 1 : 10$ 내지 100)을 취하고, 0.1 내지 10 Torr로 가스 압력을 설정하고, 10 내지 300 mW/cm²로 방전 전력을 설정하여, 미소 결정 실리콘막이 획득될 수 있다. 또한, 플라즈마 도핑을 사용함으로써, 이러한 미소결정 실리콘의 막 중착 후에, 상기 막은 인(phosphorous)을 첨가하여 형성될 수 있다.

<219> [실시예 9]

<220> 도 12는 COG 기법을 사용하여 전기 광학 디스플레이 장치를 구성하는 상태를 개략적으로 도시한 도면이다. 화소 영역(803), 외부 입력-출력 단자(804), 및 접속 배선(805)은 제 1 기판 상에 형성된다. 접선으로 둘러싸인 영역들은 스캐닝 라인측 IC 칩을 부착한 영역(801), 및 데이터 라인측 IC 칩을 부착한 영역(802)을 나타낸다. 대향 전극(809)은 제 2 기판(808)에 형성되고, 이러한 것은 밀봉 재료(810)을 사용하여 제 1 기판(800)에 결합된다. 액정층(811)은 액정을 삽입하여 밀봉 재료(810) 내부에 형성된다. 제 1 기판 및 제 2 기판은 소정의 캡과 결합되고, 이러한 것은 네마틱(nematic) 액정에 대해 3 내지 8 μm 로 설정되고, 스메틱(smectic) 액정에 대해 1 내지 4 μm 로 설정된다.

<221> IC 칩들(806 및 807)은 데이터 라인측과 스캐닝 라인측간의 상이한 회로 구조를 가진다. IC 칩들은 제 1 기판 상에 설치된다. FPC(flexible printed circuit)(812)는 외부로부터의 제어 신호들 및 입력 전력을 공급을 위해 외부 입력 출력 단자(804)에 부착된다. FPC(812)의 접착강도를 증가시키기 위해, 강화 플레이트(813)가 형성될 수 있다. 그래서, 전기-광학 장치가 완성될 수 있다. 전기적 검사가 제 1 기판 상에 IC 칩들을 설치하기 전에 실행되면, 전기-광학 장치의 최종 처리 생산량이 개선될 수 있고, 신뢰도가 증가될 수 있다.

<222> 또한, 이방성 도전 재료 또는 배선 접합 기법을 사용하는 그러한 접속 방법은 제 1 기판 상에 IC 칩들을 설치하는 방법으로 이용될 수 있다. 도 13은 그와 같은 예를 도시한다. 도 13의 (a)는 IC 칩(908)이 이방성 도전 물질을 사용하여 제 1 기판(901)상에 설치된 예를 도시한다. 화소 영역(902), 리드 배선(906), 접속 배선 및 입력-출력 단자(907)는 제 1 기판(901)상에 형성된다. 제 2 기판은 밀봉 재료(904)을 사용하여 제 1 기판(901)에 접합되고, 액정층(905)이 그 사이에 형성된다.

<223> 또한, FPC(912)는 이방성 도전 물질을 사용하여 상기 접속 배선 및 입력-출력 단자(907)의 한 예지에 접합된다. 이방성 도전 물질은 수지(resin)(915)와 수십 내지 수백 μm 의 지름을 갖는 도전 입자(914)들로 구성되고, Au와 같은 재료에 의해 도금되며, FPC(912)로 형성된 배선(913)과 상기 접속 배선 및 입력-출력 단자(907)는 도전 입자들(914)에 의해 전기적으로 접속된다. IC 칩(908)은 또한, 이방성 도전 물질에 의해 제 1 기판에 유사하게 접합된다. 입력-출력 단자(909)는 IC 칩(908)으로 제공되고 리드 배선(906) 또는 접속 배선 및 입력-출력 단자(907)는 수지(911)에 혼합된 도전 입자들(910)에 의해 전기적으로 접속된다.

<224> 또한, 도 13의 (b)에 도시된 바와 같이, IC 칩은 접착 물질(916)에 의해 제 1 기판에 고정될 수 있고, 상기 IC 칩의 입력-출력 단자와 리드 배선 또는 접속 배선은 Au 배선(917)에 의해 접속될 수 있다. 그 후에, 이러한 것은 수지(918)에 의해 모두 밀봉된다.

<225> IC 칩을 설치하는 방법은 도 12 및 13에 기초한 방법에 제한되지 않고, COG 기법, 배선 접합 기법 또는 TAB 기법과 같은, 여기에서 설명되지 않은 공지된 방법을 사용하는 것이 가능하다.

<226> 실시예 1 및 실시예 3 내지 실시예 8 중 임의의 하나와 상기 실시예를 자유롭게 결합하는 것이 가능하다.

<227> [실시예 10]

<228> 상기 실시예는 기판으로서 플라스틱 기판(또는 플라스틱 막)을 사용하는 예를 나타낸다. 기판으로서 플라스틱

기판을 사용하는 것을 제외하면, 상기 실시예는 실시예 1과 거의 동일하며, 그러므로 차이점만이 하기에 언급될 것이라는 점을 유의해야 한다.

<229> PES(폴리에틸렌 철폰), PC(폴리가보네이트), PET(폴리에틸렌 테레프탈레이트), 및 PEN(폴리에틸렌 나프탈레이트)가 상기 플라스틱 기판 재료로서 사용될 수 있다.

<230> 능동 매트릭스 기판은 제조가 실시예 1에 따라서 수행된다면 상기 플라스틱 기판을 사용하여 완성된다. 상기 절연막, 상기 제 1 비정질 막, 및 상대적으로 낮은 막 퇴적 온도로 스파터링하여 n-형 도전성을 부여하는 불순물 원소를 포함하는 상기 제 2 비정질 반도체막을 형성하는 것이 바람직하다는 것을 유의해야 한다.

<231> 양호한 특성을 가진 TFT는 상기 플라스틱 기판 상에 형성될 수 있고, 상기 결과적인 디스플레이 장치는 낮은 중량이 될 수 있다. 또한, 상기 기판이 플라스틱이기 때문에 신축성있는(flexible) 전기-광학 장치를 만드는 것이 가능하다. 또한, 조립이 쉬워진다.

<232> 상기 실시예는 실시예 1 내지 실시예 3, 및 실시예 9 중 어느 하나와 자유로이 결합될 수 있다.

<233> [실시예 11]

<234> 벽-형상 스페이서들이 상기 기판(100)과 상기 대향하는 기판(124)상에 형성된 예가 실시예 1에 도시되지만, 상기 실시예에서, 상기 벽-형상 스페이서들이 상기 대향하는 기판에서만 형성되는 예가 도 15를 사용하여 도시된다. 상기 대향하는 기판 (124)상의 벽-형상 스페이서들(1501)의 형성을 제외하면, 상기 실시예는 실시예 1과 동일하며, 그러므로, 차이점들만이 설명된다는 것을 유의해야 한다.

<235> 역 스태거형 n-채널 TFT와 저장 커패시터가 3개의 포토 마스크들을 사용하는 3개의 포토리소그래피 단계들에 의해 상기 실시예에서 완성될 수 있다. 상기 역스태거형 n-채널 TFT들이 상기 화소들 각각에 대응하는 매트릭스 상태로 배열되는 화소 부분이 준비된 기판은 능동 매트릭스형 액정 디스플레이 패널의 한 기판으로서 사용될 수 있다.

<236> 상기 대향하는 기판 상에 형성된 상기 벽-형상 스페이서들의 상면도가 도 18의 (b)에 도시된다. 도 15의 단면도들은 점선 Y-Y'에 따라 구분된 면에 대응한다.

<237> 또한, 상기 벽-형상 스페이서들이 상기 대향하는 기판에 형성된, 액정 디스플레이 장치를 정규적인 화이트 모드에 적용할 때, 상기 벽-형상 스페이서들(1501)의 주위에 배향 무질서가 있는 일부분, 또는 무질서한 배향으로 인한 불균일 임계 전압을 갖는 일부분은, 상기 벽-형상 스페이서들 자체에 의해 상기 디스플레이의 사용자의 인식으로부터 숨겨지고, 광 누설(light leakage)이 감소될 수 있다. 그러므로, 높은 콘트라스트, 높은-등급 디스플레이로 준비된 다중-도메인 수직 배향형 액정 디스플레이 장치는 상기 벽-형상 스페이서들을 통한 광 누설을 억제하여 얻어질 수 있다.

<238> 상기 실시예를 실시예 1 내지 실시예 10 중 어느 하나와 자유롭게 결합하는 것이 가능하다는 것을 유의해야 한다.

<239> [실시예 12]

<240> 실시예 12에서, 능동 매트릭스 기판에서 볼록부를 형성한 후에 배향막을 형성하는 예가 도 16에 도시되어 있다. 배향막들(1601과 1602)의 형성과, 볼록부 (1603)의 형성을 제외하면, 실시예 12는 실시예 1과 동일하며, 그러므로 차이점들만이 설명된다는 것을 유의해야 한다.

<241> 능동 매트릭스 기판은 실시예 1에 따라 우선 형성된다.

<242> 실시예 1의 벽-형상 스페이서들의 것과 다른 모양을 갖는, 볼록부(1603)가 다음에 형성된다. 주성분으로서 아크릴들, 폴리이미드들, 폴리아민들, 및 에폭시들로 구성되는 그룹으로부터 선택된 적어도 하나의 재료를 갖는 유기 수지; 또는 실리콘 산화물, 실리콘 질화물, 및 실리콘 질화산화물, 또는 상기 재료들의 적층막으로 구성되는 그룹으로부터 선택된 무기 재료가 상기 볼록부(1603)에 대한 재료로서 사용될 수 있다.

<243> 또한, 화소 전극 상에 볼록부를 형성하는 예는 도 16에 의해 도시되지만, 배선들이 바람직한 위치로 배열되고 상기 볼록부가 상기 배선들을 덮는 절연막 상에 형성되며, 액정들이 상기 볼록부를 사용하여 배향되는 구조도 사용될 수 있다.

<244> 다음으로, 수직 배향을 위한 배향막(1601)(JALS-2021;JSR에 의해 만들어짐)은 상기 볼록부(1603)상에 형성된다. 실시예 1의 것과 유사한 벽-형상 스페이서들이 대향하는 기판 상에 형성된다. 또한, 수직 배향을 위한 배향막

(1602)도 대향하는 전극이 형성되는 상기 대향하는 기판(124)상에 형성된다. 그 다음에, 상기 기판 간격을 상기 대향하는 기판 상에 형성된 벽-형상 스페이서들에 의해 유지하는 동안 밀봉제를 사용하여 양 기판들을 함께 연결한 후에, n-형 액정 재료가 양 기판들 사이에 주입된다. 상기 액정 재료를 주입한 후에, 상기 주입구는 수지 재료에 의해 밀봉된다.

<245> 그 후에, 실시예 1에 따라, 외부 전기 접속들을 수행하기 위한 배선이 접속되고, 액정 디스플레이 패널이 완성된다.

<246> 전압이 가해지지 않았을 때, 상기 배향은 상기 벽-형상 스페이서들과 상기 능동 매트릭스 기판 상의 상기 배향막(1601)에 의해서, 및 상기 벽-형상 스페이서들과 상기 대향하는 기판 상의 배향막(1602)에 의해서 제어되어어서, 상기 n-형 액정은 일정한 방향을 갖는다. 실시예 12의 액정 디스플레이 패널을 사용하여, 넓은 시야각 디스플레이 및 적은 간격 불균일을 가지는 다중-도메인 수직 배향형 액정 디스플레이 장치가 얻어질 수 있다.

<247> 실시예 12를 실시예 1 내지 실시예 10 중 어느 하나와 자유로이 결합하는 것이 가능하다는 것을 유의해야 한다.

<248> [실시예 13]

<249> 실시예 1에 도시된 벽-형상 스페이서들의 상면도가 도 18의 (a)에 도시된다. 실시예 1과 다른 벽-형상 스페이서 배열이 실시예 13에 예시된다.

<250> 도 18의 (b)에 도시된 벽-형상 스페이서들은 직선 모양을 지닌 벽-형상 스페이서들의 예이고, 실시예 11에 도시된 바와 같이 하나의 기판 상에만 형성된다.

<251> 도 18의 (c)에 도시된 벽-형상 스페이서들은 가지가 있는 모양을 갖고 있다. 인접한 벽-형상 스페이서들이 한 기판 상에 형성된 구조, 또는 상기 스페이서들이 양 기판들 상에 형성된 구조가 사용될 수 있다.

<252> 또한, 도 18의 (d)에 도시된 벽-형상 스페이서들은 격자모양이다. 상기 벽-형상 스페이서들은 도 18의 (d)에 도시된 상기 벽-형상 스페이서들의 경우에 대해 한 기판 상에 형성된다. 또한, 도 18의 (d)에 도시된 벽-형상 스페이서들이 사용될 때, 상기 액정을 떨어뜨린 후에, 상기 스페이서들은 다른 기판에 연결된다.

<253> 본 발명이 도 18에 도시된 상층부 배열들에 한정되지는 않으며, n-형 액정을 배향할 수 있는 임의의 배열이 사용될 수 있다는 것을 유의해야 한다. 예를 들어, T-형상 또는 사다리 형상의 배열도 사용될 수 있다.

<254> 실시예 13을 실시예 1 내지 실시예 12 중 어느 하나와 자유로이 결합하는 것이 가능하다는 것을 유의해야 한다.

<255> [실시예 14]

<256> 실시예 14에서, 화소 전극과 동일한 재료막을 이용하여, 화소부와 다른 영역에 보호 회로를 형성하는 예가 도 19에 도시된다.

<257> 도 19의 (a)에서, 참조 번호 701은 배선을 나타내고, 화소부로부터 연장된 게이트 배선, 소스 배선, 또는 커패시터 배선을 도시한다. 또한, 제 2 도전막으로부터 만들어진 전극(701)은 배선(701)이 형성되지 않은 영역에 둘어지고(embedded) 상기 배선(701)과 오버랩하지 않도록, 형성된다. 실시예 14는 마스크들의 수를 증가시키지 않고 보호 회로를 형성하는 예를 도시하지만, 도 19의 (a)에 도시된 구조에 특히 한정되지는 않는다. 예컨대, 마스크들을 증가시켜, 상기 보호 회로는 보호 다이오드 또는 TFT에 의해서도 형성될 수 있다.

<258> 또한, 도 19의 (b)는 등가 회로도를 도시한다.

<259> 상기 형태의 구조를 사용하여, 제조시에 제조 장치와 절연 기판간의 마찰에 기인한 정전기의 발생은 방지될 수 있다. 특히, TFT들과 같은 장치들은 제조시에 수행된 마찰(rubbing)의 액정 배향 처리동안 발생된 정전기로부터 방지될 수 있다.

<260> 실시예 14는 실시예 1 내지 실시예 13 중 임의의 하나와 자유롭게 결합할 수 있다는 것을 유의해야 한다.

<261> [실시예 15]

<262> 상기 실시예 1 내지 실시예 14 중 임의의 하나를 실시하여 형성된 하부 게이트형 TFT는 다양한 전기 광학 장치(능동 매트릭스 액정 디스플레이 장치, 능동 매트릭스 EL 디스플레이 장치, 및 능동 매트릭스 EC 디스플레이 장치)로 사용될 수 있다. 즉, 본 발명은 이러한 전기 광학 장치가 디스플레이부에 내장된 모든 전자 장치에 실시될 수 있다.

- <263> 다음은 그러한 전자 장비로 주어질 수 있다: 비디오 카메라, 디지털 카메라, 프로젝터(후부형 또는 정면형), 헤드 장착형(head mounted) 디스플레이(고글형 디스플레이), 자동차 항법 시스템, 자동차 스테레오, 개인용 컴퓨터, 및 휴대용 정보 단말기(예컨대, 이동용 컴퓨터, 휴대용 전화기 또는 전자 서적). 이러한 예는 도 20 및 21에 도시된다.
- <264> 도 20의 (a)는 개인용 컴퓨터이고, 본체(2001), 영상 입력부(2002), 디스플레이부(2003), 및 키보드(2004)를 포함한다. 본 발명은 디스플레이부(2003)에 응용될 수 있다.
- <265> 도 20의 (b)는 비디오 카메라이고, 본체(2101), 디스플레이부(2102), 오디오 입력부(2103), 조작 스위치(2104), 배터리(2105), 및 영상 수신부(2106)를 포함한다. 본 발명은 디스플레이부(2102)에 응용될 수 있다.
- <266> 도 20의 (c)는 이동 컴퓨터이고, 본체(2201), 카메라부(2202), 영상 수신부 (2203), 조작 스위치(2204), 및 디스플레이부(2205)를 포함한다. 본 발명은 디스플레이부(2205)에 응용될 수 있다.
- <267> 도 20의 (d)는 프로그램이 기록된 매체(이후에, 기록 매체로 언급됨)를 사용하는 플레이어이고, 본체(2401), 디스플레이부(2402), 스피커부(2403), 기록 매체(2404), 및 조작 스위치(2405)를 포함한다. 플레이어가 DVD(digital versatile disk) 또는 CD와 같은 기록 매체를 사용하고, 음악 감상, 영화 감상, 게임 플레이, 및 인터넷이 실행될 수 있다는 것을 유의해야 한다. 본 발명은 디스플레이부(2402)에 응용될 수 있다.
- <268> 도 20의 (e)는 디지털 카메라이고, 본체(2501), 디스플레이부(2502), 접안렌즈부(2503), 조작 스위치(2504), 및 영상 수신부(도면에 도시되지 않음) 등을 포함한다. 본 발명은 디스플레이부(2502)에 응용될 수 있다.
- <269> 도 21의 (a)는 휴대용 전화이고, 본체(2901), 오디오 출력부(2902), 오디오 입력부(2903), 디스플레이부(2904), 조작 스위치(2905), 및 안테나(2906) 등을 포함한다. 본 발명은 디스플레이부(2904)에 응용될 수 있다.
- <270> 도 21의 (b)는 휴대용 서적(전자 서적)이고, 본체(3001), 디스플레이부(3002, 3003), 기록 매체(3004), 조작 스위치(3005), 및 안테나(3006)를 포함한다. 본 발명은 디스플레이부(3002, 3003)에 응용될 수 있다.
- <271> 도 21의 (c)는 디스플레이이고, 본체(3101), 지지 스탠드(3102), 및 디스플레이부(3103)를 포함한다. 본 발명은 디스플레이(3103)에 응용될 수 있다. 본 발명의 디스플레이는 특히 큰 사이즈의 스크린에 유리하고, 대향각으로 10인치 이상인(특히 30 인치 이상) 디스플레이용으로 유리하다.
- <272> 따라서, 본 발명의 응용가능한 범위는 극히 넓고, 본 발명은 모든 분야의 전자 장비에 응용가능하다. 또한, 실시예 15의 전자 장비는 실시예 1 내지 실시예 14의 임의의 형식의 결합을 갖는 구성을 사용하여 실현될 수 있다.

발명의 효과

- <273> 3개의 포토마스크들을 사용하는 3개의 포토리소그래피 단계들에 의해, 역 스태거형 n-채널 TFT, 및 저장 커패시터를 갖는 화소 TFT를 형성하고, 부가하면, 마찰 처리를 수행하지 않고 하나의 포토리소그래피 단계에 의해 벽-형상 스페이서들을 형성하여 균일한 셀 간격을 가져서, 넓은 시야각 디스플레이를 가지며 액정 분자들의 스위칭 방향이 제어되는 다중-도메인 수직 배향형 액정 디스플레이 장치가 본 발명에 의해 구현될 수 있다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 단면도와 액정 분자 배향 상태를 도시한 도면.
- <2> 도 2는 능동 매트릭스 기판을 제조하는 처리를 도시한 단면도.
- <3> 도 3은 능동 매트릭스 기판을 제조하는 처리를 도시한 단면도.
- <4> 도 4는 능동 매트릭스 기판을 제조하는 처리를 도시한 상면도.
- <5> 도 5는 능동 매트릭스 기판을 제조하는 처리를 도시한 상면도.
- <6> 도 6은 능동 매트릭스 기판을 제조하는 처리를 도시한 상면도.
- <7> 도 7은 액정 디스플레이 패널의 화소부와 입력 단자부의 예를 도시한 상면도.
- <8> 도 8은 액정 디스플레이 패널을 설치하는 방법의 예를 도시한 단면도.
- <9> 도 9는 입력 단자부를 도시한 상면도 및 단면도.

- <10> 도 10은 제조 장치를 도시한 상면도.

<11> 도 11은 제조 장치를 도시한 상면도.

<12> 도 12는 액정 디스플레이 패널을 설치하는 방법의 예를 도시한 도면.

<13> 도 13은 액정 디스플레이 패널을 설치하는 예를 도시한 단면도.

<14> 도 14는 본 발명의 단면도와 액정 분자 배향 상태를 도시한 도면.

<15> 도 15는 본 발명의 단면도와 액정 분자 배향 상태를 도시한 도면.

<16> 도 16은 본 발명의 단면도와 액정 분자 배향 상태를 도시한 도면.

<17> 도 17은 본 발명의 벽-형상 스페이서들(wall-like spacers)의 사시도를 도시한 도면.

<18> 도 18은 본 발명의 벽-형상 스페이서들의 사시도를 도시한 도면.

<19> 도 19는 보호 회로의 상면도 및 회로도.

<20> 도 20은 전자 장비의 예를 도시한 도면.

<21> 도 21은 전자 장비의 예를 도시한 도면.

<22> * 도면의 주요부분에 대한 부호의 설명 *

<23> 102 : 게이트 배선 103 : 커패시터 배선

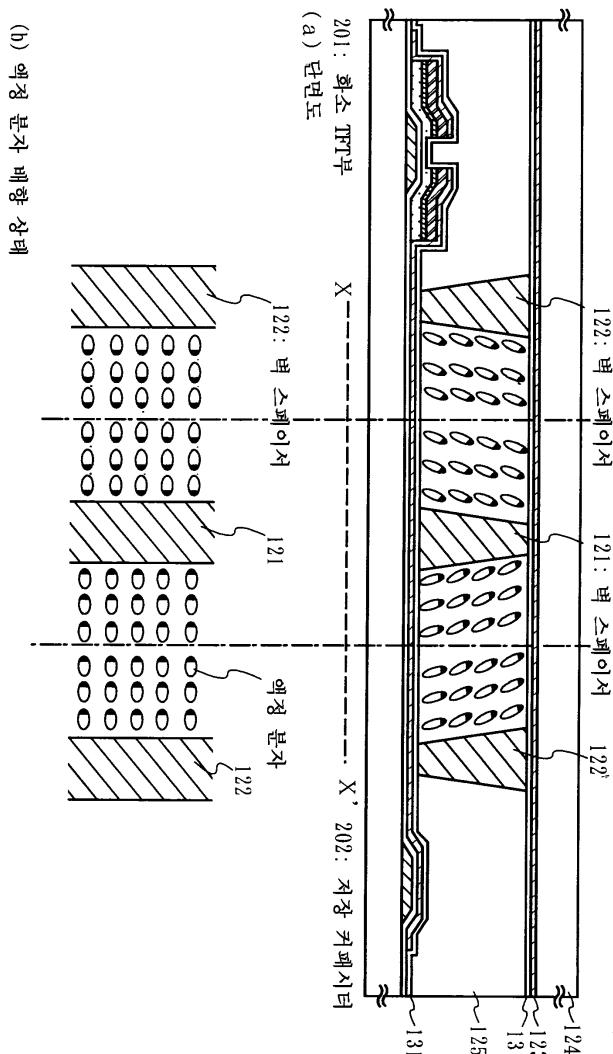
<24> 117 : 소스 배선 119 : 화소 전극

<25> 121, 122 : 벽-형상 스페이서 128 : 구리 배선

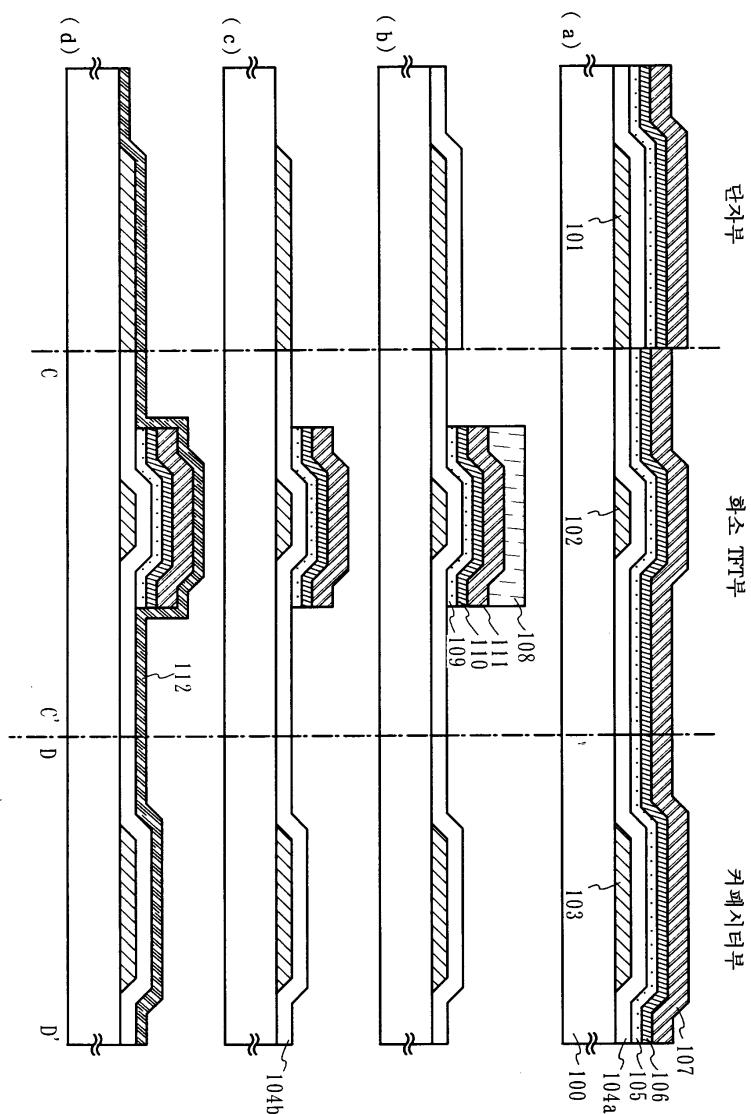
<26> 201 : n채널 TFT 202 : 저장 커패시터

도면

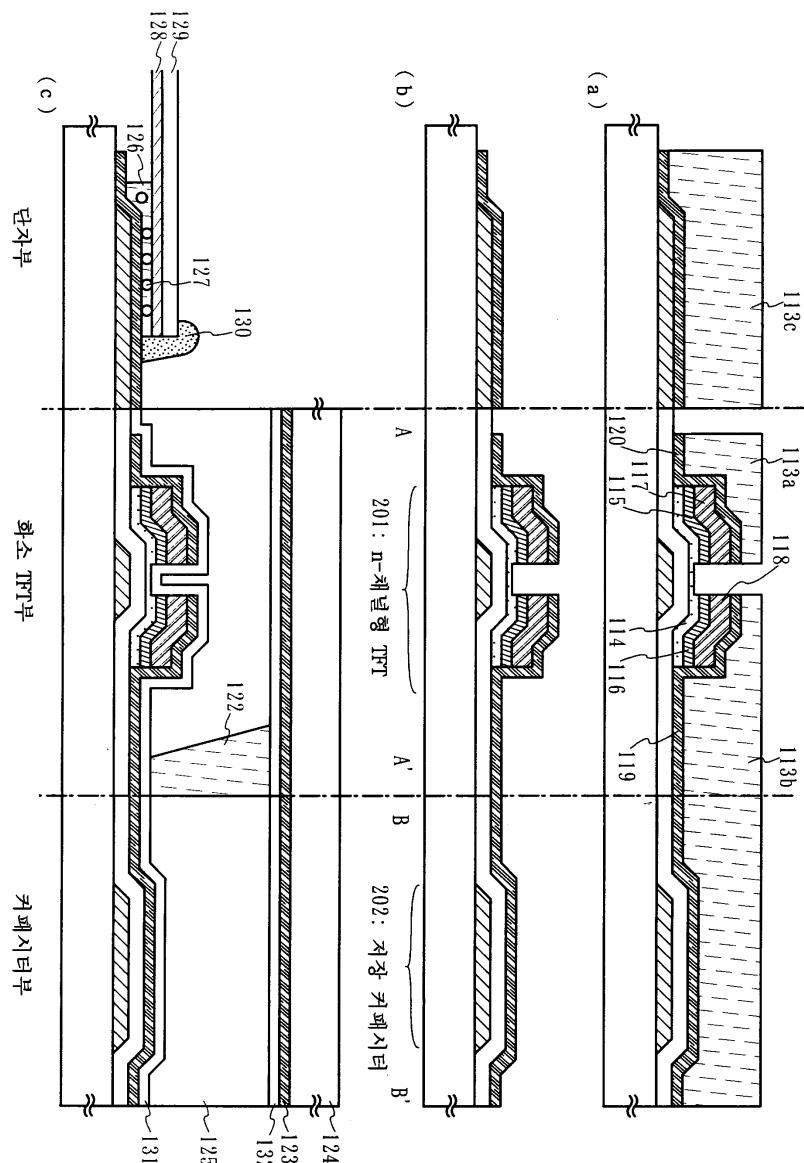
도면1



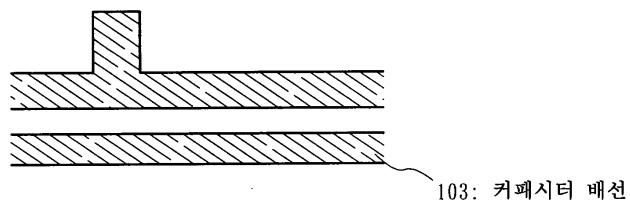
도면2



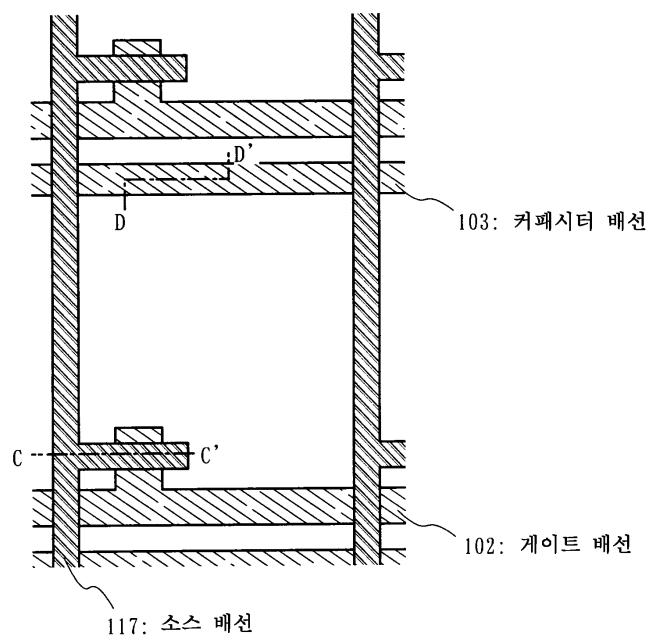
도면3



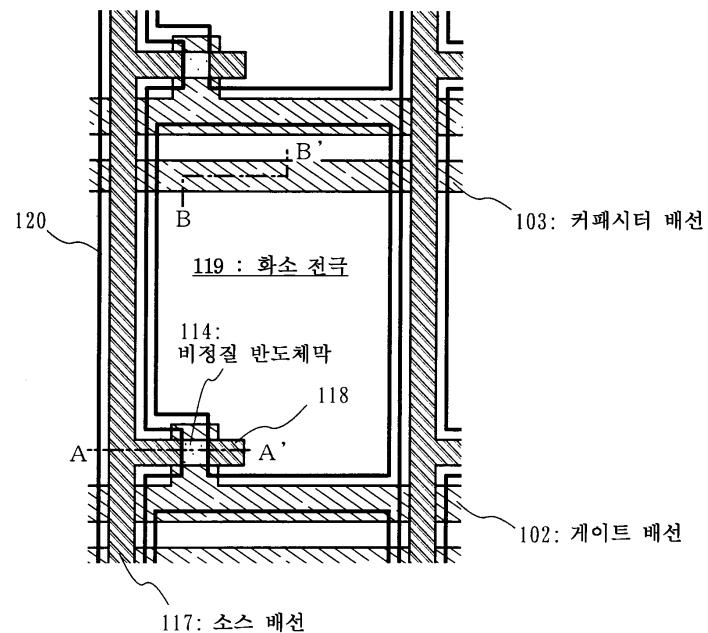
도면4



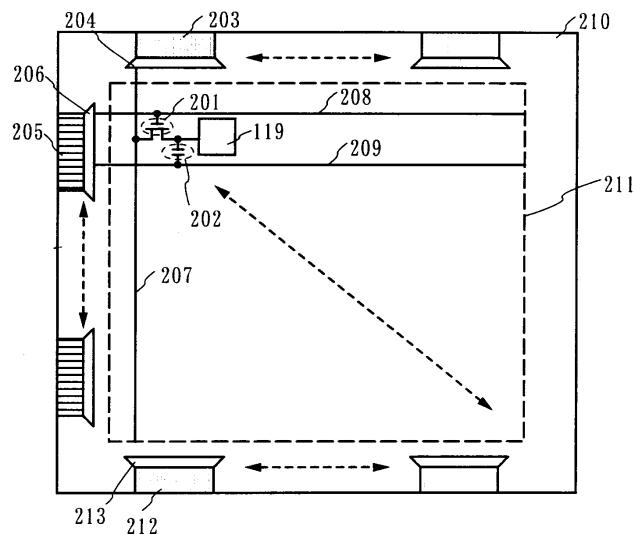
도면5



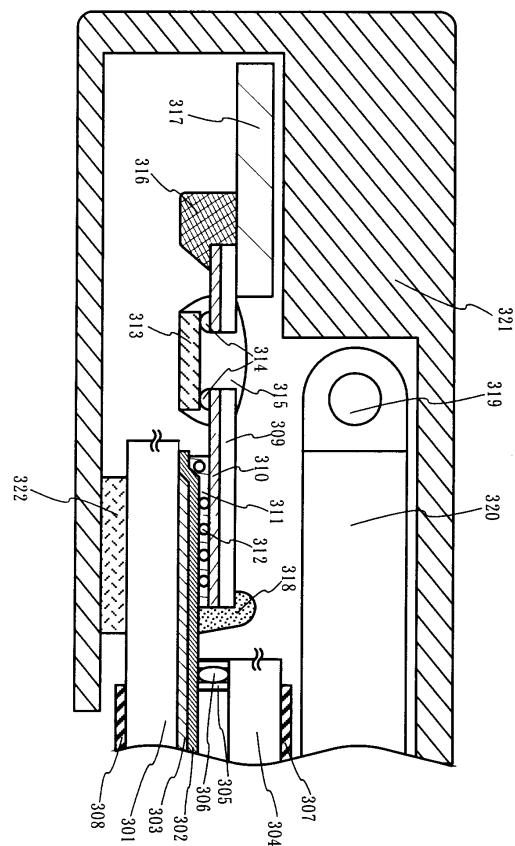
도면6



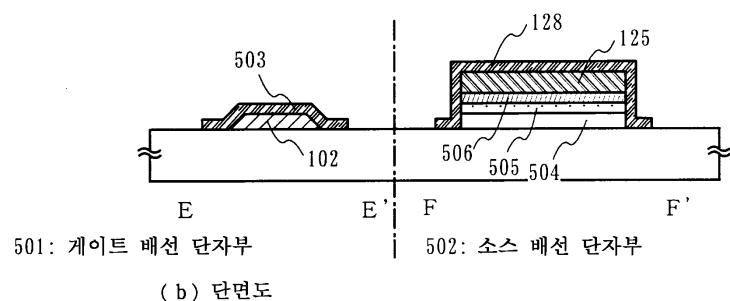
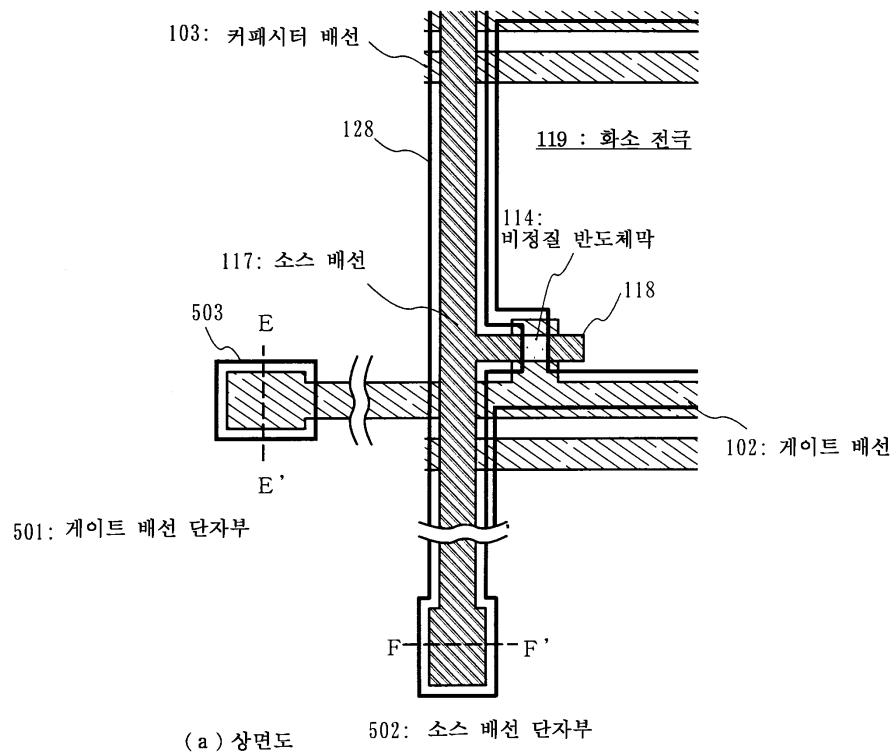
도면7



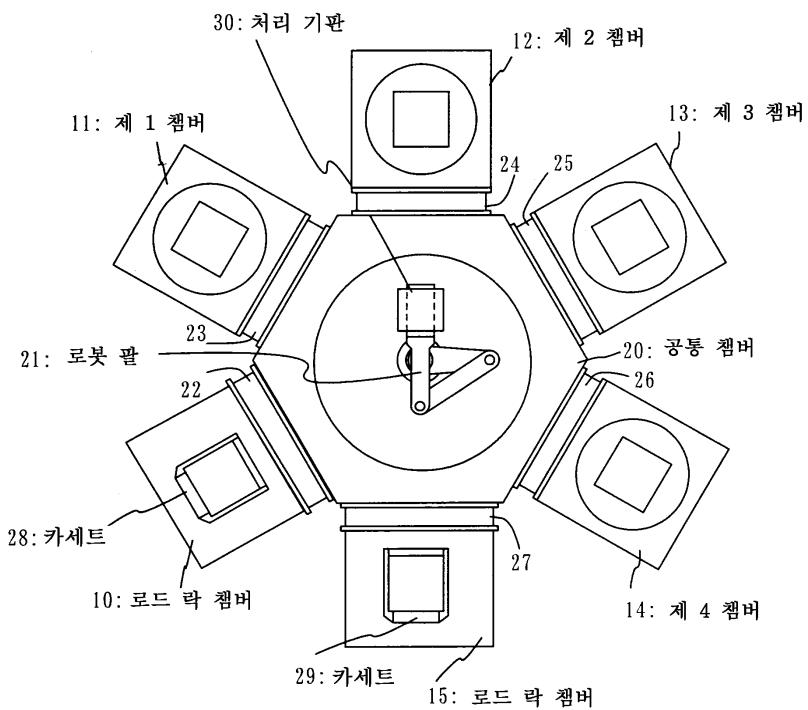
도면8



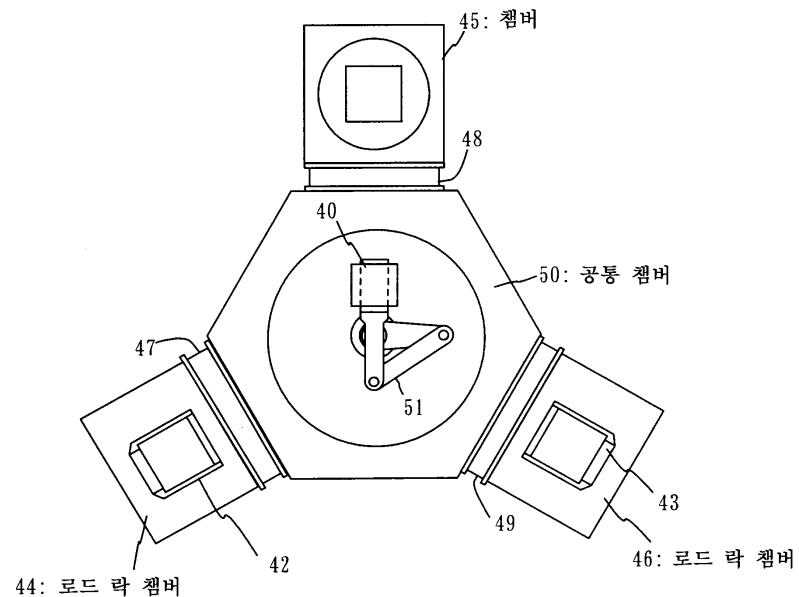
도면9



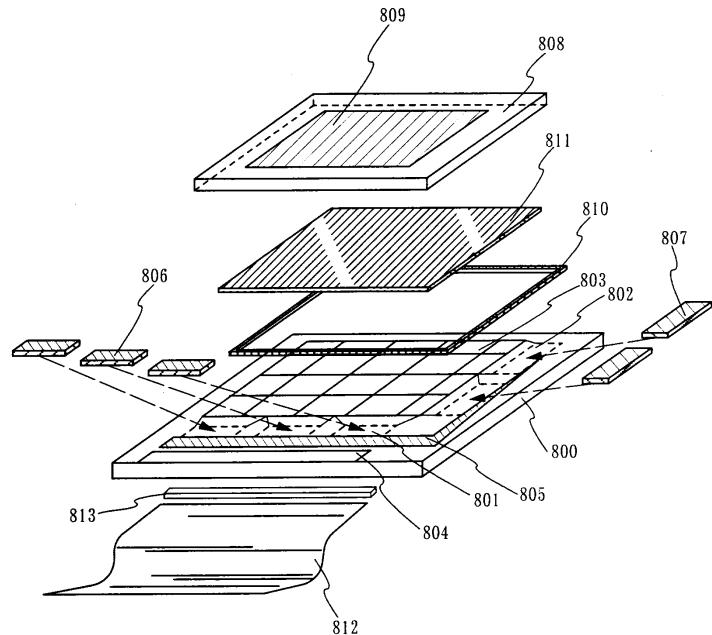
도면10



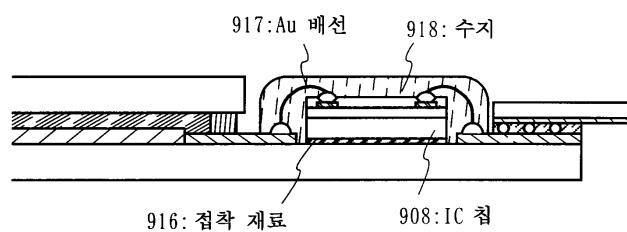
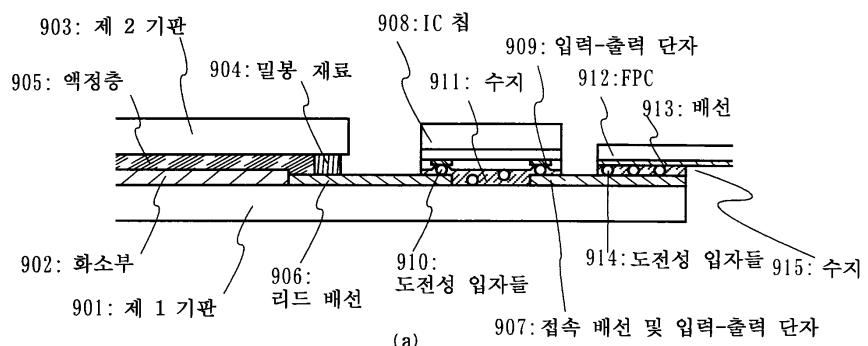
도면11



도면12

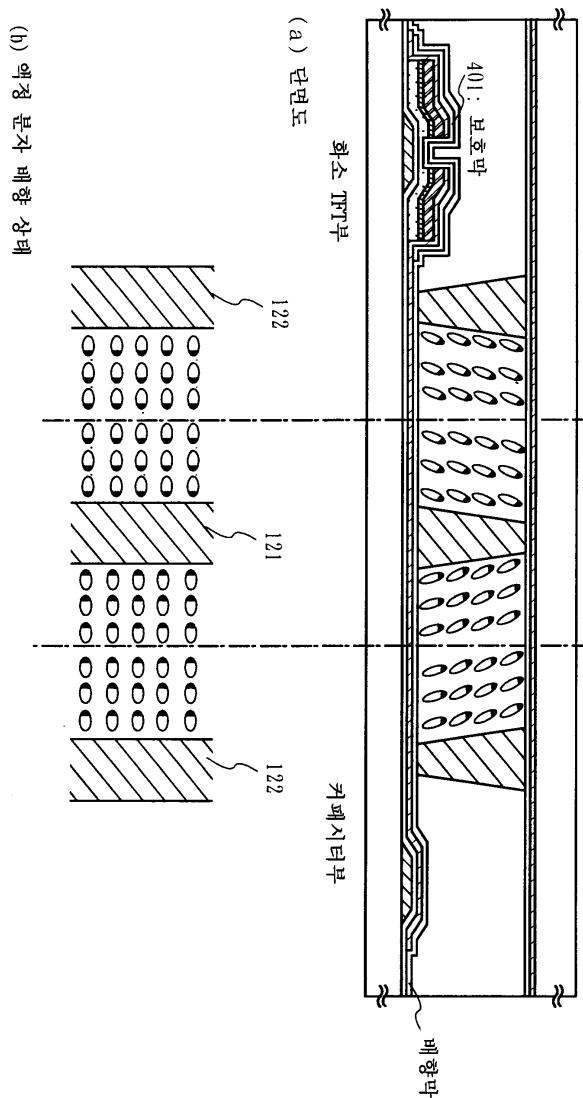


도면13

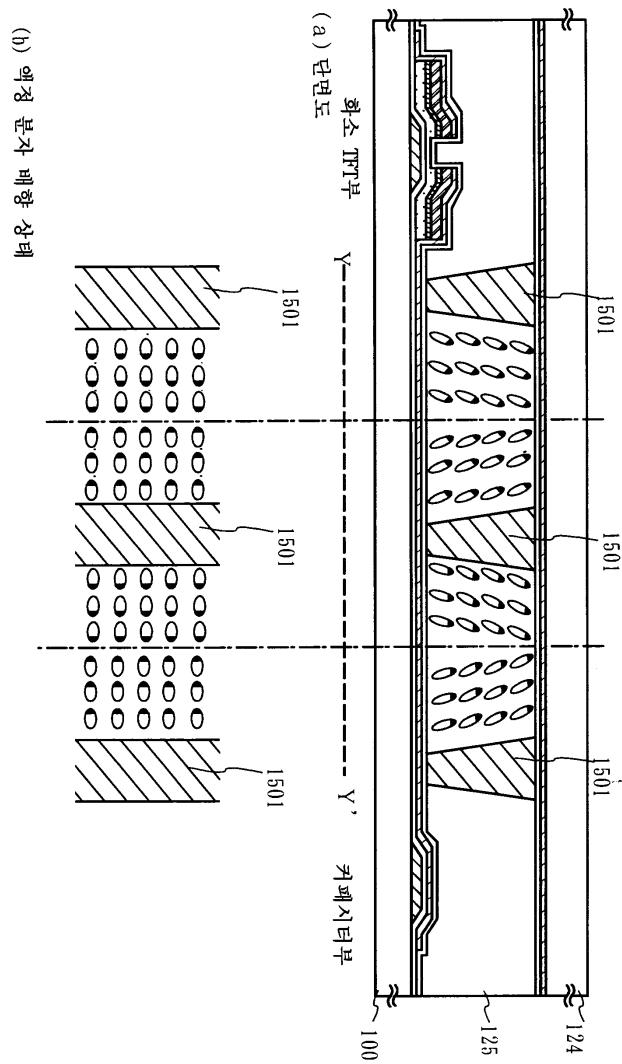


(b)

도면14

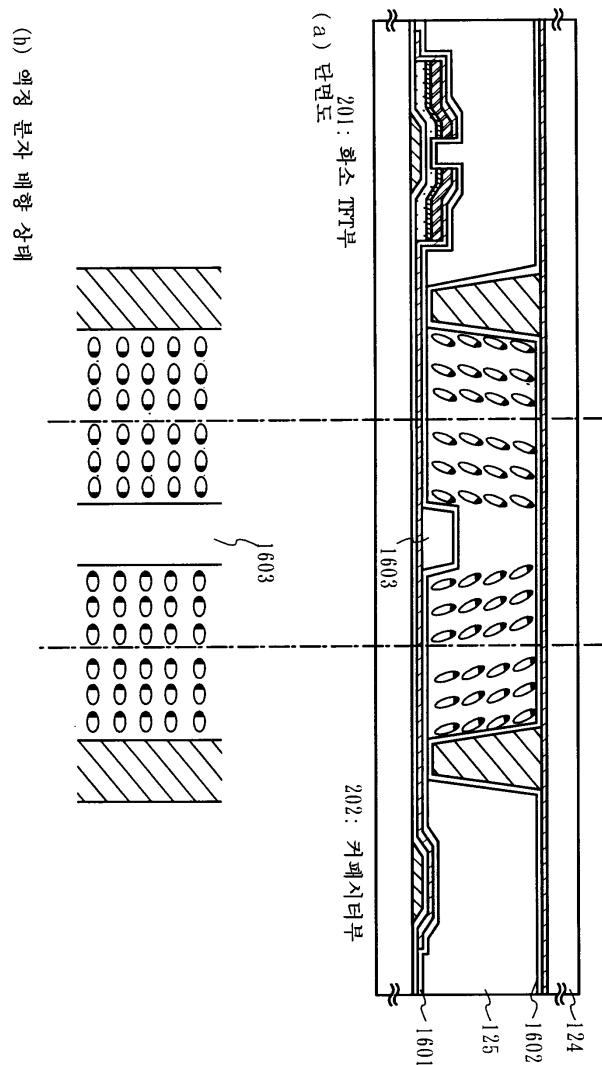


도면15

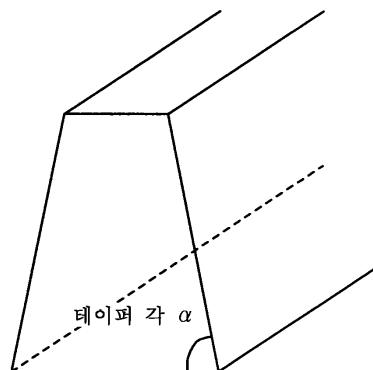


(b) 액정 분자 배치 상태

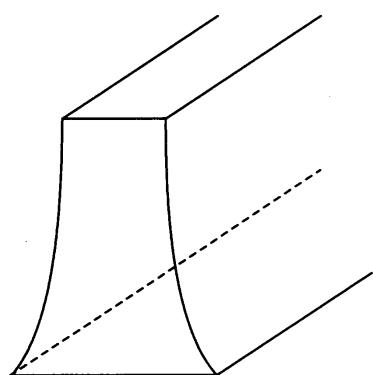
도면16



도면17

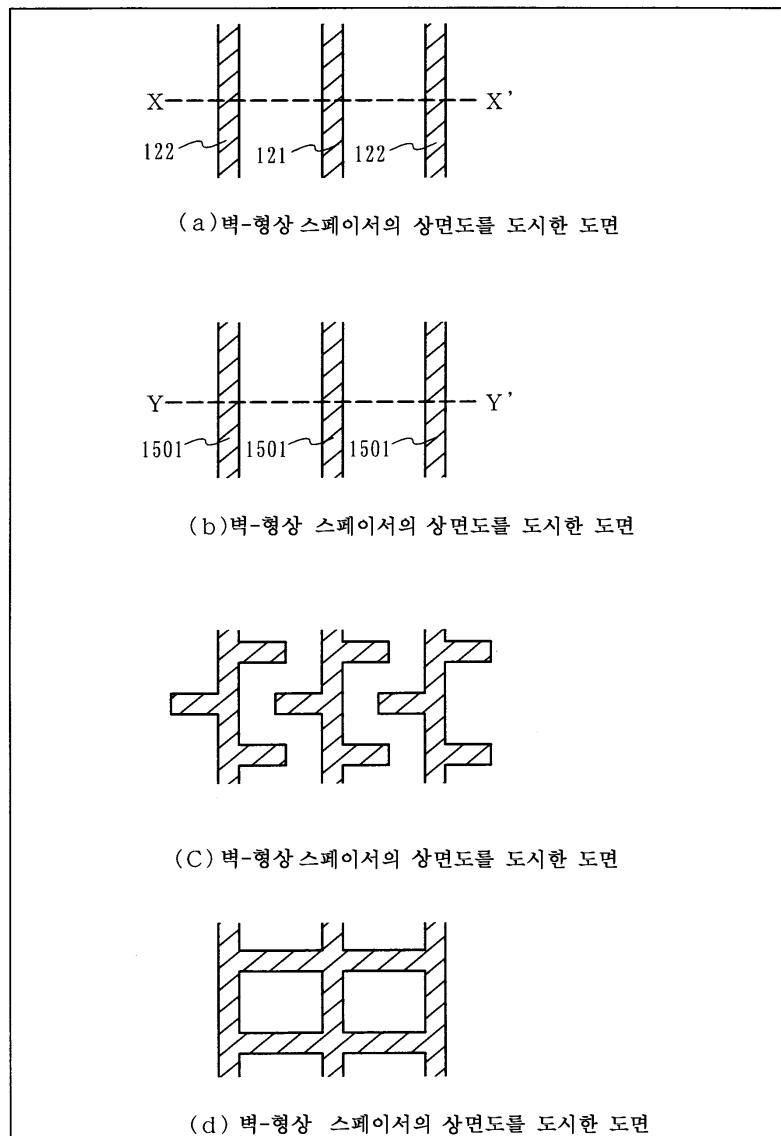


(a) 벽-형상 스페이서의 사시도를 도시한 도면

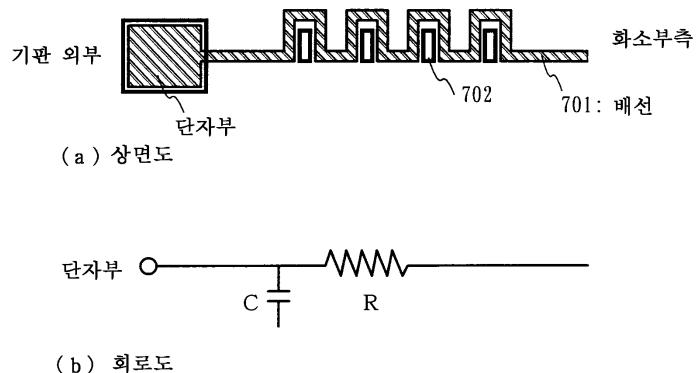


(b) 벽-형상 스페이서의 모양

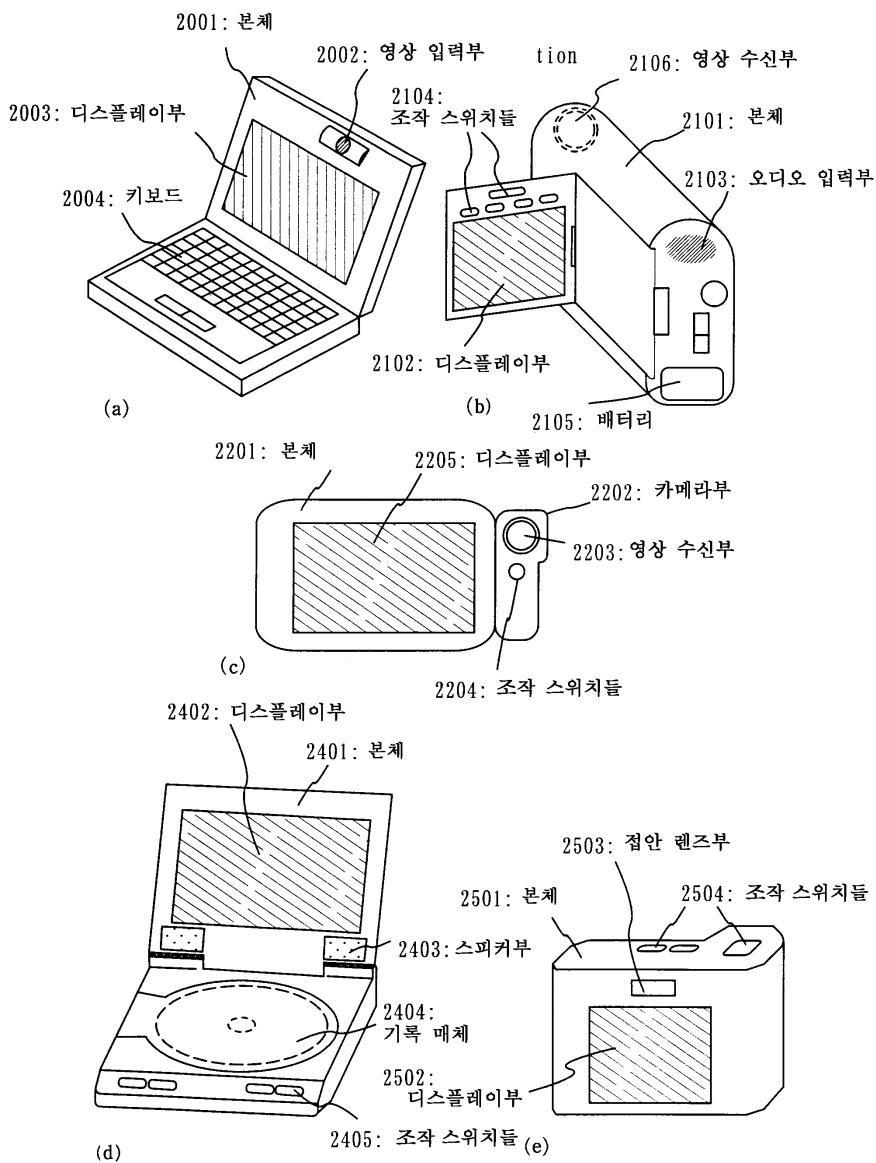
도면18



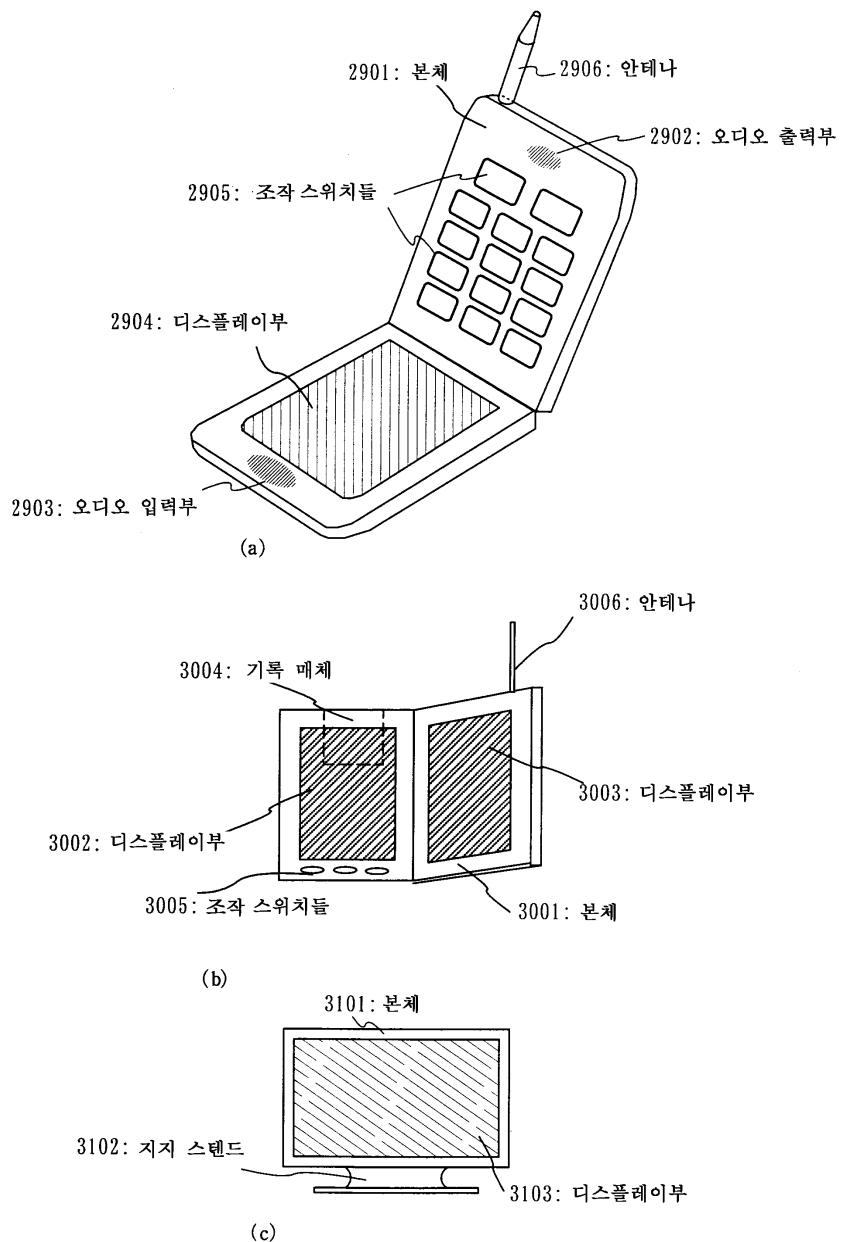
도면19



도면20



도면21



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR100864599B1	公开(公告)日	2008-10-22
申请号	KR1020060024738	申请日	2006-03-17
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 아마자키순페이 HIRAKATA YOSHIHARU 히라카타요시하루		
发明人	아마자키순페이 히라카타요시하루		
IPC分类号	G02F1/136 G02F1/1339 G02F1/1333 G02F1/1337 G02F1/1362 G02F1/1368 G02F1/139 G09F9/35 H01L21/00 H01L21/336 H01L21/77 H01L29/786		
CPC分类号	H01L27/1214 G02F1/1337 G02F1/13394 G02F1/136204 G02F1/136213 G02F1/133707 G02F1/1393 H01L27/124 H01L2224/16225 H01L2224/48091 H01L2924/00014 A61H7/003 A61H15/0092 A61H39 /04 A61H2015/0014 A61H2201/10 A61H2201/1253		
代理人(译)	李贝尔 李昌勋		
优先权	2000075467 2000-03-17 JP		
其他公开文献	KR1020060031661A		
外部链接	Espacenet		

摘要(译)

[目的]减少制造成本的降低和产量制造TFT的改进的处理水平的数量，消除了摩擦处理，并且制造了由有源矩阵型液晶显示装置表示的电子光学装置，并且减少了添加量。它已实施。[解决问题的手段]执行具有反向交错型n沟道薄膜晶体管的像素TFT部分的光刻水平，以及使用3个存储电容器的光掩模的光刻水平。如果通过摩擦处理添加并且执行一个光刻水平并形成壁形间隔物，则它具有均匀的细胞分离。在具有宽视角显示的同时，可以实现其中控制液晶分子的切换方向的多畴垂直取向形状液晶显示装置。有源矩阵型液晶显示器件，反向交错型n沟道薄膜晶体管，像素TFT部分，存储电容器，壁形间隔物。

