



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월24일
(11) 등록번호 10-0798226
(24) 등록일자 2008년01월18일

(51) Int. Cl.

G09G 3/20 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2006-0049444

(22) 출원일자 2006년06월01일

심사청구일자 2006년06월01일

(65) 공개번호 10-2007-0029547

(43) 공개일자 2007년03월14일

(30) 우선권주장

JP-P-2005-00261924 2005년09월09일 일본(JP)

(56) 선행기술조사문헌

KR1020050020586 A

(뒷면에 계속)

(73) 특허권자

가부시끼가이샤 르네사스 테크놀로지

일본국 도쿄도 치요다쿠 오테마치 2초메 6반 2고

(72) 발명자

아카이 아끼히토

일본 도쿄도 치요다쿠 마루노우찌 1조메 6-1 가부
시끼가이샤히타치세이사쿠쇼 지적재산권본부 내

구도우, 야스유키

일본 도쿄도 치요다쿠 마루노우찌 1조메 6-1 가부
시끼가이샤히타치세이사쿠쇼 지적재산권본부 내

(뒷면에 계속)

(74) 대리인

구영창, 이중희, 장수길

전체 청구항 수 : 총 11 항

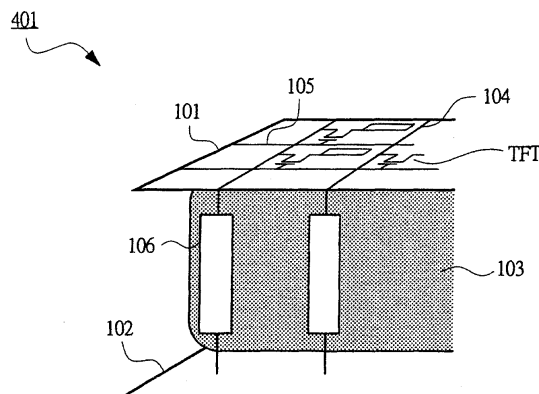
심사관 : 박부식

(54) 표시 장치용 구동 장치

(57) 요약

액정 패널의 전류 리크 경로 및 그에 기인한 신호선 전압 변동을 고려하여, 제1 구동 방법에서의 분할 기간마다, γ 조정 기능(제2 구동 방법)을 적용한다. 신호선 구동부에서, 각 계조의 출력 기간마다 서로 다른 전압 변동량을 가감한 계조 전압을 생성하여, 미리 신호선 전압 변동량을 고려한 계조 전압 V_x 를 신호선에 인가한다.

대표도 - 도1



(72) 발명자	(56) 선행기술조사문헌
에리구찌 다꾸야	JP2005049868 A
일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부	JP2001013478 A
시키키가이샤히타치세이사쿠쇼 지적재산권본부 내	JP07098577 A
오오까도 가즈오	JP06348235 A
일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부	JP05019725 A
시키키가이샤히타치세이사쿠쇼 지적재산권본부 내	

특허청구의 범위

청구항 1

삭제

청구항 2

표시 장치용 구동 장치로서,

복수의 계조의 각각에 대응한 계조 전압을 생성하는 생성 회로와,

입력된 표시 데이터에 따라서 표시 패널의 신호선에 출력할 상기 계조 전압을 선택하는 선택 회로를 갖고,

상기 선택 회로는, 상기 신호선마다, 상기 생성 회로로부터 시분할로 출력된 계조 전압으로부터, 상기 신호선에 출력할 계조 전압을 선택하고, 선택된 계조 전압을 출력하는 기간의 길이를, 상기 표시 데이터에 의해서 제어하고,

상기 생성 회로는, 상기 계조 전압을 상기 신호선에 출력하기 위한 1주사 기간을 시분할한 복수의 각 기간에 따라서, 이상(理想) 전압에 대한 레벨이 변동하는 상기 계조 전압을 생성 가능하며,

상기 생성 회로는, 상기 계조 전압에 관하여, 상기 신호선에서의 상기 시분할한 각 기간에 따른 전압 변동량에 맞추어서, 상기 전압 변동량을 가감산한, 상기 분할한 기간마다 레벨이 상이한 상기 계조 전압을 생성하는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 3

제2항에 있어서,

상기 생성 회로는, 상기 계조 전압 중 고전위의 계조 전압으로부터 저전위의 계조 전압으로 향하여 또는 저전위의 계조 전압으로부터 고전위의 계조 전압으로 향하여 단계적으로 상기 레벨이 변동하는 계조 전압을 출력하는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 4

제2항에 있어서,

상기 생성 회로는, 기준 전압을 분할하는 래더 저항과, 상기 래더 저항과 상기 기준 전압 사이에 위치하는 가변 저항을 포함한 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 5

제4항에 있어서,

상기 가변 저항의 저항값을 조정하기 위한 조정 레지스터를 포함한 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 6

제5항에 있어서,

상기 조정 레지스터는, 계조 번호와 계조 전압의 관계의 그래프 상의 진폭이 설정되는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 7

제6항에 있어서,

상기 1주사 기간을 시분할한 기간의 수와 동일한 수의 상기 조정 레지스터와,

상기 조정 레지스터에 저장된 설정값을 순차적으로 선택하는 전환 회로를 갖는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 8

제7항에 있어서,

상기 전환 회로는, 상기 시분할하는 타이밍에서 상기 조정 레지스터에 저장된 설정값을, 상기 가변 저항에 전송하는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 9

표시 장치용 구동 장치로서,

복수의 계조의 각각에 대응한 계조 전압을 생성하는 생성 회로와,

입력된 표시 데이터에 따라서 표시 패널의 신호선에 출력할 상기 계조 전압을 선택하는 선택 회로를 갖고,

상기 선택 회로는, 상기 신호선마다, 상기 생성 회로로부터 시분할로 출력된 계조 전압으로부터, 상기 신호선에 출력할 계조 전압을 선택하고, 선택된 계조 전압을 출력하는 기간의 길이를, 상기 표시 데이터에 의해 제어하고,

상기 생성 회로는, 상기 계조 전압을 상기 신호선에 출력하기 위한 1주사 기간을 시분할한 복수의 각 기간에 따라서, 이상 전압에 대한 레벨이 변동하는 상기 계조 전압을 생성 가능하며,

상기 표시 장치용 구동 장치는, 상기 계조 전압에 관하여, 상기 생성 회로에서 생성한 계조 전압에 대하여, 상기 신호선에서의 상기 시분할한 각 기간에 따른 전압 변동량에 맞추어서 레벨 조정 혹은 변환을 실시하여, 상기 분할한 기간마다 레벨이 상이한 계조 전압을 출력하는 수단을 갖는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 10

표시 장치용 구동 장치로서,

복수의 계조의 각각에 대응한 계조 전압을 생성하는 생성 회로와,

입력된 표시 데이터에 따라서 표시 패널의 신호선에 출력할 상기 계조 전압을 선택하는 선택 회로를 갖고,

상기 선택 회로는, 상기 신호선마다, 상기 생성 회로로부터 시분할로 출력된 계조 전압으로부터, 상기 신호선에 출력할 계조 전압을 선택하고, 선택된 계조 전압을 출력하는 기간의 길이를, 상기 표시 데이터에 의해서 제어하고,

상기 생성 회로는, 상기 계조 전압을 상기 신호선에 출력하기 위한 1주사 기간을 시분할한 복수의 각 기간에 따라서, 이상 전압에 대한 레벨이 변동하는 상기 계조 전압을 생성 가능하고,

상기 표시 장치용 구동 장치는, 상기 주사 기간을 3 분할하여 각각의 기간을 상기 표시 패널의 신호선인 표시색에 대응한 R선, G선, B선에 할당하여 구동하는 방법과 조합하여, 구동하고,

상기 표시 장치용 구동 장치는, 상기 R, G, B마다 개별로, 상기 계조 전압에 관해서, 상기 생성 회로에서 생성한 계조 전압에 대하여, 상기 신호선에서의 상기 시분할한 각 기간에 따른 전압 변동량에 맞추어서, 상기 전압 변동량을 가감산한, 상기 분할한 기간마다 레벨이 상이한 계조 전압을 출력하는 수단을 갖는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 11

외부로부터의 표시 데이터에 따른 전압을 표시 패널에 출력하는 표시 장치용 구동 장치로서,

1수평 기간 내의 분할 기간에 따라서 계단 형상으로 변화하는 전압을 출력하기 위한 출력 회로와,

상기 표시 데이터에 따라서, 상기 계단 형상으로 변화하는 전압의 레벨을 확정하기 위한 선택 회로와,

상기 계단 형상으로 변화하는 전압의 레벨을 상기 분할 기간마다 시프트하기 위한 회로를 포함하는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 12

외부로부터의 표시 데이터에 따른 전압을 표시 패널에 출력하는 표시 장치용 구동 장치로서,
1수평 기간 내의 분할 기간에 따라서 계단 형상으로 변화하는 전압을 출력하기 위한 출력 회로와,
상기 표시 데이터에 따라서, 상기 계단 형상으로 변화하는 전압의 레벨을 확정하기 위한 선택 회로와,
상기 계단 형상으로 변화하는 전압의 레벨을 상기 분할 기간마다 설정하기 위한 설정 회로
를 포함하는 것을 특징으로 하는 표시 장치용 구동 장치.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

- <17> [특허 문헌 1] U.S.Patent Publication No.2005/052477(JP-A-2005-99665)
- <18> [특허 문헌 2] JP-A-2005-49868

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 출원은 2005년 9월 9일 출원된 일본 특허 출원 제2005-261924호에 기초한 것으로 그 우선권 주장을 하며, 그 전체 내용은 본 명세서에서 참조로서 포함된다.
- <20> 본 발명은, 휴대 전화기 등의 모바일 기기 등에 포함되는 표시 장치용 구동 장치(구동 회로를 실장한 IC 등)의 기술에 관한 것으로, 특히, 저소비 전력화 또한 작은 회로 규모로 동작 가능한 표시 장치의 구동 방법 및 구동 회로의 기술에 관한 것이다.
- <21> 종래, TFT 액정 등의 표시 장치용 구동 회로로서, 특허 문헌 1에 기재된 구동 회로의 기술이 있다. 이 구동 회로에서는, 표시 데이터의 상위 비트의 계조수에 따른 수의 계조 전압선과, 표시 데이터의 하위 비트에 대응하여 미리 설정된 시간마다 펄스 신호를 받아, 상위 비트의 내용에 따른 계조 전압선을 해당 펄스 신호가 액티브의 기간만 선택하여 신호선에 출력하는 셀렉터, 및 각 계조 전압선에 화상 데이터의 하위 비트의 계조수만큼 변화하는 계조 전압을 공급하는 계조 전압 생성부를 갖는다. 특허 문헌 1에 기재된 구동 방법은, 미리 설정된 분할 기간마다 전압 레벨이 변화하는 계조 전압군 중에서, 표시 데이터의 상위 비트에 따라서 하나를 선택하고, 선택된 계조 전압을 표시 데이터의 하위 비트의 정보에 따른 기간만 신호선에 출력하는 방법이다. 이하, 이러한 방법을 제1 구동 방법이라고 약칭한다. 이상의 구성과 동작에 의해, 작은 회로 규모로, 보다 많은 계조 표시를 실현하는 것이 가능하게 된다.
- <22> 또한, γ 조정 기능을 실현하는 종래의 방법으로서, 특허 문헌 2에 기재된 구동 회로가 있다. 이 회로 및 방법에서는, S자 형상의 특성 커브에 대하여, 진폭 조정, 기울기 조정, 미세 조정의 각각을, 진폭 조정 레지스터, 기울기 조정 레지스터, 미세 조정 레지스터로 조정할 수 있도록 하여, 개개의 액정 패널의 특성에서의 원하는 γ 특성에 따른 각 계조 전압을 조정하는 것을 가능하게 하는 것이다.

발명이 이루고자 하는 기술적 과제

- <23> 상기 제1 구동 방법에서는, 임의의 구조를 갖는 액정 패널 및 그 표시 장치에 대해서는, 예를 들면, 그라데이션 표시를 하게 한 경우에, 균일하게 표시 휘도가 변화하지 않고, 줄무늬 형상의 화질 열화가 발생하는 경우가 있다. 예를 들면 액정 패널 내의 신호선과 대향 전극 사이에 전류 리크 경로가 있는 경우에는, 신호선 및 선택 화소 전극에 충전된 전하가 대향 전극으로 이동하여, 신호선 및 화소 전극에 인가된 계조 전압 레벨이 변동하는 것이 있다. 이에 따라 화질 열화가 발생하여, 원하는 표시 휘도가 얻어지지 않는다.
- <24> 도 1은 본 발명의 기술로 적용 대상으로 하는 전계 기술의 액정 패널(401)의 일례를 나타낸 것이다. 액정 패널(401)은, TFT 기관(101), 대향 전극(102), 액정층(103), 신호선(데이터선이라고도 함)(104), 주사선(105), 전류 리크 경로(106)를 갖는다. 이 중에서, 특히 신호선(104)과 대향 전극(102) 사이에 전류 리크 경로(106)가 있는 액정 패널(401)에서, 화질 열화가 발생하는 것을 알 수 있다.

- <25> 여기서, 이 화질 열화의 발생 원인에 대하여, 도 8a, 도 8b를 이용하여 설명한다. 도 8a는, 1주사 기간 동안의 신호선(104), 및 대향 전극(102)의 전압 천이를 나타낸 것이다. 참조 부호 201은 1주사 기간, 참조 부호 202는 제1 분할 기간, 참조 부호 203은 제2 분할 기간, 참조 부호 204는 제3 분할 기간, 참조 부호 205는 제4 분할 기간이다. 또한 참조 부호 206은 대향 전극 전압, 참조 부호 207은 전압 인가 기간이 제1 분할 기간(202)인 계조의 이상 전압, 참조 부호 208은 제1 구동 방법을 도 1에 도시하는 액정 패널(401)에 적용한 경우의 신호선(104) 전압 천이이다.
- <26> 우선, 제1 구동 방법에서는, 전압 인가 기간이 제1 분할 기간(202)인 계조에 주목하면, 제1 분할 기간(202)이 종료한 후, 신호선(104)은 (1주사 기간(201)-제1 분할 기간(202))의 시간, 플로팅 상태로 이행한다. 그리고, 신호선(104)과 대향 전극(102) 사이에 전류 리크 경로(106)가 존재하는 경우, 신호선(104)의 계조 전압이 대향 전극 전압(206)측으로 변동하고, 이상 전압(207)에 대하여, 실제로는 신호선 전압 천이(208)가 발생하게 된다. 한편, 전압 인가 기간이 제4 분할 기간(205)인 계조에 주목하면, 제4 분할 기간(205)이 종료한 직후에 TFT가 오프 상태로 천이하기 때문에, 신호선(104)의 계조 전압이 거의 변동하지 않는다.
- <27> 이상으로부터, 분할 기간(202~205)마다 서로 다른 전압 변동이 신호선(104)에 발생한다. 예를 들면 표시 데이터를 32 레벨, 1주사 기간(201)의 분할수를 4라고 하면, 이러한 전압 변동량의 편차가 4 계조마다 8회 반복되는 것으로 된다.
- <28> 도 8b는, 신호선(104)을 접속하는 신호선 구동부의 출력 전압과, TFT가 오프 상태로 천이한 직후의 신호선(104) 전압에 주목한, 계조 번호-계조 전압의 특성을 나타낸 것이다. 참조 부호 209는 신호선 구동부의 출력 전압의 계조 번호와 전압의 특성, 참조 부호 210은 TFT가 오프 상태로 천이한 직후의 화소 전극 전압(신호선 전압)의 계조 번호와 전압의 특성이다. 액정 패널(401)의 표시 휘도는, 화소 전극 전압(210)으로 결정되지만, 이에 의해, 그래데이션 표시시킨 경우에는 8개의 줄무늬가 보이는 화질 열화가 발생한다. 또한, 여기서는, 화질 열화가 발생하는 구조를 도 8a에 도시한 바와 같이 신호선(104)을 낮은 전압으로부터 높은 전압으로 천이시킨 경우에 설명했지만, 제1 구동 방법에서는, 신호선(104)을 높은 전압으로부터 낮은 전압으로 천이시킨 경우도 마찬가지로 화질 열화가 발생한다.
- <29> 본 발명의 목적은, 상기한 바와 같은 화질 열화를 개선할 수 있어, 작은 회로 규모로의 다계조 표시화와 화질 열화 경감을 양립할 수 있는 기술을 제공하는 것에 있다.
- <30> 진술한 화질 열화의 원인은, 분할 기간(202~205)마다 신호선(104)의 전압 변동량이 서로 다르기 때문이다. 따라서, 본 발명의 기술에서는, 분할 기간(202~205)마다 γ 특성을 조정하는 기능·수단을 이용한다. 상기 γ 특성은, 표시 데이터, 계조 전압, 실제의 표시 휘도(화소 전극 전압) 등의 관계로 바꾸어 말할 수 있다. 이 γ 조정 기능을 실현하는 종래의 방법으로서, 특허 문헌 2에 기재된 구동 회로가 있다.
- <31> 이상을 근거로 하여, 본 발명의 기술에서는, 상기 목적을 달성하기 위해, 특허 문헌 2에 기재된 γ 조정 기능(이하, 제2 구동 방법으로 함)을, 상기 제1 구동 방법에 적용한 구성을 갖는 것을 특징으로 한다. 즉, 신호선(104)과 대향 전극(102) 사이에 전류 리크 경로(106)를 갖는 액정 패널(401) 등의 표시 패널에 대하여 제1 구동 방법을 적용한 경우에 발생하는 신호선(104) 및 화소 전극의 전압 변동에 대하여, 미리 그 전압 변동량을 고려하여 즉 그 변동의 영향을 상쇄하도록, 가감산 등의 레벨 조정을 실시한 계조 전압을, 신호선에 인가·출력하는 수단을 포함하는 구성으로 했다.
- <32> 도 2a는, 본 발명의 기술에서, 상기 제1 구동 방법에 제2 구동 방법을 적용한 구동 방법 및 구동 회로의 구성에서의, 신호선(104) 전압 레벨의 천이를 나타낸 것이다. 이상 전압(207)에 대하여, 미리 분할 기간(202~205)마다 서로 다른 전압 변동량 ΔV_1 , ΔV_2 , ΔV_3 을 가산한 계조 전압 $V_x(V_x=V_{data}+\Delta V_x, x=0, 1, 2, \dots, 31)$ 를 생성하고, 신호선 구동부는, 액정 패널(401)의 신호선(104)에 그 전압(V_x)을 인가하는 것으로 했다. 그 결과, TFT가 오프 상태로 천이한 직후에서의, 인접하는 계조의 전압 차를 조정할 수 있다.
- <33> 도 2b는, 신호선(104) 전압에 주목한 경우의 계조 번호-계조 전압 특성을 나타낸 것이다. 참조 부호 301은 신호선 구동부의 출력 전압의 계조 번호와 전압의 특성, 참조 부호 302는 TFT가 오프 상태로 천이한 타이밍에서의 화소 전극 전압(신호선 전압)의 계조 번호와 전압의 특성이다. 실제로 표시 휘도를 결정하는 화소 전극 전압(302)으로 알 수 있듯이, 특성 커브가 매끈해져서, 종래 기술에서 발생하였던 줄무늬 형상의 화질 열화를 회피할 수 있다.
- <34> 이상으로부터, 본 발명의 구동 장치를 이용함으로써, 작은 회로 규모로의 다계조 표시화와 본 발명의 제1 목적

인 화질 열화 경감을 양립하는 것이 가능하게 된다.

- <35> 본 구동 장치는, 예를 들면 복수의 계조의 각각에 대응한 계조 전압을 생성하는 계조 전압 생성부와, 입력된 표시 데이터에 따라서 표시 패널의 신호선에 출력할 상기 계조 전압을 선택하는 계조 전압 선택부를 갖는다. 상기 계조 전압 선택부는, 상기 신호선마다, 상기 계조 전압 생성부에서 시분할로 출력된 계조 전압으로부터, 상기 신호선에 출력할 계조 전압을 선택하고, 선택된 계조 전압을 출력하는 기간의 길이를, 상기 표시 데이터에 의해서 제어한다. 상기 계조 전압 생성부는, 상기 계조 전압을 상기 신호선에 출력하기 위한 1주사 기간을 시분할한 복수의 각 기간에 따라서, 이상 전압에 대한 레벨이 변동하는 상기 계조 전압을 생성 가능하다. 그리고 본 구동 장치는, 상기 계조 전압에 관해서, 상기 신호선에서의 상기 시분할한 각 기간에 따른 전압 변동량에 맞춰, 상기 전압 변동량을 가감한 상기 시분할 기간마다 레벨이 상이한 상기 계조 전압을 생성하는 수단을 갖는다. 혹은, 본 장치는, 계조 전압 생성부에서 생성한 계조 전압에 대하여 상기 가감 등의 레벨 조정 혹은 변환을 실시하여 출력하는 수단 등을 갖는다. 또한 특히, 상기 계조 전압 생성부는, 단계적(계단 형상)으로 상기 레벨이 변동하는 계조 전압을 출력한다. 또한 특히, 본 장치는, 상기 시분할 기간마다의 레벨 조정을 위한 레지스터 등을 포함한다.
- <36> 본 구동 장치는, 예를 들면, 1수평 기간 내의 분할 기간에 따라서 계단 형상으로 변화하는 전압을 출력하기 위한 출력 회로(실시예에서의 참조 부호 412, 413과 대응함)와, 표시 데이터에 따라서, 상기 계단 형상으로 변화하는 전압의 레벨을 확정하기 위한 선택 회로(415~417 등)와, 상기 계단 형상으로 변화하는 전압의 레벨을 상기 분할 기간마다 시프트하기 위한 회로(427, 428 등)를 포함한다. 또한, 본 구동 장치는, 예를 들면, 1수평 기간 내의 분할 기간에 따라서 계단 형상으로 변화하는 전압을 출력하기 위한 출력 회로와, 상기 표시 데이터에 따라서, 상기 계단 형상으로 변화하는 전압의 레벨을 확정하기 위한 선택 회로와, 상기 계단 형상으로 변화하는 전압의 레벨을 상기 분할 기간마다 설정하기 위한 설정 회로(진폭 조정 레지스터(418~421) 등)를 포함한다.
- <37> 본 발명에 따르면, 작은 회로 규모로 다계조 표시화 가능함과 동시에, 화질 열화가 작은 구동 회로가 실현 가능해진다.

발명의 구성 및 작용

- <38> 이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또한, 실시예를 설명하기 위한 전체 도면에서, 동일부에는 원칙으로서 동일 부호를 붙이고, 그 반복된 설명은 생략한다. 도 1~도 7은, 본 실시예를 설명하기 위한 것이다. 도 8은, 종래 기술을 설명하는 것이다. 또 각 도면 중에서 마찬가지로의 기능 부위가 복수 있는 경우에 그 일부만 부호를 부여하고 있다.
- <39> 본 실시예의 구동 장치에서는, 표시 장치의 신호선 전압 변동을 고려한 계조 전압 출력이 가능한 계조 전압 조정 기능을 설정하고 있다. 그 기능은, 본 실시예의 구동 방법에 따른 표시 장치의 구동을 행하는 것이다. 본 실시예의 구동 방법은, 상기 제1 구동 방법에 상기 제2 구동 방법을 조합시킨 것이다.
- <40> 이하, 본 실시예와의 비교를 위해, 종래 기술을 간단히 확인한다. 종래 기술인 상기 제1 구동 방법에서, 액티브 매트릭스형 표시 패널, 예를 들면 TFT 액정 패널을 구동하는 경우, 신호선(104)의 선택 기간이 종료하면, 구동 회로로부터의 전하의 공급은 정지하고, 신호선(104)은 액정 패널(401) 내의 배선간 용량, 예를 들면 신호선(104)-주사선(105) 사이의 용량 결합 등으로 전하가 유지되고, 플로팅 상태로 이행한다. 그리고, 선택 상태에 있는 화소 전극의 계조 전압도 TFT가 오프 상태로 천이할 때까지, 신호선(104)과 동일 전압을 유지하게 된다.
- <41> 그러나, 제1 구동 방법으로 구동하는 구동 회로를, 예를 들면 도 1에 도시한 바와 같은, 신호선(104)과 대향 전극(102) 사이에 전류 리크 경로(106)를 갖는 TFT 액정 패널(401)에 접속한 경우, 정상적으로 신호선(104)에 충전된 전하가 대향 전극(102)으로 계속 이동하기 때문에, 신호선(104)이 플로팅 상태로 된 순간에서, 신호선 전압 Vdata가 변동하게 된다. 이에 의해, 원하는 실효값이 얻어지지 않고, 예를 들면, 그라데이션 표시를 하게 한 경우에는, 줄무늬 형상의 화질 열화가 발생하는 것을 알고 있다.
- <42> 그런데, 전술한 전압 변동량 $\Delta V_y(y=1, 2, 3, 4)$ 는, 하기 수학적 1에서 나타낸 바와 같이, 신호선 전압 Vdata와 대향 전극 전압 Vcom의 전위차와, 액정 패널(401) 내의 용량성 부하 CLCD, 전류 리크 경로(106)의 임피던스 Rleak, 신호선(104)의 플로팅 상태(1주사 기간(201)-신호선 선택 기간)의 기간에서 결정된다(또한 $\tau = CLCD \times Rleak$).

수학식 1

<43>
$$\Delta V_y = -(V_{data} - V_{com}) \times e^{\{-(4-y) \times t \div \tau\}}$$

<44> 우선, 액정 패널(401)에 주목하면, 패널 내의 용량성 부하 CLCD가 작을수록 전압 변동량 ΔV_y 는 커진다. 또한, 전류 리크 경로(106)의 임피던스 R_{leak} 가 작을수록 전압 변동량 ΔV_y 는 커진다. 이상으로부터, 구동하는 액정 패널(401)마다 화질 열화의 정도는 상이한 것을 알 수 있다.

<45> 다음으로, 신호선(104)이 플로팅 상태로 되는 기간에 주목하면, 1주사 기간 H 를 4등분한 시간 $t(t=H/4)$ 을 기준으로 생각하면, 제1 기간에서만 신호선(104)이 선택되는 제1 계조 그룹의 플로팅 기간은 $3t$, 제2 기간까지 신호선(104)이 선택되는 제2 계조 그룹 2의 플로팅 기간은 $2t$, 제3 기간까지 신호선(104)이 선택되는 제3 계조 그룹의 플로팅 기간은 t , 제4 기간까지 신호선(104)이 선택되는 제4 계조 그룹의 플로팅 기간은 0으로 된다. 그리고, 제1 계조 그룹의 전압 변동량 ΔV_1 은 가장 크고, ΔV_2 , ΔV_3 으로 서서히 작아져 가서, 제4 계조 그룹의 전압 변동량 ΔV_4 는 0으로 된다.

<46> 여기서 본 실시예에서는, 동일한 액정 패널(401)에서는, 제 y 계조 그룹이 동일하면, 수학식 1의 $e^{\{-(4-y) \times t \div \tau\}}$ 의 부분이 일정해지는 것에 주목하여, 전술한 전압 변동량 ΔV_y 를 가산한 계조 전압 $V_x(V_x = V_{data} + \Delta V_y)$ 를 계조 그룹마다 생성하여, 신호선(104)에 인가하는 것으로 했다.

<47> 이하, 본 실시예의 구동 방법 및 구동 장치 및 그것을 포함하는 시스템을 설명한다.

<48> (실시예 1)

<49> 실시예 1의 구성과 동작을, 도 3~도 4를 이용하여 설명한다. 도 3은 실시예 1의 구동 장치를 포함하는 시스템(액정 표시 장치)의 구성을 나타낸다. 도 4a는, 실시예 1의 구동 방법에서의 레지스터 및 스위치 각각의 제어에 대하여 나타낸, 각 신호의 타이밍차트이다. 도 4b 및 도 4c는, 본 구동 방법에서의 계조 번호-계조 전압 특성이다.

<50> 우선, 도 3에서, 본 액정 표시 장치는, 액정 패널(401)에 대하여, 신호선 구동부(402), 주사선 구동부(403), 전원 회로(404), 및 CPU(405)를 갖는 구성이다. 신호선 구동부(402)는, 본 실시예의 구동 방법에 따라서 액정 패널(401)을 구동하는 구동 회로이다.

<51> 액정 패널(401)은, 2매의 글래스 기판 사이에 액정을 봉입한 구조로 되어 있고, 도 1에 도시한 바와 같이 글래스 기판의 한 쪽에 TFT가 화소마다 배치되어, 한 쪽의 대향측의 글래스 기판에는 대향 전극(102)이 설치된다. 그리고, 액정 패널(401)은, TFT에 접속하는 주사선(105)과 신호선(104)이 매트릭스 형상으로 배치된, 액티브 매트릭스형이라고 불리는 TFT 액정 패널이며, TFT의 드레인 단자는, 신호선(104)을 통하여 계조 전압 선택부(417)의 출력에 접속되고, TFT의 게이트 단자는 주사선(105)을 통하여 주사선 구동부(403)의 출력에 접속되고, TFT의 소스 단자는 화소 전극에 접속된다. 덧붙여, 본 실시예에서는, 특히 신호선(104)과 대향 전극(102) 사이에 전류 리크 경로(106)를 갖는 액정 패널(401)을 대상으로 하고 있다.

<52> 또한, 이하, 액정 패널(401)을 전제로 설명을 진행시켜 가지만, 전압 레벨로 표시 회도를 제어 가능하고, 또한 쌍 신호선에서 전술한 전류 리크 경로(106) 상당을 갖는 그 밖의 소자, 예를 들면 유기 EL 소자 등이어도 상관 없다.

<53> 또한, 계조 전압 선택부(417)에 접속되는 신호선(490)은, 도 1의 액정 패널(401) 내의 신호선(104)의 연장 부분이다. 신호선 전압 변동은, 계조 전압 선택부(417)로부터 패널측으로 연장되는 신호선(490) 및 패널 내의 신호선(104)에 있어서 발생한다.

<54> 신호선 구동부(402)는, 디지털의 표시 데이터를 아날로그의 계조 전압 V_{data} 로 DA(디지털-아날로그) 변환하고, 액정 패널(401)의 신호선(104)을 통하여 화소 전극에 계조 전압 V_{data} 를 인가함으로써, 액정 패널(401)의 표시 회도를 제어하는 블록이다.

주사선 구동부(403)는, 액정 패널(401)의 주사선(105)에 대하여, 후술하는 신호선 구동부(402) 내의 타이밍 컨트롤러(408)에서 생성한 라인 클럭 LP에 동기한 선택 신호를 선순차적으로 인가하기 위한 블록이다.

<55> 전원 회로(404)는, 외부로부터 공급되는 전원 전압 V_{ci} 로부터, 신호선 구동부(402) 및 주사선 구동부(403) 내에서 필요한 전원 전압 레벨을 생성하는 블록이다. 또한, 전원 전압 레벨의 생성은, 차지 펌프 회로 등에 의한

전원 전압 V_{ci} 를 n배화함으로써 실현한다.

- <56> 다음으로, 신호선 구동부(402)를 구성하는 각 블록을 설명한다. 신호선 구동부(402)는, 시스템 인터페이스(406), 표시 메모리 제어부(409), 표시 메모리(410), 래치 회로(411), 제어 레지스터(407), 타이밍 컨트롤러(408), 제1 기준 전압 생성부(412), 제2 기준 전압 생성부(413), 계조 전압 생성부(414), 계조 전압 시분할 출력부(415), 비교 연산부(416), 계조 전압 선택부(417), 레지스터 전환 회로(424, 425)를 갖는다.
- <57> 제어 레지스터(407)는, 진폭 조정 레지스터(418~421), 기울기 조정 레지스터 및 미세 조정 레지스터(422), 분할 기간 조정 레지스터(분할 기간 PH 설정 레지스터)(423)를 포함한다. 진폭 조정 레지스터는, 제1 계조 그룹용 진폭 조정 레지스터(제1 기간용 진폭 조정 레지스터)(418), 제2 계조 그룹용 진폭 조정 레지스터(제2 기간용 진폭 조정 레지스터)(419), 제3 계조 그룹용 진폭 조정 레지스터(제3 기간용 진폭 조정 레지스터)(420), 제4 계조 그룹용 진폭 조정 레지스터(제4 기간용 진폭 조정 레지스터)(421)의 각 진폭 조정 레지스터(플러스극용 및 마이너스극용)를 갖는다. 기울기 조정 레지스터 및 미세 조정 레지스터(422)는, 특허 문헌 2에 기재된 것과 마찬가지로이다.
- <58> 제1 기준 전압 생성부(412)는, 저항(426), 가변 저항(427, 428, 429, 430), 셀렉터 회로(431)를 갖는다. 참조 부호 427 및 428은, 진폭 조정용 가변 저항이며, 참조 부호 429 및 430은 기울기 조정용 가변 저항이다. 계조 전압 생성부(414)는, 래더 저항(432), 2 to 1 스위치(433), 오피 앰프 회로(434)를 갖는다. 계조 전압 시분할 출력부(415)는, 4 to 1 셀렉터(435), 오피 앰프 회로(436)를 갖는다. 비교 연산부(416)는, 비교기(437)를 갖는다. 계조 전압 선택부(417)는, 8 to 1 셀렉터(438), 스위치 회로(439)를 갖고, 신호선(490)을 접속하고 있다.
- <59> 계조 전압 시분할 출력부(415), 비교 연산기(416), 계조 전압 선택부(417)에 의해, 제1 구동 방법을 실현한다. 단, 기울기 조정 레지스터 및 미세 조정 레지스터(422)는 없어도 상관없다.
- <60> 이하, 신호선 구동부(402)의 내부 블록의 동작에 대하여 설명한다.
- <61> 시스템 인터페이스(406)는, CPU(405)가 출력하는 표시 데이터 및 인스트럭션 등을 받아, 제어 레지스터(407)에 전송한다. 여기서, 인스트럭션이란, 구동 회로의 내부 동작을 결정하기 위한 정보이지만, 프레임 주파수, 구동 라인수, 및 계조 시분할 구동 시의 분할 기간 정보, γ 특성에 관한 각종 조정 기능의 레지스터의 설정값을 포함한다.
- <62> 제어 레지스터(407)는, γ 조정 기능(제2 방법)에 관한 레지스터에 대해서는 액정 패널(401)을 구동하기 위한 인가 전압 극성마다 설치하는 것으로 한다. 즉, 플러스극용 진폭 조정 레지스터(418~421)와, 그것과 마찬가지로의 마이너스극용 진폭 조정 레지스터를 갖는다. 기본적으로, 제어 레지스터(407)는, 인스트럭션 데이터를 저장하고, 이 데이터를 각 블록에 전송하는 블록이다. 예를 들면, 상기 프레임 주파수와 구동 라인수, 분할 기간 정보에 관한 인스트럭션은, 후술하는 타이밍 컨트롤러(408)에 전송된다. 또한, 진폭 조정 레지스터(418~421)에 저장되는 인스트럭션은, 후술하는 레지스터 전환 회로(424, 425)에 전송되고, 기울기 조정 레지스터 및 미세 조정 레지스터(422)에 저장되는 인스트럭션은, 후술하는 기준 전압 생성부(412, 413)에 전송된다. 또한, 표시 데이터도 일단 제어 레지스터(407)에 저장되고, 표시 위치를 지시하는 인스트럭션과 함께, 후술하는 표시 메모리 제어부(409)에 출력된다.
- <63> 타이밍 컨트롤러(408)는, 도트 카운터를 갖고 있고, 외부로부터 입력되는 도트 클럭을 바탕으로 라인 클럭 LP를 생성한다. 또한, 분할 기간 조정 레지스터(423)로부터 전송되는 분할 기간 정보로, 1주사 기간의 각 계조 그룹의 분할 기간을 규정하는 PH 신호를 생성한다. 또한, 여기서의 계조 그룹은, 0으로부터 31까지의 32개의 계조 번호 중에서 계조 번호 $4n$ 을 제1 계조 그룹, 계조 번호 $4n+1$ 을 제2 계조 그룹, 계조 번호 $4n+2$ 를 제3 계조 그룹, 계조 번호 $4n+3$ 을 제4 계조 그룹으로 한다.
- <64> PH 신호는, 1주사 기간 중에서 00, 01, 10, 11의 순서로 변화하는 2 비트 신호이며, 후술하는 레지스터 전환 회로(424, 425)에서 사용된다. 또한, 타이밍 컨트롤러(408)는, PH 신호의 반전 신호인 /PH도 출력하고, /PH는, 계조 전압 시분할 출력부(415) 내의 4 to 1 셀렉터(435)에서 사용하는 것으로 한다. 또한, 타이밍 컨트롤러(408)는, $PH[0](PH \text{ 신호 하위 } 1 \text{ 비트})=PH[1](PH \text{ 신호 상위 } 1 \text{ 비트}) \Leftrightarrow PH[0] \neq PH[1]$ 에서 상태 천이할 때마다 카운트하는 2 비트 카운터와, $PH[1]=0 \Leftrightarrow PH[1]=1$ 에서 상태 천이할 때마다 카운트하는 2 비트 카운터를 갖고, 전자는 PH_1 신호, 후자는 PH_2 신호를 출력하는 것으로 한다.
- <65> 표시 메모리 제어부(409)는, 표시 메모리(410)의 판독 및 기입 동작을 행하는 블록이다. 기입 동작 시에는, 제어 레지스터(407)로부터 전송되는 표시 위치의 인스트럭션에 기초하여, 표시 메모리(410)의 어드레스를 선택하

는 신호를 출력하여, 동시에 표시 데이터를 표시 메모리(410)에 전송한다. 또한, 판독 동작 시에는, 제어 레지스터(407)로부터 전송되는 표시 위치의 인스트럭션에 기초하여, 1 라인분의 표시 데이터를 순차적으로 일제히 선택한다.

- <66> 표시 메모리(410)는, 액정 패널(401)의 화소수 상당의 기억 영역을 갖고, 표시 메모리 제어부(409)에 의해서, 그 동작이 제어된다. 또한, 표시 메모리 제어부(409)로 판독하여 지정된 표시 데이터는 래치 회로(411)에 전송된다.
- <67> 제1 및 제2 기준 전압 생성부(412, 413)는 동일한 회로 구성으로, 전원 회로(404)에서 설정된 기준 전압 VDD와 기준 전압 VSS 사이에, 고정 저항군(저항(426))과, 진폭 조정을 실현하는 가변 저항(427, 428)과, 기울기 조정을 실현하는 가변 저항(429, 430)으로 이루어지는 래더 저항과, 미세 조정을 실현하기 위한 셀렉터 회로(431)로 구성된다. 여기서, 가변 저항(427, 428)의 저항값은, 레지스터 전환 회로(424, 425)로부터 전송되는 레지스터값을 바탕으로 조정할 수 있는 것으로 한다.
- <68> 또한, 도 3에서는, 기준 전압 VDD, 기준 전압 VSS의 근방에 가변 저항(427, 428)을 설치하고, 이들의 저항값을 조정함으로써 진폭 조정을 실시했다. 이에 한하지 않고, 가변 저항(427, 428, 429, 430)을 전부 고정 저항으로 치환하여, 저항 분압된 복수의 전압 레벨로부터 셀렉터 회로를 이용하여, 진폭 조정을 실시하는 구성이어도 상관없다.
- <69> 계조 전압 생성부(414)는, 제1 및 제2 기준 전압 생성부(412, 413)부터 입력되는 기준 전압을 선택하는 2 to 1 스위치(433)와, 그 출력을 임피던스 변환하기 위한 오피 앰프 회로(434)와, 그리고, 오피 앰프 회로(434)의 출력 전압을 바탕으로, 예를 들면 표시 데이터가 5 비트인 경우에는, 32 레벨의 계조 전압 레벨을 생성하기 위한 래더 저항(432)으로 구성된다. 또한, 2 to 1 스위치(433)는, 타이밍 컨트롤러(408)에서 생성한 PH 신호의 하위 1 비트 PH[0]으로 전환되는 것으로 한다. 예를 들면, PH[0]이 "0"인 경우에는, 제1 기준 전압 생성부(412)의 출력 전압을 선택하고, PH[0]이 "1"인 경우에는, 제2 기준 전압 생성부(413)의 출력 전압을 선택하는 것으로 한다.
- <70> 계조 전압 시분할 출력부(415)는, 계조 전압 생성부(414)의 출력, 예를 들면 표시 데이터가 5 비트인 경우는 32 레벨의 전압 레벨로부터, 인접하는 4 레벨의 계조 전압을 순차적으로 선택하는 4 to 1 셀렉터(435)와, 4 to 1 셀렉터(435)의 출력을 임피던스 변환하기 위한 오피 앰프 회로(436)로 구성된다. 4 to 1 셀렉터(435)의 전환은 타이밍 컨트롤러(408)에서 생성한 /PH 신호로 동작하는 것으로 하고, 1주사 기간 동안에 저전압측으로부터 고전압측으로 4회 전압 레벨이 변화하는 계조 전압 V0B~V7B를 출력한다. 단, 4 to 1 셀렉터(435)의 전환은, PH 신호로 동작하는 것으로 하고, 1주사 기간 동안에 고전압측으로부터 저전압측으로 4회 전압 레벨이 변화하는 계조 전압 V0B~V7B를 출력해도 상관없다.
- <71> 비교 연산부(416)는, 표시 데이터 D[4:0]의 하위 2 비트인 D[1:0]과 /PH 신호를 비교기(437)에서 비교하고, /PH $\geq$ D[1:0]의 조건에서 "1"(하이), /PH < D[1:0]의 조건에서 "0"(로우)으로 되는 EN 신호를 출력한다.
- <72> 또한, 전술한 4 to 1 셀렉터(435)의 전환을 PH 신호로 행하는 경우에는, D[1:0]과 PH 신호를 비교기(437)에서 비교하고, PH $\leq$ D[1:0]의 조건에서 "1"(하이), PH > D[1:0]의 조건에서 "0"(로우)로 되는 EN 신호를 출력한다.
- <73> 계조 전압 선택부(417)는, 액정 패널(401)의 신호선(104)과 동수인 8 to 1 셀렉터(438)와 스위치 회로(439)로 구성된다. 여기서, 비교 연산부(416)로부터 전송되는 EN 신호가 "1"(하이)인 경우에는, 스위치 회로(439)가 온 상태로 되고, 표시 데이터의 상위 3 비트인 D[4:2]의 값에 따라, 8 to 1 셀렉터(438)가 계조 전압 V0B~V7B의 1 개를 선택하여 출력한다. 예를 들면 D[4:2]이 000이면 V0B, 111이면 V7B를 선택하여 출력한다. 한편, EN 신호가 0인 경우는 D[4:2]의 값에 상관없이, 스위치 회로(439)가 오프 상태로 되고, 출력은 하이 임피던스로 된다. 또한, 계조 전압 선택부(417)의 출력은, 신호선(490)을 통하여 표시 패널(401)의 신호선(104)에 접속되어 있다.
- <74> 제1 레지스터 전환 회로(424)는, 타이밍 컨트롤러(408)로부터 전송되는 PH_1 신호를 바탕으로, 진폭 조정 레지스터(418, 420)로부터 전송되는 레지스터값을 순서대로 전환한다. 그리고, 레지스터 전환 회로(424)는, 그 값을, 제1 기준 전압 생성부(412) 내의 가변 저항(427, 428)에 전송한다. 또한 마찬가지로, 제2 레지스터 전환 회로(425)는, 타이밍 컨트롤러(408)로부터 전송되는 PH_2 신호를 바탕으로, 진폭 조정 레지스터(419, 421)로부터 전송되는 레지스터값을 순서대로 전환한다. 그리고, 레지스터 전환 회로(425)는, 그 값을, 제2 기준 전압 생성부(413) 내의 가변 저항에 전송한다. 여기서, 제1 레지스터 전환 회로(424)에는, 인가 전압의 극성에 상관없이 홀수 계조 그룹의 진폭 조정 레지스터(418, 420)의 레지스터값이 전송되는 것으로 하고, 제2 레지스터

전환 회로(425)에는, 인가 전압의 극성에 상관없이 짝수 계조 그룹의 진폭 조정 레지스터(419, 421)의 레지스터 값이 전송되는 것으로 한다.

<75> 다음으로, 본 실시예 1에 따른 레지스터 및 스위치 각각의 제어에 대하여, 도 4a를 참조하여 설명한다. 도 4a에서, 참조 부호 501은 본래 신호선(104)(화소 전극)에 인가할 계조 전압(출력 전압), 참조 부호 502은 본 실시예 1에서의 계조 전압 시분할 출력부(415)의 출력 전압이다.

<76> 우선, 타이밍 컨트롤러(408)에서 생성되는 라인 클럭 LP의 상승 타이밍에서, 래치 회로(411)로부터 일제히 표시 데이터가 비교 연산부(416) 및 계조 전압 선택부(417), 2 to 1 스위치(433)에 전송된다. 또한, 동시에 타이밍 컨트롤러(408)에서 생성되는 /PH 신호가, 비교 연산부(416), 및 4 to 1 셀렉터(435)에 전송되고, PH₁, PH₂ 신호가 레지스터 전환 회로(424, 425)에 전송된다.

<77> 또한, EN 신호는, 전송한 바와 같이 비교 연산부(416)에서 생성된다. 구체적으로는, 래치 회로(411)로부터 전송되는 표시 데이터의 하위 2 비트인 D[1:0]과 /PH 신호를 비교하여, EN 신호를 생성한다.

<78> 제1 레지스터 전환 회로(424)는, 타이밍 컨트롤러(408)로부터 전송되는 PH₁ 신호의 전환 타이밍에서, 플러스극용의 진폭 조정 레지스터(418, 420), 및 마이너스극용의 진폭 조정 레지스터로부터 전송되는 레지스터값을 순차적으로 선택하여, 가변 저항(427 및 428)에 전송한다. 그 결과, 가변 저항(427 및 428)은, 그 설정값에 기초하여, 2 주사 기간에 상당하는 시간 내에 저항값이 4회 변화하게 된다. 또한, 제2 레지스터 전환 회로(425)는, 타이밍 컨트롤러(408)로부터 전송되는 PH₂ 신호의 전환 타이밍에서, 플러스극용의 진폭 조정 레지스터(419, 421), 및 마이너스극용의 진폭 조정 레지스터로부터 전송되는 레지스터값을 순차적으로 선택하여, 제2 기준 전압 생성부(413) 내의 가변 저항에 전송한다. 그 결과, 가변 저항의 저항값은, 설정값에 기초하여, 2 주사 기간에 상당하는 시간 내에 저항값이 4회 변화하게 된다.

<79> 그리고, 2 to 1 스위치(433)는, PH 신호의 하위 1 비트 PH[0]의 전환에 의해 제1 기준 전압 생성부(412)의 출력 전압과 제2 기준 전압 생성부(413)의 출력 전압을 선택한다. 도 4a에서는, PH[0]=0에서 제1 기준 전압 생성부(412)의 출력 전압을 선택하고, PH[0]=1에서 제2 기준 전압 생성부(413)의 출력 전압을 선택한 경우이다. 이에 의해, 플러스극의 제1 계조 그룹의 진폭 설정, 제2 계조 그룹의 진폭 설정, 제3 계조 그룹의 진폭 설정, 제4 계조 그룹의 진폭 설정, 마이너스극의 제1 계조 그룹의 진폭 설정, 제2 계조 그룹의 진폭 설정, 제3 계조 그룹의 진폭 설정, 제4 계조 그룹의 진폭 설정이라는 순서로, γ 특성이 전환되는 것으로 된다. 또한, 2 to 1 스위치(433)가, 제1 기준 전압 생성부(412)를 선택하고, 예를 들면 플러스극성의 제1 계조 그룹의 출력 전압을 선택하고 있는 경우에는, 선택되어 있지 않은 제2 기준 전압 생성부(413)는, 플러스극성의 제2 계조 그룹의 출력 전압을 생성한다. 이에 의해, 제1 및 제2 기준 전압 생성부(412, 413)의 출력은, 2 to 1 스위치(433)가 선택하기 전에, 미리 전압을 확정해 둘 수 있어, 진폭 설정 전환 시의 수속성에 지연 등의 문제가 발생하는 일은 없다.

<80> 4 to 1 셀렉터(435)는, /PH 신호에 따라서 인접하는 4 레벨의 계조 전압으로부터 1 레벨을 순차적으로 선택하여, 전압 팔로워의 역할을 다하는 오피 앰프 회로(436)는, 그 전압을 계조 전압 선택부(417)에 전송한다. 또한, 8개 설치한 오피 앰프 회로(436)의 출력인 V0B~V7B는, 도 4a에 도시한 바와 같이 저전압측으로부터 고전압측으로 계단 형상으로 천이한다. 그리고, V0B, V1B, …, V7B는, 본래 신호선(104)(화소 전극)에 인가할 계조 전압(출력 전압)(501)에 대하여, 인가 전압 극성이 플러스극성인 경우는 전압 변동량 ΔV_y 를 가산하고, 인가 전압 극성이 마이너스극성인 경우는 전압 변동량 ΔV_y 를 감산한 출력 전압(502)인 것이, 본 실시예의 특징이다.

<81> 도 4b는, 1주사 기간 내에서 출력되는 계조 전압 시분할 출력부(415)에서의 출력 전압의 계조 번호와 계조 전압의 특성을 나타낸 것이다. 참조 부호 503은 제1 계조 그룹의 계조 번호-계조 전압 특성을 나타낸다. 마찬가지로, 참조 부호 504는 제2 계조 그룹, 참조 부호 505는 제3 계조 그룹, 참조 부호 506은 제4 계조 그룹의 특성을 각각 나타낸다. 계조 번호-계조 전압 특성(506) 이외의 전압 레벨은 전부 전압 변동량 ΔV_y 를 가감산한 것이며, 도 2b의 계조 번호-계조 전압 특성(301)과 마찬가지로의 특성이 얻어진다. 도 4c는, 도 4b의 계조 번호 4~9의 부분을 확대한 것이지만, 각각의 하이 임피던스 기간에 따른 전압 강하가 발생하면, 계조 번호-계조 전압 특성(503~505)은, 전압 강하가 발생하지 않은 제4 계조 그룹의 계조 번호-계조 전압 특성(506)과 동등하게 되는 것을 기대할 수 있다. 이에 의해, 종래 기술에서 발생하였던 줄무늬 형상의 화질 열화를 회피할 수 있다.

<82> 이상과 같은 회로 구성과 동작 타이밍에 의해, 본 실시예 1의 구동 장치를 갖춘 액정 표시 장치에서는, 액정 패

널(401)에 전류 리크 경로(106)가 존재한 경우에서도, 제1 구동 방법이 적용 가능하게 된다. 따라서, 적은 정상 전류와 회로 규모로 다계조 표시를 실현할 수 있어, 구동 방법 기인에 의해 발생하는 화질 열화를 경감하는 것이 가능하다.

<83> 또한, 본 실시예 1에서는, 신호선(104)에의 출력 전압 V_x 는 저계조측으로부터 고계조측으로 계단 형상으로 천이시키고 있지만, 1주사 기간 내에서 계조 전압의 천이 방향이 동일하면 상관없기 때문에, 고계조측으로부터 저계조측으로 계단 형상으로 천이하는 것으로 하여도 상관없다. 또한, 레지스터 전환 회로와 기준 전압 생성부를 각각 2개씩 설치했지만, 각각 1개씩으로서도 상관없다. 그 경우에는, 분할 기간마다 플러스극용의 진폭 조정 레지스터(418~421)의 레지스터값과 마이너스극용의 진폭 조정 레지스터의 레지스터값을 순서대로 전환하여, 2주사 기간에 가변 저항(427, 428)의 저항값을 8회 변화시키는 것으로 된다. 또한, 입력의 표시 데이터를 5 비트로서 설명했지만, 예를 들면 6 비트라도 상관없고, 계조 전압 선택부(417)는, 1주사 기간 내에서 인접하는 4 레벨의 계조 전압이 계단 형상으로 천이하는 동안부터 전압을 선택하는 경우에 설명했지만, 2 레벨의 계조 전압으로부터 선택하는 구성이라도 상관없다. 또한, 표시 메모리(410)를 내장한 구동 장치 및 액정 표시 장치를 설명했지만, 표시 메모리 비내장형의 구동 장치라도 상관없다. 또한, 본 실시예에서는, 특허 문헌 2에 기재된 진폭 조정 기능을 적용한 경우를 예로 하여, 계조 그룹마다의 γ 특성 커브를 생성하는 방법을 설명하여 왔지만, 이것에 한정되는 것은 아니고, 그 밖의 조정 기능을 적용해도 상관없다.

<84> (실시예 2)

<85> 이하, 실시예 2의 구성과 동작을, 도 5~도 6을 이용하여 설명한다. 실시예 2에서는, 1주사 기간 H 내의 분할 기간마다 γ 특성을 전환하는 전술한 실시예 1에 대하여, 계조 전압 생성부에서는 1주사 기간 동안에는 γ 특성을 전환하는 것은 아니고, 계조 전압의 전압 레벨을 전술한 전압 변동량 ΔV_y 에 맞추어 조정할 수 있도록 한 것이다.

<86> 도 5a는, 실시예 2에서의 구동 장치를 포함하는 시스템(액정 표시 장치)을 나타낸 것이다. 도 5b는, 회로 부분(B)의 구성을 나타낸다. 도 5c는, 도 5b의 레지스터의 설정예를 나타낸다. 도 6a는, 실시예 2의 구동 방법에서의 레지스터 및 스위치 각각의 제어에 대하여 나타낸, 각 신호의 타이밍차트이다. 도 6b 및 도 6c는, 본 구동 방법에서의 계조 번호-계조 전압 특성이다.

<87> 도 5a에서, 제어 레지스터(601), 타이밍 컨트롤러(603), 기준 전압 생성부(412), 계조 전압 생성부(604), 비교 연산기(608) 이외의 블록의 구성 및 동작에 대해서는, 실시예 1과 마찬가지로 한다. 계조 전압 생성부(604)는, 래터 저항부(605), 오피 앰프 회로(606), 출력 래터 저항부(607)를 갖는다.

<88> 제어 레지스터(601)는, 계조간 전압 조정 레지스터(602), 기울기 조정 레지스터 및 미세 조정 레지스터(422), 분할 기간 조정 레지스터(423)를 포함한다. γ 조정 기능에 관한 레지스터에 대해서는, 액정 패널(401)을 구동하기 위한 인가 전압 극성마다 설치하는 것으로 한다. 단, 기울기 조정 레지스터 및 미세 조정 레지스터(422)는 없어도 상관없고, 도 5a에서는 생략했지만 진폭 조정 레지스터를 설치해도 상관없다.

<89> 타이밍 컨트롤러(603)는, 도트 카운트를 갖고 있으며, 외부로부터 입력되는 도트 클럭을 바탕으로 라인 클럭 LP를 생성한다. 또한, 분할 기간 조정 레지스터(423)로부터 전송되는 분할 기간 정보에 의해서, 실시예 1과 마찬가지로 각 계조 그룹의 분할 기간을 규정하는 PH 신호를 생성하고, PH 신호는 후술하는 비교 연산기(608) 내의 비교기(610)에서 사용된다. 한편, 타이밍 컨트롤러(603)는, 액정 인가 전압의 극성을 나타내는 M 신호에 기초하여, M="0"인 경우는 PH 신호의 전체 비트 반전한 신호, M="1"인 경우는 PH 신호 그 자체로 되는 PH_M 신호를 생성한다. 또한, 이 PH_M 신호는, 4 to 1 선택터(435)에서 사용된다.

<90> 기준 전압 생성부(412)는, 전술한 실시예 1에서는 가변 저항(427, 428)의 저항값을 계조 그룹마다 변화시킴으로써, 전압 변동량 ΔV_y 분 시프트시킨 γ 특성 커브를 4 종류 생성하고, 분할 기간마다 전환함으로써 화질 열화를 개선했다. 한편, 본 실시예 2에서는, 전술한 바와 같이, 1주사 기간 내에서는 가변 저항(427, 428)의 저항값을 변경하지 않은 것으로 한다.

<91> 계조 전압 생성부(604)는, 기준 전압 생성부(412)로부터 전송되는 기준 전압에 기초하여, 저항 분할로 32 레벨의 계조 전압을 생성하는 래터 저항부(605)와, 래터 저항부(605)에서 생성한 전압 레벨로부터 4 계조마다, 예를 들면 V_0 , V_4 , ..., V_{29} 에 상당하는 전압 레벨을 버퍼링하는 오피 앰프 회로(606)와, 그리고 그 오피 앰프 회로(606)의 출력 전압을 기준으로, 전술한 전압 변동량 ΔV_y 를 가감산한 전압 레벨을 생성하는 출력 래터 저항부(607)에 의해 구성된다. 또한, 오피 앰프 회로(606)는, 계조 전압 생성부(604)의 출력 전압이 래터 저항부(605)와 출력 래터 저항부(607)의 합성 저항에 의한 분압으로 결정되는 것을 방지하기 위해서 설치하고 있다.

<92> 도 5b에 도시한 바와 같이, 출력 래더 저항부(607)는, 가변 저항(611, 614), 저항(612, 613)을 갖는다. 출력 래더 저항부(607)는, 오피 앰프 회로(606)의 출력 사이를, 4개의 저항(611~614)의 저항 분할에 의해 3 레벨을 생성한다. 이 중, 오피 앰프 회로(606) 출력 근방의 2개의 저항(611, 614)에 대해서는 가변 저항으로 한다. 또한, 그 저항(611, 614)의 저항값에 대해서는, 도 5c에 도시한 바와 같이 계조간 전압 조정 레지스터(602)에 저장된 2 비트의 설정값으로 설정할 수 있는 것으로 한다. 예를 들면, 5R, 10R, 25R, 50R의 4종을 설정 가능하게 한다. 또 R은 일정한 저항값으로 한다.

<93> 그런데, 출력 래더 저항부(607)의 출력 전압, 예를 들면 V5~V7은, 하기 수학식 2~수학식 4에 의해 구할 수 있다. 예를 들면, 가변 저항(614)의 저항값을 크게 하면, 수학식 2~수학식 4의 (V4-V8)과 +V8을 제외하는 부분의 항이 1에 가까운 값으로 되기 때문에, V4 레벨과 V8 레벨을 고정한 상태에서, V5, V6, V7만을 V4측의 고전위로 상승시킬 수 있다. 또한, 가변 저항(611)의 저항값을 크게 하면, 수학식 2~수학식 4의 동일 부분의 항이 0에 가까운 값으로 되기 때문에, V4 레벨과 V8 레벨을 고정한 상태에서, V5, V6, V7만을 V8측의 저전위로 하강시킬 수 있다. 또 하기에서 예를 들면 r612는 저항(612)의 저항값으로 한다.

수학식 2

<94>
$$V5 = (V4 - V8) \times (r612 + r613 + r614) / (r611 + r612 + r613 + r614) + V8$$

수학식 3

<95>
$$V6 = (V4 - V8) \times (r613 + r614) / (r611 + r612 + r613 + r614) + V8$$

수학식 4

<96>
$$V7 = (V4 - V8) \times (r614) / (r611 + r612 + r613 + r614) + V8$$

<97> 따라서, 액정 인가 전압의 극성이 플러스극성이고 M="0"인 경우에는, 신호선 전압 Vdata>대향 전극 전압 Vcom으로 되고, 전류 리크에 의해 신호선 전압 Vdata의 전압 레벨이 강하하기 때문에, 가변 저항(614)의 저항값을 크게 하여, 신호선 전압 Vdata에 전압 변동량 ΔVy를 가산한다. 또한, 액정 인가 전압의 극성이 마이너스극성이고 M="1"인 경우에는, 신호선 전압 Vdata<대향 전극 전압 Vcom으로 되고, 전류 리크에 의해 신호선 전압 Vdata의 전압 레벨이 상승하기 때문에, 가변 저항(611)의 저항값을 크게 하여, 신호선 전압 Vdata에 전압 변동량 ΔVy를 가산한다.

<98> 여기서, 도 5b에서는, 전술한 4개의 저항 중 저항(612, 613)의 저항값 r612, r613을 5R로 고정으로 했지만, 조정 가능한 구성으로 하여도 상관없다. 또한, 가변 저항(611, 614)의 저항값 r611, r614는, 도 5c에 도시한 바와 같이 계조간 전압 조정 레지스터(602)의 설정값 2 비트로 선택할 수 있는 것으로 하고 있지만, 이 비트 수에 한정되는 것은 아니다. 일반적으로, 조정 비트수를 작게 할수록, 스위치 회로 등을 적게 할 수 있으며, 회로 규모를 작게 할 수 있지만, 그 만큼 조정폭과 조정 정밀도가 저하하기 때문에, 충분한 화질 개선 효과를 기대할 수 없는 경우가 있다. 따라서, 1주사 기간의 분할 기간과, 액정 패널(401) 내 전류 리크 경로(106)의 임피던스 Rleak의 값과의 관계를 고려한 후에, 조정 비트 수 및 설정 가능 저항값을 결정하는 것이 바람직하다.

<99> 비교 연산기(608)는, 반전기(609)와 비교기(610)로 구성된다. 반전기(609)는, 래치 회로(411)로부터 표시 데이터 D[4:0]의 하위 2 비트 D[1:0]과, 인가 전압의 극성을 나타내는 M 신호를 받아, 플러스극성이고 M="0"인 경우에는, D[1:0]을 전체 비트 반전시킨 신호를 비교기(610)에 전송하고, 마이너스극성이고 M="1"인 경우에는, D[1:0] 그 자체를 비교기(610)에 전송한다. 여기서, 반전기(609)의 출력 신호를 C[1:0]으로 하면, 비교기(610)는, C[1:0]과 타이밍 컨트롤러(603)로부터 전송되는 PH 신호를 비교하고, PH≤C[1:0]의 조건에서 "1"(하이), PH> C[1:0]의 조건에서 "0"(로우)으로 되는 EN 신호를 출력한다. 또한, 계조 전압 선택부(417) 이후의 동작은 실시예 1과 마찬가지로 한다.

<100> 다음으로, 본 실시예 2에서의 레지스터 및 스위치 각각의 제어에 대하여, 도 6a를 참조하여 설명한다. 도 6a에서, 참조 부호 701은 이상으로 하는 계조 전압(출력 전압), 참조 부호 702은 본 실시예 2에서의 계조 전압 시분할 출력부(415)의 출력 전압이다.

<101> 우선, 라인 클럭 LP, 및 표시 데이터 D[4:0]의 비교 연산기(608)까지의 전송 방식은 실시예 1과 마찬가지로 한다.

본 발명의 실시예의 특징인 계조간 전압 조정에 대해서는, 타이밍 컨트롤러(603)로부터, 인가 전압의 극성을 나타내는 M 신호의 전환 타이밍에서 동기하여, 플러스극성 및 마이너스극성용의 계조간 전압 조정 레지스터(602)에 유지된 레지스터값을 가변 저항(611 및 614)에 전송한다.

<102> 또한, EN 신호는, 전술한 비교 연산기(608)의 동작에 따라, PH 신호와, M 신호="0"에서 D[1:0]을 정전, M 신호="1"에서 D[1:0]을 반전한 신호인 C[1:0]을 사용하여 생성하는 것으로 한다.

<103> 여기서, 4 to 1 셀렉터(435)는, PH_M 신호에 따라서, 인접하는 4 레벨의 계조 전압으로부터 1 레벨을 순차적으로 선택하고, 전압 팔로우의 역할을 다하는 오피 앰프 회로(436)는, 그 전압을 계조 전압 선택부(417)에 전송한다. 8개 설치한 오피 앰프 회로(436)의 출력인 VOB~V7B는, M 신호="0"에서 플러스극성인 경우에는, 저전압측으로부터 고전압측으로 계단 형상으로 천이하는 것으로 한다. 또한, M 신호="1"에서 마이너스극성인 경우에는, 고전압측으로부터 저전압측으로 계단 형상으로 천이하는 것으로 한다. 또한, VOB~V7B는, 본래 신호선(화소 전극)에 인가할 계조 전압(701)에 대하여, 인가 전압 극성이 플러스극성인 경우는 전압 변동량 ΔV_y 를 가산하고, 인가 전압 극성이 마이너스극성인 경우는 전압 변동량 ΔV_y 를 감산한 출력 전압(702)인 것이, 본 실시예의 특징이다.

<104> 도 6b에서, 참조 부호 703은 계조 전압 시분할 산출부(415)에서의 계조 번호-계조 전압 특성이지만, 도 2b의 참조 부호 301과 마찬가지로 특성이 얻어진다. 그 결과, 종래 기술에서 발생하였던 줄무늬 형상의 화질 열화를 회피할 수 있다.

<105> 이상과 같은 회로 구성과 동작 타이밍에 의해, 본 실시예 2의 구동 장치를 포함한 표시 장치는, 액정 패널(401)에 전류 리크 경로(106)가 삽입된 경우에도 제1 구동 방법이 적용 가능하게 된다. 따라서, 적은 정상 전류와 회로 규모로 다계조 표시가 실현되어, 구동 방법에 기인하는 화질 열화를 경감할 수 있다.

<106> 또한, 본 실시예 2에서는, 1개의 기준 전압 생성부(412)를 설치했지만, 예를 들면 인가 전압의 극성마다 2개 설치해도 상관없다. 또한, 실시예 1과 마찬가지로, 입력의 표시 데이터를 예를 들면 6 비트라도 상관없고, 표시 메모리 비내장형의 구동 장치라도 상관없다. 또한, 본 실시예 2에서는, 발명의 특징을 실현하는 데 있어서, 계조 전압 생성부(604) 내에 가변 저항(611, 614)을 설치했지만, 구동 장치로서, 도 6b에 도시하는 바와 같은 계조 번호-계조 전압 특성이 얻어지는 것이면, 이 회로 구성에 한정되는 것이 아닌 그 외의 회로 구성이더라도 상관없다.

<107> (실시예 3)

<108> 이하, 실시예 3의 구성과 동작을, 도 7을 이용하여 설명한다. 실시예 3에서는, 전술한 실시예 1과, 1주사 기간을 3 분할하여 각각의 기간을 액정 패널(401)의 신호선(104){R선, G선, B선}에 할당하여 구동하는 RGB 시분할 구동을 조합한 것으로, 액정 패널(401)의 표시색인 R(Red), G(Green), B(Blue)마다 γ 특성을 개별로 조정할 수 있도록 한 것이다.

<109> 도 7a는, 실시예 3에서의 구동 장치를 포함하는 시스템(액정 표시 장치)을 나타낸 것이다. 도 7b는, 실시예 3의 구동 방법에서의 레지스터 및 스위치 각각의 제어에 대하여 나타낸, 각 신호의 타이밍차트이다.

<110> 도 7a에서, 실시예 1에서의 제어 레지스터(407)를, R, G, B 개별로 설치한 것이다. 또한, 타이밍 컨트롤러(805) 및 레지스터 전환 회로(806, 807) 이외의 각 블록의 구성 및 동작에 대해서는 실시예 1과 기본적으로 마찬가지이다. 단, 계조 전압 선택부(417)의 후단에 추가하여 RGB 시분할 스위치(808)를 설치했다.

<111> 제어 레지스터(801)는, RGB 시분할 구동을 실시하기 위한 RGB 선택 기간 조정 레지스터(802)를 포함하고, γ 조정 기능에 관해서는, R선용 제어 레지스터(407b)와, R선용 제어 레지스터(407b)와 마찬가지로의 구성인 G선용 제어 레지스터(803) 및 B선용 제어 레지스터(804)를 독립하여 설치하는 구성으로 하였다.

<112> 타이밍 컨트롤러(805)는, 도트 카운터를 갖고 있고, 외부로부터 입력되는 도트 클럭을 바탕으로 라인 클럭 LP를 생성한다. 그리고, 타이밍 컨트롤러(805)는, RGB 선택 기간 조정 레지스터(802)로부터 전송되는, R선 선택 기간 정보로부터, 1주사 기간 내에서 R선의 선택 기간에서 "1"(하이), 비선택 기간에서 "0"(로우)으로 되는 신호 RSW, G선 선택 기간 정보로부터, 1주사 기간 내에서 G선의 선택 기간에 "1"(하이), 비선택 기간에 "0"(로우)으로 되는 신호 GSW, B선 선택 기간 정보로부터, 1주사 기간 내에서 B선의 선택 기간에 "1"(하이), 비선택 기간에 "0"(로우)으로 되는 신호 BSW를 생성한다. 또한, RSW, GSW, BSW는 후술하는 레지스터 전환 회로(806, 807)와 RGB 시분할 스위치(808)에서 사용된다.

<113> 또한, 타이밍 컨트롤러(805)는, 분할 기간 조정 레지스터(423)로부터 전송되는 분할 기간 정보에서, R선, G선,

및 B선 선택 기간 내의 각 계조 그룹의 분할 기간을 규정하는 PH 신호를 생성한다. 또한, 여기서의 계조 그룹은, 32개의 계조 번호 중에서 계조 번호 $4n$ 을 제1 계조 그룹, 계조 번호 $4n+1$ 을 제2 계조 그룹, 계조 번호 $4n+2$ 를 제3 계조 그룹, 계조 번호 $4n+3$ 을 제4 계조 그룹으로 한다. 여기서, PH 신호는 R선, G선, 및 B선 선택 기간 내에서 00, 01, 10, 11과 같이 변화하는 2 비트 신호이며, 후술하는 계조 전압 생성부(414)에서 사용된다. 또한, 타이밍 컨트롤러(805)는, PH 신호의 반전 신호/PH도 출력하고, /PH는 계조 전압 시분할 출력부(415)에서 사용한다.

<114> 제1 레지스터 전환 회로(806)에는, R선용 제어 레지스터(407b)로부터, 플러스극 제1 계조 그룹과 플러스극 제3 계조 그룹과, 마이너스극 제1 계조 그룹 1과 마이너스극 제3 계조 그룹의 진폭 조정 레지스터값과, G선용 제어 레지스터(803)로부터, 플러스극 제1 계조 그룹과 플러스극 제3 계조 그룹과, 마이너스극 제1 계조 그룹과 마이너스극 제3 계조 그룹의 진폭 조정 레지스터값과, B선용 제어 레지스터(804)로부터, 플러스극 제1 계조 그룹과 플러스극 제3 계조 그룹과, 마이너스극 제1 계조 그룹과 마이너스극 제3 계조 그룹의 진폭 조정 레지스터값이 입력된다. 그리고, 제1 레지스터 전환 회로(806)는, 타이밍 컨트롤러(805)에서 생성된 RSW, GSW, BSW와, 전술한 실시예 1과 마찬가지로 PH_1 신호를 바탕으로, 전술한 레지스터값을 순차적으로 선택하고, 제1 기준 전압 생성부(412) 내의 가변 저항(427, 428)에 전송한다.

<115> 또한, 제2 레지스터 전환 회로(807)에는, R선용 제어 레지스터(407b)로부터, 플러스극 제2 계조 그룹과 플러스극 제4 계조 그룹과, 마이너스극 제2 계조 그룹과 마이너스극 제4 계조 그룹의 진폭 조정 레지스터값과, G선용 제어 레지스터(803)로부터, 플러스극 제2 계조 그룹과 플러스극 제4 계조 그룹과, 마이너스극 제2 계조 그룹 2와 마이너스극 제4 계조 그룹의 진폭 조정 레지스터값과, B선용 제어 레지스터(804)로부터, 플러스극 제2 계조 그룹과 플러스극 제4 계조 그룹과, 마이너스극 제2 계조 그룹과 마이너스극 제4 계조 그룹의 진폭 조정 레지스터값이 입력된다. 그리고, 제2 레지스터 전환 회로(807)는, 타이밍 컨트롤러(805)에서 생성된 RSW, CSW, BSW와, 전술한 실시예 1과 마찬가지로 PH_2 신호를 바탕으로, 전술한 레지스터값을 순차적으로 선택하고, 제2 기준 전압 생성부(413) 내의 가변 저항에 전송한다. 또한, 레지스터값의 선택순은 후술하는 도 7b를 이용하여 설명한다.

<116> 본 실시예 3에서 설치한 RGB 시분할 스위치(808)는, 액정 패널(401)의 신호선(104)과 동수의 스위치(809~810)로 구성되고, 그 스위치의 일단은 액정 패널(401)의 신호선(104)에 접속된다. 그리고, 인접하는 신호선(104)인 R선, G선, B선에 관해서는, 그 스위치의 다른 한단을 동일한 스위치 회로(439)에 접속한다. 여기서 스위치 회로(809)는 타이밍 컨트롤러(805)로부터 전송되는 RSW로 제어되고, RSW="1"에서 온 상태로 되고, "0"에서 오프 상태로 된다. 또한, 스위치 회로(810)는 GSW로, 스위치 회로(811)는 BSW로 마찬가지로 제어되는 것으로 한다. 이에 의해, 액정 패널(401)의 구동이 RGB의 시분할로 가능하게 되기 때문에, RGB의 3개의 신호선(104)에 대하여, 1개의 8 to 1 셀렉터(438)를 설치하면 되기 때문에, 회로 규모의 삭감이 가능하게 된다.

<117> 다음으로, 본 실시예 3에 따른 레지스터 및 스위치 각각의 제어에 대하여, 도 7b를 참조하여 설명한다. 도 7b에서, 참조 부호 812는 본래 신호선(화소 전극)에 인가할 계조 전압(출력 전압), 참조 부호 813은 본 실시예 3에서의 계조 전압 시분할 출력부(415)의 출력 전압이다.

<118> 우선, 라인 클럭 LP에 대하여, RGB 선택 기간 조정 레지스터(802)에서 설정된 R선 선택 기간, G선 선택 기간, 및 B선 선택 기간에 따라서 RSW, GSW, BSW를 생성한다. 그리고, 제1 레지스터 전환 회로(806)는, 타이밍 컨트롤러(805)에서 생성되는 PH_1 신호와 RSW, GSW, BSW 신호를 바탕으로, 제1 기준 전압 생성부(412) 내의 가변 저항(427 및 428)의 저항값을 변경하고, 진폭 조정에 의한 γ 조정을 실시한다. 마찬가지로, 제2 레지스터 전환 회로(807)는, 타이밍 컨트롤러(805)에서 생성되는 PH_2 신호와 RSW, GSW, BSW 신호를 바탕으로, 제2 기준 전압 생성부(413) 내의 가변 저항의 저항값을 변경하여, 진폭 조정에 의한 γ 조정을 실시한다.

<119> 또한, VOB~V7B는, 본래 신호선(화소 전극)에 인가할 계조 전압(출력 전압)(812)에 대하여, 인가 전압 극성이 플러스극성인 경우에는, R선마다, G선마다, B선마다 서로 다른 전압 변동량 $\Delta V*y$ 를 가산하고, 인가 전압 극성이 마이너스극성인 경우에는, R선마다, G선마다, B선마다 서로 다른 전압 변동량 $\Delta V*y$ 를 감산한 출력 전압(813)인 것이, 본 실시예의 특징이다.

<120> 이상으로부터, 실시예 3에서는, 액정 패널(401)의 표시색인 R, G, B의 각 색의 γ 특성을 개별로 조정 가능하게 하고, 계조 시분할 방식에 의한 저소비 전력과 회로 규모의 절약화, 전술한 실시예 1에 의한 화질 열화 경감과, 본 실시예에 따른 한층 더 고화질화의 양립을 기대할 수 있는 액정 표시 장치를 실현하였다.

<121> 또한, 실시예 3에서는, 신호선(104)에의 출력 전압 V_x 는 저계조측으로부터 고계조측으로 계단 형상으로 천이시

키고 있지만, 1주사 기간 내에서 계조 전압의 천이 방향이 동일하면 상관없으므로, 고계조측으로부터 저계조측으로 계단 형상으로 천이하는 것으로 하여도 상관없다. 또한, 실시예 1과 마찬가지로, 입력의 표시 데이터를 예를 들면 6 비트로 하여도 상관없으며, 계조 전압 선택부(417)는, R선, G선, 및 B선의 선택 기간 내에서 인접하는 4 레벨의 계조 전압이 계단 형상으로 천이하는 동안부터 전압을 선택하는 경우에 설명했지만, 2 레벨의 계조 전압으로부터 선택하는 구성이라도 상관없다. 또한, 표시 메모리 비내장형의 구동 장치라도 상관없다. 또한, 본 실시예 3에서는, 신호선 구동부(402) 내에 RGB 시분할 스위치(808)를 설치한 경우에 설명했지만, 액정 패널(401) 내에 RGB 시분할 스위치(808) 상당을 내장해도 상관없다. 또한, 본 실시예 3에서는 전술한 실시예 1의 구성을 기본으로 하여, R, G, B마다 개별로 γ 특성을 조정할 수 있도록 한 것이지만, 전술한 실시예 2의 구성을 기본으로 하여, R, G, B마다 개별로 조정할 수 있도록 해도 상관없다.

<122> 이상, 본 발명자에 의해서 이루어진 발명을 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

<123> 본 발명은, 표시 장치용 구동 회로(구동 장치)나 표시 장치에 이용 가능하다.

발명의 효과

<124> 본 발명에 따르면, 상기한 바와 같은 화질 열화를 개선할 수 있어, 작은 회로 규모로의 다계조 표시화와 화질 열화 경감을 양립할 수 있다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예의 구동 장치에서 적용 대상으로 하는, 전제 기술인 액정 패널의 일 구성예와, 액정 패널에서의 신호선의 전압 레벨 변동 요인(전류 리크 경로)을 도시하는 설명도.
- <2> 도 2a는 제1 구동 방법에 제2 구동 방법을 적용한 본 실시예의 구동 방법 및 구동 장치의 계조 전압 조정 기능에 의한 효과를 나타내는, 신호선 전압 레벨의 천이를 도시한 도면이며, 도 2b는 계조 번호-계조 전압 특성을 도시한 도면.
- <3> 도 3은 본 발명의 실시예 1의 구동 장치(TFT 액정 구동 회로)를 포함하는 시스템(액정 표시 장치)의 구성을 도시하는 도면으로, 특히 신호선 구동부의 구성도.
- <4> 도 4a는 본 발명의 실시예 1의 구동 방법에서의 각 신호의 타이밍차트이며, 도 4b는 그 구동 방법에서의 효과를 나타내는 계조 번호-계조 전압 특성이며, 도 4c는 도 4b의 일부분의 확대도.
- <5> 도 5a는 본 발명의 실시예 2에서의 구동 장치(TFT 액정 구동 회로)를 포함하는 시스템(액정 표시 장치)의 구성, 특히 신호선 구동부의 구성도이며, 도 5b는 그 일부분의 구성을 도시하는 확대도이고, 도 5c는, 도 5b 중 레지스터의 설정예를 나타내는 표.
- <6> 도 6a는 본 발명의 실시예 2의 구동 방법에서의 각 신호의 타이밍차트이며, 도 6b는 그 구동 방법에서의 효과를 나타내는 계조 번호-계조 전압 특성이며, 도 6c는 도 6b의 일부분의 확대도.
- <7> 도 7a는 본 발명의 실시예 3에서의 구동 장치(TFT 액정 구동 회로)를 포함하는 시스템(액정 표시 장치)의 구성을 도시하는 도면이며, 도 7b는 실시예 3의 구동 방법에서의 각 신호의 타이밍차트.
- <8> 도 8a는 도 1의 액정 패널에 제1 구동 방법을 적용하여, 전압 레벨을 낮은 전압으로부터 높은 전압에 천이시킨 경우의 신호선 전압을 도시한 도면이며, 도 8b는, 전압 레벨을 낮은 전압으로부터 높은 전압에 천이시킨 경우의 계조 번호-계조 전압 특성을 도시한 도면.

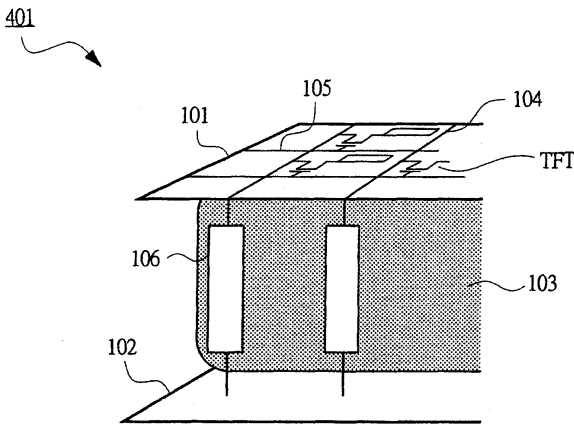
<9> <도면의 주요 부분에 대한 부호의 설명>

- <10> 101 : TFT 기관
- <11> 102 : 대향 전극
- <12> 103 : 액정층
- <13> 104 : 신호선
- <14> 105 : 주사선

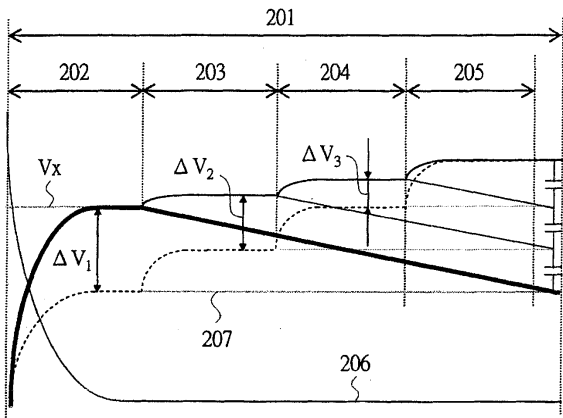
- <15> 106 : 전류 리크 경로
- <16> 401 : 액정 패널

도면

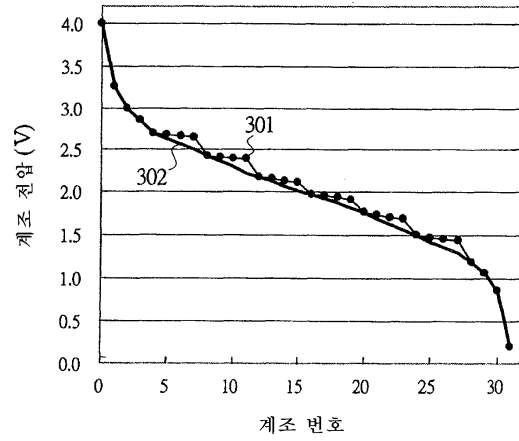
도면1



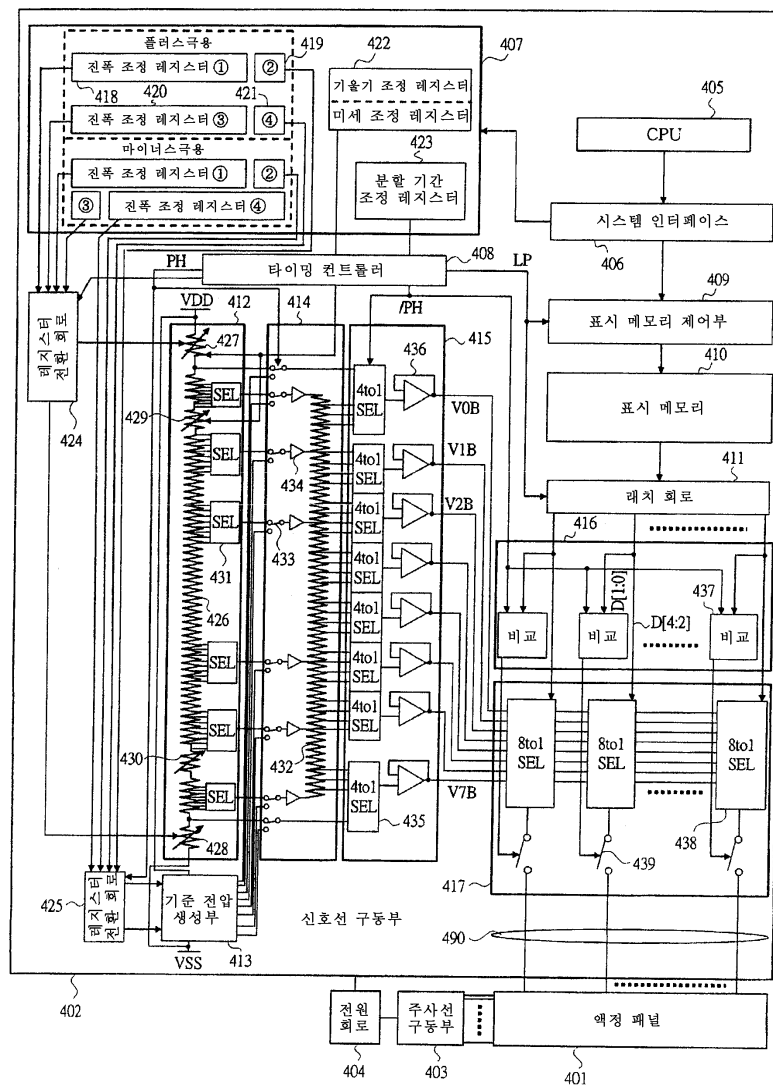
도면2a



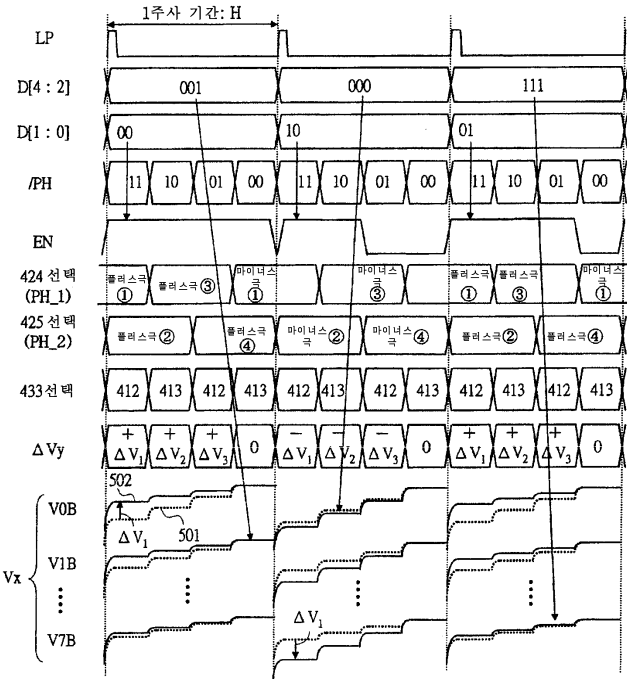
도면2b



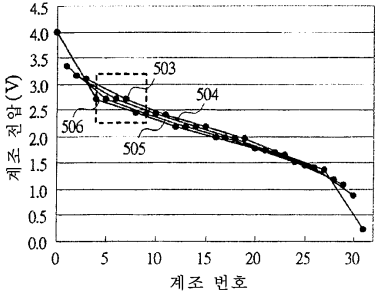
도면3



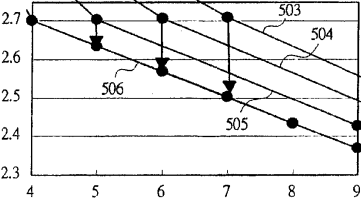
도면4a



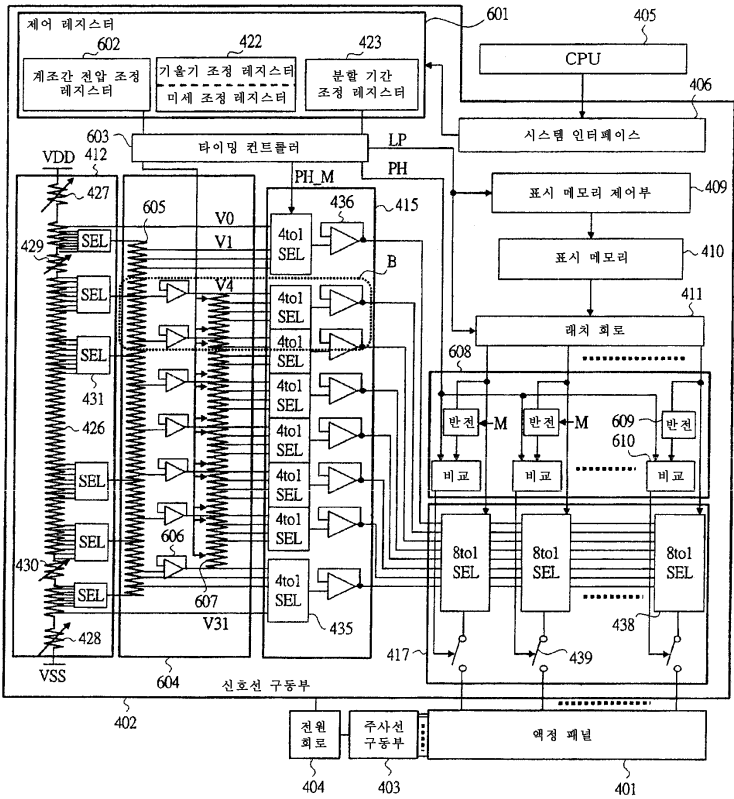
도면4b



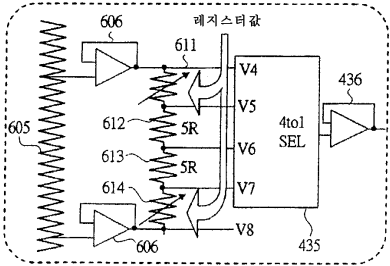
도면4c



도면5a



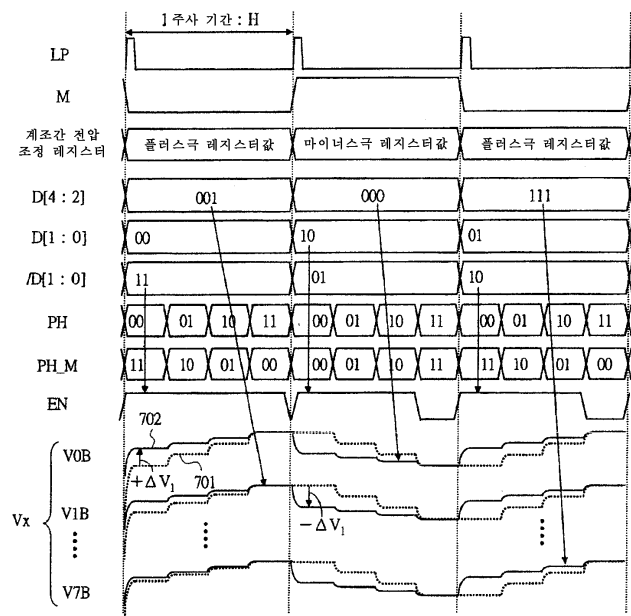
도면5b



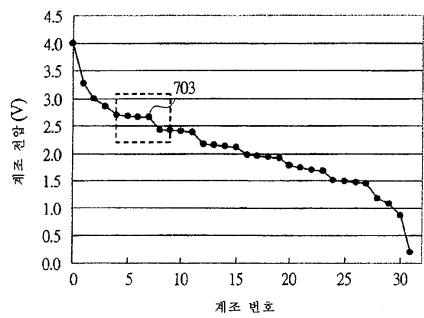
도면5c

Reg	611	Reg	614
00	5R	00	5R
01	10R	01	10R
10	25R	10	25R
11	50R	11	50R

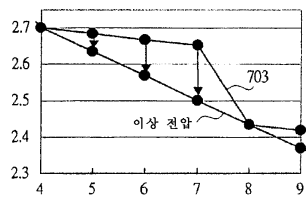
도면6a



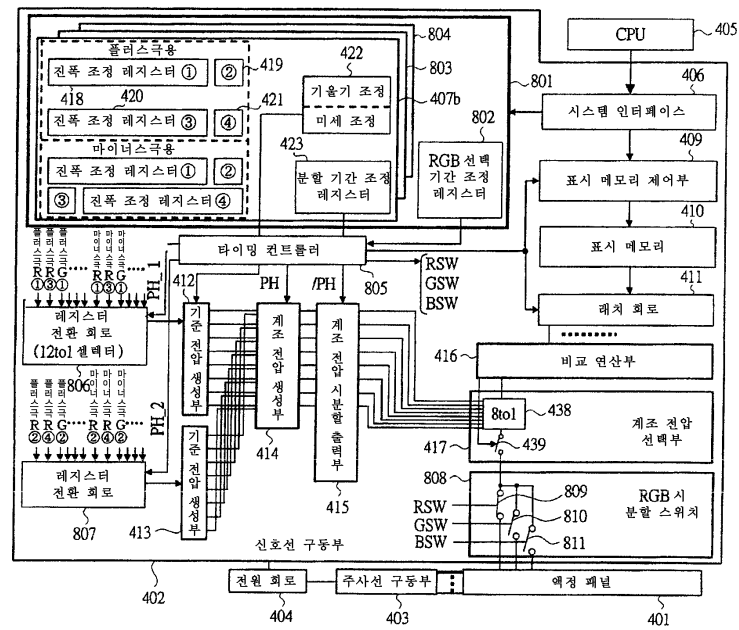
도면6b



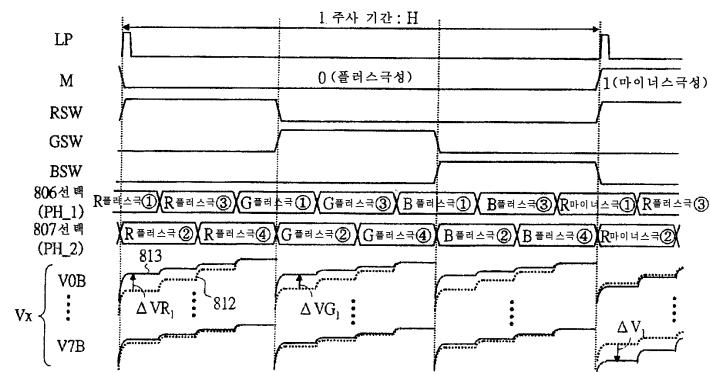
도면6c



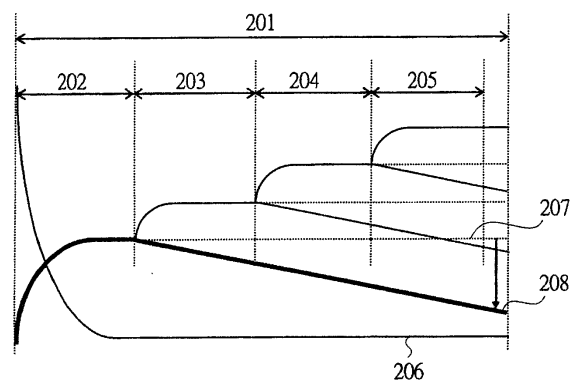
도면7a



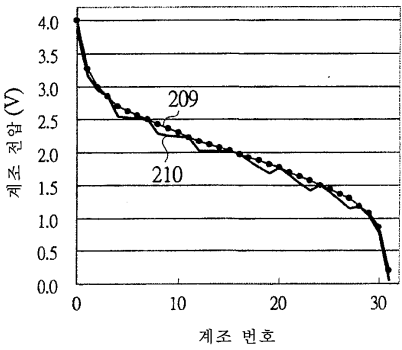
도면 7b



도면 8a



도면8b



专利名称(译)	用于显示设备的驱动器		
公开(公告)号	KR100798226B1	公开(公告)日	2008-01-24
申请号	KR1020060049444	申请日	2006-06-01
[标]申请(专利权)人(译)	株式会社瑞萨科技 Sikki瑞萨科技有限公司		
申请(专利权)人(译)	Sikki瑞萨科技有限公司		
当前申请(专利权)人(译)	Sikki瑞萨科技有限公司		
[标]发明人	AKAI AKIHITO 아까이아끼히토 KUDOU YASUYUKI 구도우야스유키 ERIGUCHI TAKUYA 에리구찌다꾸야 OOKADO KAZUO 오오까도가즈오		
发明人	아까이아끼히토 구도우,야스유키 에리구찌다꾸야 오오까도가즈오		
IPC分类号	G09G3/20 G09G3/36		
CPC分类号	G09G3/20 G09G2360/18 G09G3/3688 G09G2330/021 G09G2320/0219 G09G2320/0673 G09G3/3614 G09G2310/0297 G09G3/3696 G09G2320/0276		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2005261924 2005-09-09 JP		
其他公开文献	KR1020070029547A		
外部链接	Espacenet		

摘要(译)

考虑到液晶面板的电流泄漏路径，并且由于此，第一驱动方法的各分割期间的信号线电压的变化，和应用该调整函数 γ （第二驱动方法）。在信号线驱动单元，每个音调的每个输出的持续时间彼此产生的灰度电压酸性不同电压波动，其被施加到灰度电压 V_x 是事先考虑偏差的信号线电压信号线的数量。

