(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G09G 3/36 (2006.01)

(45) 공고일자 2006년07월28일
(11) 등록번호 10-0604829
(24) 등록일자 2006년07월19일

(21) 출원번호 10-2004-0002670
(22) 출원일자 2004년01월14일

(65) 공개번호 10-2005-0074781
(43) 공개일자 2005년07월19일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김경월
서울특별시영등포구당산동5가효성아파트104-1505

전용원
경기도수원시팔달구망포동벽산아파트117-1201

(74) 대리인 리앤목특허법인
이해영

심사관 : 정병락

(54) 디스플레이 장치

요약

타이밍 컨트롤러와 시리얼 캐스케이드로 접속된 다수개의 소스 드라이버들을 구비하는 디스플레이 장치가 개시된다. 상기 타이밍 컨트롤러와 상기 시리얼 캐스케이드로 접속된 다수개의 소스 드라이버들 중에서 첫 번째 소스 드라이버사이에는 제1, 제2 및 제3버스들이 접속된다. 제1구간동안 클락신호는 상기 제1버스를 통하여 전송되고 제1동작제어신호는 상기 제2버스를 통하여 전송되고 제2동작제어신호는 상기 제3버스를 구성하는 다수개의 데이터 라인들 중에서 제1데이터 라인을 통하여 전송되고 극성제어신호는 상기 다수개의 데이터 라인들 중에서 제2데이터 라인을 통하여 전송된다. 또한, 제2구간동안 상기 클락신호는 상기 제1버스를 통하여 전송되고 상기 제1동작제어신호는 상기 제2버스를 통하여 전송되고 상기 제2동작제어신호는 상기 제3버스를 구성하는 다수개의 데이터 라인들 중에서 어느 하나의 데이터 라인을 통하여 전송된다. 소스 드라이버는 각 구간에서의 상기 제1동작제어신호의 상태와 상기 제2동작제어신호의 상태에 조합에 기초하여 데이터 시작신호 및 로드신호를 발생한다. 따라서 본 발명에 따른 디스플레이 장치는 신호들을 전송하는 신호선들의 개수를 감소시킬 수 있다.

대표도

도 4

색인어

TFT-LCD

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 일반적인 TFT-LCD의 구조를 나타낸다.

도 2는 도 1에 도시된 TFT-LCD의 동작 타이밍 도를 나타낸다.

도 3은 본 발명의 실시예에 따른 디스플레이 장치의 구조를 나타낸다.

도 4는 도 3에 도시된 버스들과 소스 드라이버의 접속관계를 나타내는 제1상세도를 나타낸다.

도 5는 도 3에 도시된 소스 드라이버의 제1회로도를 나타낸다.

도 6은 도 3에 도시된 디스플레이 장치의 동작 제1타이밍 도를 나타낸다.

도 7은 도 3에 도시된 버스 및 드라이버의 접속관계를 나타내는 제2상세도를 나타낸다.

도 8은 도 3에 도시된 소스 드라이버의 제2회로도를 나타낸다.

도 9는 도 3에 도시된 디스플레이 장치의 동작 제2타이밍 도를 나타낸다.

도 10은 본 발명의 다른 실시예에 따른 디스플레이 장치의 구조를 나타낸다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스플레이 장치에 관한 것으로, 보다 상세하게는 타이밍 컨트롤러와 소스 드라이버사이에 접속되는 버스들의 수를 감소시킨 구조를 갖는 디스플레이 장치에 관한 것이다.

도 1은 일반적인 TFT-LCD의 구조를 나타낸다. 도 1을 참조하면, TFT-LCD (10)는 디스플레이 패널(12), 소스 드라이버 블락(14), 게이트 드라이버 블락(16), 타이밍 컨트롤러(18) 및 전원(power source; 20)을 구비한다.

디스플레이 패널(12)은 다수개의 데이터 라인들(S_1 내지 S_N), 다수개의 스캔라인들(또는 '게이트 라인들'이라고도 한다; G_1 내지 G_M), 및 도시되지 않은 다수개의 픽셀 전극들을 구비한다.

박막 트랜지스터들(Thin Film Transistors; TFTs)은 데이터 라인들과 픽셀 전극들사이에 접속된다. TFT의 게이트 전극은 스캔 라인에 접속되고, TFT의 소스 전극은 데이터 라인에 접속되고, TFT의 드레인 전극은 픽셀 전극에 접속된다.

소스 드라이버 블락(14)은 도시되지 않은 다수개의 소스 드라이버들을 구비하고, 타이밍 컨트롤러(18)로부터 출력되는 디스플레이 데이터(DATA)와 각 제어신호(CLK, DIO, LOAD, POL), 및 전원(20)으로부터 출력되는 적어도 하나의 전압에 기초하여 디스플레이 패널(12)의 데이터 라인들(S_1 내지 S_N)을 구동한다.

타이밍 컨트롤러(18)는 수평동기신호, 수직 동기신호 및 디스플레이 데이터를 수신하고, 각종의 신호들(CLK, DIO, DATA, LOAD, POL)을 발생하고, 대응되는 신호(CLK, DIO, DATA, LOAD, 및 POL)를 각 버스(21, 22, 23, 24 및 25)를 통하여 소스 드라이버 블락(14)으로 출력한다.

도 2는 도 1에 도시된 TFT-LCD의 동작 타이밍 도를 나타낸다. 도 1 및 도 2를 참조하면, 클락신호(CLK)는 버스(21)를 통하여, 데이터 시작신호(DIO)는 버스(22)를 통하여, 디스플레이 데이터(DATA)는 다수개의 데이터 라인들(D00 내지 Dxx)로 구성되는 데이터 버스(23)를 통하여, 로드신호(LOAD)는 버스(24)를 통하여, 극성제어신호(POL)는 버스(25)를 통하여 소스 드라이버 블락(14)으로 전송된다.

또한, 부가적으로 데이터 반전신호(INV)는 타이밍 컨트롤러(18)와 소스 드라이버 블락(14)사이에 접속된 다른 버스(미도시)를 통하여 소스 드라이버 블락(14)으로 전송될 수 있다.

클락신호(CLK)는 도트 클락신호라고도 한다. 데이터 시작신호(DIO)는 실질적인 디스플레이 데이터(DATA, 또는 'RGB데이터'라고도 한다.)의 시작위치를 나타내는 신호이다.

따라서 상기 소스 드라이버의 소정의 데이터 래치(또는 레지스터)는 데이터 시작신호(DIO)가 논리 로우에서 논리 하이로 천이(transition)한 후 입력되는 클락신호(CLK)의 상승에지와 하강에지에 동기되어 디스플레이 데이터(DATA)를 수신하고 저장한다.

로드 신호(LOAD)는 디스플레이 데이터(DATA)가 상기 소정의 래치(또는 레지스터)에 모두 저장된 후 활성화(예컨대 논리 하이)되는 신호이다. 따라서 소스 드라이버는 상기 활성화된 로드 신호(LOAD)에 응답하여 상기 래치에 저장된 디스플레이 데이터(DATA)를 디지털-아날로그 변환하고 디스플레이 패널(12)의 데이터 라인들(S_1 내지 S_N)로 구동한다.

이때 디스플레이 패널(12)의 데이터 라인들(S_1 내지 S_N)로 출력되는 디스플레이 데이터의 극성은 극성제어신호(POL)에 기초하여 결정된다. 또한, 데이터 반전신호(INV)는 상기 디스플레이 데이터(DATA)를 반전시키기 위한 신호이다.

게이트 드라이버 블락(16)은 도시되지 않은 다수개의 게이트 드라이버들을 구비하고, 타이밍 컨트롤러(18)로부터 출력되는 제어신호들과 전원(20)으로부터 출력되는 적어도 하나의 전압에 기초하여 디스플레이 패널(12)의 스캔 라인들(G_1 내지 G_M)을 연속적으로 구동한다.

타이밍 컨트롤러(18)는 도시되지 않은 호스트 컴퓨터에 의하여 설정된 내용에 따라 소스 드라이버 블락(14), 게이트 드라이버 블락(16), 및 전원(20)의 동작을 제어한다.

전원(20)은 디스플레이 패널(12)을 구동하기 위한 필요한 전압과 다양한 전압 레벨들(예컨대, 그레이 스케일 전압들(gray scale voltages)을 발생시키고, 발생된 전압들을 디스플레이 패널(12), 소스 드라이버 블락(14) 및 게이트 드라이버 블락(16)으로 출력한다.

도 1 및 도 2를 참조하면, 디스플레이 데이터(DATA)를 디스플레이 패널(12)로 구동하기 위하여, 타이밍 컨트롤러(18)와 소스 드라이버 블락(14)사이에는 기본적인 다섯 종류의 신호들(CLK, DIO, DATA, LOAD 및 POL)을 전송하기 위한 버스들(21, 22, 23, 24 및 25)이 필수 불가결하게 접속된다.

따라서 배선면적이 증가하고, 디스플레이 장치에서 소비하는 전류의 양도 많다. 또한, 상기 많은 버스들에 의하여 전자파 간섭(electromagnetic interference; EMI)이 많이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적인 과제는 디스플레이 장치의 타이밍 컨트롤러와 소스 드라이버 블락사이에 존재하는 버스들의 수를 줄이기 위한 구조를 갖는 디스플레이 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 디스플레이 장치는 타이밍 컨트롤러로부터 출력된 클락신호를 소스 드라이버로 전송하기 위한 제1버스; 상기 타이밍 컨트롤러로부터 출력된 제1동작 제어신호를 상기 소스 드라이버로 전송하기 위한 제2버스; 및 상기 타이밍 컨트롤러로부터 출력된 디스플레이 데이터를 상기 소스 드라이버로 전송하기 위한 다수개의 데이터 라인

들을 구비하는 데이터 버스를 구비하며, 상기 타이밍 컨트롤러는 소정 구간동안 상기 제2버스와 상기 다수개의 데이터 라인들 중에서 적어도 하나의 데이터 라인을 통하여 상기 소스 드라이버의 동작을 제어하기 위한 제어신호들 각각을 상기 소스 드라이버로 출력한다.

상기 타이밍 컨트롤러는 상기 소정의 구간동안 상기 제1동작 제어신호의 논리상태와 동일한 논리 상태를 갖는 제2동작 제어신호를 상기 다수개의 데이터 라인 중에서 제1데이터 라인을 통하여 상기 소스 드라이버로 출력한다. 상기 소스 드라이버는 상기 제1동작 제어신호와 상기 제2동작제어신호에 응답하여 상기 디스플레이 데이터를 래치한다.

상기 타이밍 컨트롤러는 상기 소정의 구간동안 극성제어신호를 상기 다수개의 데이터 라인들 중에서 제2데이터 라인을 통하여 상기 소스 드라이버로 출력하는 경우, 상기 소스 드라이버는 상기 극성제어신호에 응답하여 출력될 디스플레이 데이터의 극성을 제어한다.

상기 타이밍 컨트롤러는 상기 소정의 구간동안 상기 제1동작제어신호의 논리상태와 서로 다른 논리 상태를 갖는 제2동작 제어신호를 상기 다수개의 데이터 라인 중에서 제1데이터 라인을 통하여 상기 소스 드라이버로 출력하는 경우, 상기 소스 드라이버는 극성제어신호와 상기 제1동작제어신호와 상기 제2동작제어신호에 기초하여 출력될 디스플레이 데이터를 출력한다.

상기 기술적 과제를 달성하기 위한 디스플레이 장치는 타이밍 컨트롤러로부터 출력된 클락신호를 소스 드라이버로 전송하기 위한 제1버스; 상기 타이밍 컨트롤러로부터 출력된 제1동작제어신호를 상기 소스 드라이버로 전송하기 위한 제2버스; 상기 타이밍 컨트롤러로부터 출력된 데이터 반전신호를 상기 소스 드라이버로 전송하기 위한 제3버스; 및 상기 타이밍 컨트롤러로부터 출력된 디스플레이 데이터를 상기 소스 드라이버로 전송하기 위한 다수개의 데이터 라인들을 구비하는 데이터 버스를 구비하며, 상기 타이밍 컨트롤러는 소정 구간동안 상기 제2버스, 상기 제3버스와 상기 다수개의 데이터 라인들 중에서 적어도 하나의 데이터 라인을 통하여 상기 소스 드라이버의 동작을 제어하기 위한 제어신호들 각각을 상기 소스 드라이버로 출력한다.

상기 기술적 과제를 달성하기 위한 타이밍 컨트롤러와 소스 드라이버를 구비하는 디스플레이 장치는 상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되는 제1버스; 상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되는 제2버스; 상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되고 제1데이터 라인 제2데이터 라인, 및 제3데이터 라인을 구비하는 데이터 버스; 및 제1구간동안 클락신호와 제1동작제어신호와 제2동작제어신호와 극성제어신호를 발생하고, 제2구간동안 상기 클락신호와 상기 제1동작제어신호와 상기 제2동작제어신호를 발생하는 타이밍 컨트롤러를 구비하고, 상기 타이밍 컨트롤러는 상기 제1구간동안 상기 클락신호를 상기 제1버스로 출력하고 상기 제1동작제어신호를 상기 제2버스로 출력하고 상기 제2동작제어신호를 상기 제1데이터 라인으로 출력하고 상기 극성제어신호를 상기 제2데이터 라인으로 출력하고, 상기 제2구간동안 상기 클락신호를 상기 제1버스로 출력하고 상기 제1동작제어신호를 상기 제2버스로 출력하고 상기 제2동작제어신호를 상기 제1데이터 라인 내지 제3데이터 라인 중에서 어느 하나의 데이터 라인으로 출력한다.

상기 제1구간동안 상기 제2버스 상의 신호의 논리 상태와 상기 제1데이터 라인상의 신호의 논리 상태는 동일한 논리 상태를 갖고, 상기 제2구간동안 상기 제2버스 상의 신호의 논리 상태와 상기 제1데이터 라인상의 신호의 논리 상태는 서로 다른 논리 상태를 갖는다.

상기 기술적 과제를 달성하기 위한 디스플레이 장치는 시리얼 캐스케이드로 접속된 다수개의 소스 드라이버들; 상기 다수개의 소스 드라이버들 중에서 첫 번째 소스 드라이버와 타이밍 컨트롤러를 접속시키기 위한 다수개의 버스들을 구비하는 제1신호전송수단; 및 상기 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들사이에 접속되는 다수개의 버스들을 구비하는 제2신호전송수단을 구비한다.

상기 제1신호전송수단은 상기 타이밍 컨트롤러로부터 출력된 클락신호를 전송하는 제1버스; 상기 타이밍 컨트롤러로부터 출력된 제1동작제어신호를 전송하는 제2버스; 및 상기 타이밍 컨트롤러로부터 출력된 디스플레이 데이터를 전송하는 다수개의 데이터 라인들을 구비하는 제1데이터 버스를 구비하며, 상기 다수개의 데이터 라인들 중에서 적어도 하나의 데이터 라인은 상기 타이밍 컨트롤러로부터 출력된 상기 첫 번째 소스 드라이버의 동작을 제어하기 위한 제어신호를 전송한다.

상기 제2신호전송수단은 상기 클락신호를 전송하는 제3버스; 상기 제1동작제어신호를 전송하는 제4버스; 및 상기 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들 중에서 제1소스 드라이버를 통과한 디스플레이 데이터를 상기 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들 중에서 제2소스 드라이버로 전송하는 다수개의 데이터 라인들을 구비하는 제2데이터 버스를 구비하며, 상기 제1소스 드라이버에서 생성된 상기 제2소스 드라이버의 동작을 제어하기 위한 적어도 하나의 제2동작 제어신호는 상기 제2데이터 버스의 적어도 하나의 데이터 라인을 통하여 상기 제2소스 드라이버로 전송된다.

상기 기술적 과제를 달성하기 위한 디스플레이 장치는 타이밍 컨트롤러; 시리얼 캐스케이드로 접속된 다수개의 소스 드라이버들을 구비하는 제1소스 드라이버 블락; 시리얼 캐스케이드로 접속된 다수개의 소스 드라이버들을 구비하는 제2소스 드라이버 블락; 상기 타이밍 컨트롤러와 상기 제1소스 드라이버 블락 내의 상기 다수개의 소스 드라이버들 중에서 첫 번째 소스 드라이버사이에 접속되는 1군의 버스들; 상기 타이밍 컨트롤러와 상기 제2소스 드라이버 블락 내의 상기 다수개의 소스 드라이버들 중에서 첫 번째 소스 드라이버사이에 접속되는 2군의 버스들; 상기 제1소스 드라이버 블락 내에서 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들사이에 접속되는 3군의 버스들; 및 상기 제2소스 드라이버 블락 내에서 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들사이에 접속되는 4군의 버스들을 구비한다.

상기 1 내지 4군의 버스들 각각은 상기 타이밍 컨트롤러로부터 발생된 클락신호를 전송하는 제1신호 패스; 상기 타이밍 컨트롤러로부터 발생된 동작제어신호를 전송하는 제2신호패스; 및 상기 타이밍 컨트롤러로부터 발생된 디스플레이 데이터를 전송하는 다수개의 데이터 라인들을 구비하는 제3신호 패스를 구비하며, 상기 타이밍 컨트롤러는 소정의 구간동안 대응되는 소스 드라이버의 동작을 제어하기 위한 다수개의 제어신호들을 발생하고, 상기 다수개의 제어신호들 중에서 적어도 하나의 제어신호는 상기 소정 구간동안 상기 제2신호패스와 상기 다수개의 데이터 라인들 중에서 대응되는 데이터 라인을 통하여 대응되는 소스 드라이버로 전송된다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 3은 본 발명의 실시예에 따른 디스플레이 장치의 구조를 나타낸다. 도 3을 참조하면, 본 발명에 따른 디스플레이 장치는 디스플레이 패널(12), 타이밍 컨트롤러(320), 다수개의 소스 드라이버들(311, 312, 313,..., 314)을 구비하는 제1소스 드라이버 블록, 다수개의 소스 드라이버들(315, 316, 317,..., 318)을 구비하는 제2소스 드라이버 블록, 및 다수개의 게이트 드라이버들(331,...,333)을 구비하는 게이트 드라이버 블록을 구비한다.

본 발명에 따른 디스플레이 장치는 액티브 매트릭스 형태의 TFT-LCD(active matrix type thin film transistor liquid crystal display)장치로 구현될 수 있다. 그러나 본 발명에 따른 버스 구조를 갖는 디스플레이 장치는 액티브 매트릭스 형태의 TFT-LCD장치에 한정되는 것이 아니다.

다수개의 소스 드라이버들(311, 312, 313,..., 314)은 서로 시리얼 캐스케이드(serial cascade)로 접속되고, 다수개의 소스 드라이버들(315, 316, 317,..., 318)은 시리얼 캐스케이드로 접속된다. 다수개의 게이트 드라이버들(331,...,333)은 시리얼 캐스케이드로 접속된다.

다수개의 소스 드라이버들(311 내지 318)각각은 자기에게 할당된 디스플레이 패널(12)의 데이터 라인들을 구동하고, 다수개의 게이트 드라이버들(331,...,333)각각은 자기에게 할당된 스캔라인들을 구동한다.

또한, 제1소스 드라이버 블락과 제2소스 드라이버 블락은 타이밍 컨트롤러(320)를 중심으로 서로 대칭적으로 디스플레이 패널(12)의 상부에 위치하는 것이 바람직하다. 이러한 구조를 T-형(T-type) 시리얼 캐스케이드라 한다. 그러나 본 발명에 따른 새로운 버스 구조를 갖는 디스플레이 장치는 T-형 시리얼 캐스케이드에 한정되는 것은 아니다. 또한, 본 발명에 따른 디스플레이 장치는 전압구동방식 또는 전류구동방식에 사용될 수 있다.

여기서 시리얼 캐스케이드란 도 3에 도시된 바와 같이 다수개의 소스 드라이버들(311 내지 318)각각이 타이밍 컨트롤러(320)로부터 출력되는 다양한 신호들을 수신하는 것이 아니라 가운데의 첫 번째 소스 드라이버(311과 315)만이 타이밍 컨트롤러(320)로부터 출력되는 다양한 신호들을 직접 수신하고, 나머지 소스드라이버들(312 내지 314, 316 내지 318)각각은 그 전단의 소스 드라이버의 출력을 수신하는 방식을 말한다.

도 4는 도 3에 도시된 버스들과 소스 드라이버의 접속관계를 나타내는 제1상세도를 나타낸다. 즉, 도 4는 도 3에 도시된 부분(300)의 상세도이다.

도 3 및 도 4를 참조하면, 세 개의 버스들(401 내지 403)은 타이밍 컨트롤러(320)와 제1소스 드라이버(311)사이에 접속되고, 세 개의 버스들(404 내지 406)은 타이밍 컨트롤러(320)와 제2소스 드라이버(315)사이에 접속되고, 세 개의 버스들(407 내지 409)은 제1소스 드라이버(311)와 제3소스 드라이버(312)사이에 접속되고, 세 개의 버스들(410 내지 412)은 제2소스 드라이버(315)와 제4소스 드라이버(316)사이에 접속된다.

각 버스(401과 407)는 클락신호(CLKR)를 전송하기 위한 버스이고, 각 버스(404와 410)는 클락신호(CLKL)를 전송하기 위한 버스이고, 각 버스(402와 408)는 동작제어신호(CDIOR)를 전송하기 위한 버스이고, 각 버스(405와 411)는 동작제어신호(CDIOL)를 전송하기 위한 버스이다. 클락신호(CLKR)와 클락신호(CLKL)는 서로 동일한 신호인 것이 바람직하고, 동작제어신호(CDIOR)와 동작제어신호(CDIOL)는 서로 동일한 제어신호인 것이 바람직하다.

또한, 각 버스(403, 406, 409 및 412)는 디스플레이 데이터(DATAR, DATAL, DATAR1과 DATAL1)를 대응되는 소스 드라이버(311, 315, 312 및 316)로 전송하기 위한 버스로도 사용된다. 여기서 각 버스(403, 406, 409 및 412)는 다수개의 데이터 라인들을 구비한다.

도 1에 도시된 디스플레이 장치와 도 4에 도시된 디스플레이 장치를 비교해보면, 도 4에 도시된 디스플레이 장치에서는 극성제어신호(POL)를 전송하는 신호선과 로드신호(LOAD)를 전송하는 신호선이 제거되었다.

또한, 각 소스 드라이버(311 내지 318)는 소정의 구간동안 타이밍 컨트롤러로부터 각 제2버스(402와 405)로 전송된 신호의 논리 상태와 각 데이터 버스(403과 406)를 구성하는 다수개의 데이터 라인들 중에서 제1데이터 라인으로 전송된 신호의 논리 상태의 조합에 기초하여 데이터 시작신호와 로드 신호를 각각 인식한다.

또한, 타이밍 컨트롤러(320)는 소정의 구간동안 극성제어신호를 각 데이터 버스(403과 406)를 구성하는 다수개의 데이터 라인들 중에서 제2데이터 라인으로 출력한다. 즉, 상기 극성제어신호는 디스플레이 데이터가 전송되지 않는 구간에 실려 상기 소스 드라이버로 전송된다.

따라서 본 발명에 따른 버스구조를 갖는 디스플레이 장치는 종래의 버스구조를 갖는 디스플레이 장치에 비하여 버스(또는 신호선)의 수를 감소시킨다. 상기 버스의 수가 감소됨에 따라 디스플레이 장치가 소비하는 전류도 감소하고, 상기 디스플레이 장치로부터 발생되는 EMI도 감소한다.

여기서 각 버스(401 내지 412)로 전송된 각 신호(CLKR, CLKL, CDIOR, CDIOL, DATAR, DATAL, DATAR1, 및 DATAL1)는 싱글-엔디드(single ended)신호이다.

도 5는 도 3에 도시된 소스 드라이버의 제1회로도를 나타낸다. 도 3 및 도 5를 참조하면, 각 소스 드라이버(311 내지 318)는 양방향성(bi-direction)을 가진다. 즉, 소스 드라이버(311)는 타이밍 컨트롤러(320)로부터 출력된 다양한 신호들을 소스 드라이버(312)로 전송하고, 소스 드라이버(315)는 타이밍 컨트롤러(320)로부터 출력된 다양한 신호들을 소스 드라이버(316)로 전송한다. 각 소스 드라이버(311 내지 318)의 구조는 소스 드라이버(311)의 구조와 동일하다.

소스 드라이버(311)는 제1송수신기(501), 제1입력버퍼(502), 제2송수신기 (503), 제2입력버퍼(504), 로직회로(505), 데이터 래치 및 선택회로(506), 디지털-아날로그 변환기(507), 및 출력버퍼(508)를 구비한다.

제1입력버퍼(502), 제2입력버퍼(504) 및 로직회로(505)가 신호들을 전송하는 방향은 타이밍 컨트롤러(320)로부터 출력되는 제어신호들(SHL와 SHLB)의 논리 상태에 기초하여 결정된다.

도 6은 도 3에 도시된 디스플레이 장치의 제1동작 타이밍 도를 나타낸다. 도 3 내지 도 6을 참조하여 각 소스 드라이버(311 내지 318)의 동작을 설명하면 다음과 같다. 각 데이터 버스(403, 406, 409 및 412)는 다수개의 데이터 라인들(D00 내지 Dxx)을 구비한다.

A구간에서, 타이밍 컨트롤러(320)는 클락신호(CLKR), 제1동작제어신호 (CDIOR)와 제2동작제어신호, 및 극성제어신호(POL)를 발생한다.

상기 A구간동안, 타이밍 컨트롤러(320)는 클락신호(CLKR)를 버스(401)를 통하여 제1소스 드라이버(311)로 전송하고, 논리 로우(logic low; L)를 갖는 제1동작제어신호(CDIOR)를 버스(402)를 통하여 제1소스 드라이버(311)로 전송하고, 논

리 로우(L)를 갖는 제2동작제어신호를 버스(403)를 구성하는 다수개의 데이터 라인들 (D00 내지 Dxx)중에서 제1데이터 라인(D00)을 통하여 제1소스 드라이버(311)로 전송하고, 극성제어신호(POL)를 상기 다수개의 데이터 라인들(D00 내지 Dxx)중에서 제2데이터 라인(D01)을 통하여 제1소스 드라이버(311)로 전송한다.

제어신호(SHLB)에 응답하여 인에이블된 제1입력버퍼(502)는 각 버스(401, 402와 403)와 제1송수신기(501)를 통하여 입력되는 다양한 신호들(CLKR, CDIOR, DATAR)을 로직회로(505)로 전송한다. 이때 제2입력버퍼(504)는 제어신호(SHL)에 응답하여 디스에이블된다. 제어신호들(SHL과 SHLB)은 서로 상보적인 신호들인 것이 바람직하다.

상기 A구간에서, 로직회로(505)는 논리 로우(L)를 갖는 제1동작제어신호 (CDIOR)와 논리 로우(L)를 갖는 제2동작제어신호의 조합을 데이터 시작신호로서 인식한다. 그리고 로직회로(505)는 극성제어신호(POL)를 수신하고 래치한다. 상기 극성제어신호(POL)는 래치된 디스플레이 데이터의 출력극성을 결정하는 신호로 사용된다.

디스플레이 데이터 전송구간(TD)동안, 타이밍 컨트롤러(320)는 제1버스(401)를 통하여 클락신호(CLKR)를 제1소스 드라이버(311)로 전송하고, 논리 하이를 갖는 제1동작제어신호(CDIOR)를 제2버스(402)를 통하여 제1소스 드라이버(311)로 전송하고, 디스플레이 데이터(DATAR)를 데이터 라인들(D00 내지 Dxx)을 통하여 제1소스 드라이버(311)로 전송한다.

로직회로(505)는 수신된 디스플레이 데이터(DATAR)를 데이터 래치 및 선택회로(506)로 출력하고, 데이터 래치 및 선택회로(506)는 클락신호(CLKR)의 상승에지와 하강에지에 동기되어 제1소스 드라이버(311)에 할당된 디스플레이 데이터(DATAR)를 수신하고 래치한다. 디지털-아날로그 변환기(507)는 대응되는 감마 보정전압(GCV)에 응답하여 디스플레이 데이터(DATAR)를 아날로그 신호들로 변환한다.

제1소스 드라이버(311)에 할당된 디스플레이 데이터(DATAR)가 데이터 래치 및 선택회로(506)에 모두 래치되기 전에, 제1소스 드라이버(311)는 디스플레이 데이터 전송구간(TD)에서 논리 로우(L)를 갖는 제1동작제어신호(CDIOR)를 생성하여 버스(408)를 통하여 제2소스 드라이버(312)로 전송하고, 논리 로우(L)를 갖는 제2동작제어신호를 생성하여 버스(409)를 구성하는 다수개의 데이터 라인들 중에서 제1데이터 라인을 통하여 제2소스 드라이버(312)로 전송하고, 래치된 극성제어신호 (POL)를 상기 다수개의 데이터 라인들 중에서 제2데이터 라인을 통하여 제2소스 드라이버(312)로 전송한다.

따라서 제2소스 드라이버(312)는 논리 로우(L)를 갖는 제1동작제어신호 (CDIOR)와 논리 로우(L)를 갖는 제2동작제어신호를 수신하고, 제2소스 드라이버 (312)에 할당된 디스플레이 데이터(DATAR1)를 수신할 준비를 한다. 그리고 제2소스 드라이버(312)는 클락신호(CLKR)의 상승에지와 하강에지에 동기되어 제2소스 드라이버(312)에 할당된 디스플레이 데이터(DATAR)를 래치한다.

즉, 클락신호(CLKR)는 버스(407)를 통하여 제2소스 드라이버(312)로 전송되고, 제1소스 드라이버(311)는 제1동작제어신호(CDIOR)를 생성하여 버스(408)를 통하여 제2소스 드라이버(312)로 전송하고, 상기 제2동작제어신호를 생성하여 버스 (409)를 구성하는 다수개의 데이터 라인들 중에서 제1데이터 라인을 통하여 제2소스 드라이버(312)로 전송하고, 극성제어신호(POL)를 생성하여 버스(409)를 구성하는 다수개의 데이터 라인들 중에서 제2데이터 라인을 통하여 제2소스 드라이버 (312)로 전송한다. 따라서 제2소스 드라이버(312)는 디스플레이 데이터 전송구간 (TD)에서 제2소스 드라이버(312)에 할당된 디스플레이 데이터를 수신하고 저장한다.

상술한 동작을 통하여 디스플레이 데이터 전송구간(TD)동안, 각 소스 드라이버(311 내지 318)는 각 소스 드라이버(311 내지 318)에 할당된 디스플레이 데이터를 수신하고 저장한다.

본 발명에 따른 각 소스 드라이버(311 내지 318)는 클락신호(CLKR와 CLKL)의 상승에지와 하강에지에 모두 동기되어 디스플레이 데이터를 저장한다.

각 소스 드라이버(311 내지 318)에 할당된 디스플레이 데이터가 각 소스 드라이버(311 내지 318)에 모두 저장되면, 메모리 컨트롤러(320)는 B구간동안 대응되는 버스(402, 405, 408 및 411)를 통하여 논리 로우를 갖는 제1동작제어신호(CDIOR 또는 CDIOL)와 대응되는 버스(403, 406, 409 및 412)의 어느 하나의 데이터 라인을 통하여 논리 하이(H) 갖는 제2동작제어신호를 각 소스 드라이버(311 내지 318)로 출력한다.

도 3에 도시된 각 소스 드라이버(311 내지 318)의 로직회로(505)는 논리 로우(L)를 갖는 제1동작제어신호(CDIOR 또는 CDIOL)와 논리 하이(H)를 갖는 제2동작제어신호에 기초하여 로드신호(LOAD)를 발생한다.

따라서 소스 드라이버들(311 내지 318)각각은 극성제어신호(POL)와 로드신호(LOAD)에 응답하여 디스플레이 데이터에 기초하여 디스플레이 패널(12)의 데이터 라인들을 구동한다. 따라서 디스플레이 데이터는 디스플레이 패널(12)상에서 디스플레이된다. 상기 극성제어신호(POL)는 새로운 극성제어신호가 입력될 때까지 로직회로에 래치된다.

각 구간에서의 제어신호들의 논리상태와 상기 제어신호들의 조합에 따라 인식 또는 발생되는 본 발명에 따른 동작신호들을 표1로서 정리하면 다음과 같다.

[표 1]

기능	구간	CDIOR, 또는 CDIOL	D00	D01	다른 데이터 라인
데이터 시작 신호	A	Low	Low	Don't care	Don't care
극성제어신호	A	Low	Low	POL특성	Don't care
LOAD신호	B	Low	High	Don't care	Don't care

도 7은 도 3에 도시된 버스들과 소스 드라이버의 접속관계를 나타내는 제2상세도를 나타낸다. 타이밍 컨트롤러(320)로부터 각 버스(601 내지 616)로 출력되는 각 신호들을 차동신호들이다. 일반적으로 디스플레이 장치는 소모되는 전류를 감소시키기 위하여 데이터 반전신호(INV)를 사용한다.

도 8은 도 3에 도시된 소스 드라이버의 제2회로도를 나타낸다. 도 7 및 도 8을 참조하면, 각 송수신기(501 내지 503)는 대응되는 네 개의 버스들(601 내지 604, 또는 609 내지 612)과 접속된다. 도 9는 도 3에 도시된 디스플레이 장치의 제2동작 타이밍 도를 나타낸다.

도 3, 및 도 7 내지 도 9를 참조하면, 네 개의 버스들(601 내지 604)은 타이밍 컨트롤러(320)와 제1소스 드라이버(311)사이에 접속되고, 네 개의 버스들(605 내지 608)은 타이밍 컨트롤러(320)와 제2소스 드라이버(315)사이에 접속되고, 네 개의 버스들(609 내지 612)은 제1소스 드라이버(311)와 제3소스 드라이버(312)사이에 접속되고, 네 개의 버스들(605 내지 608)은 제2소스 드라이버(315)와 제4소스 드라이버(316)사이에 접속된다.

각 버스(601과 609)는 클락신호(CLKR)를 전송하기 위한 버스이고, 각 버스(605와 613)는 클락신호(CLKL)를 전송하기 위한 버스이다. 여기서 오른쪽에 배치된 소스 드라이버들을 위한 클락신호(CLKR)와 왼쪽에 배치된 소스 드라이버들을 위한 클락신호(CLKL)은 서로 동일한 신호인 것이 바람직하다.

각 버스(602와 610)는 제어신호(CDIOR)를 전송하기 위한 버스이고, 각 버스 (606과 614)는 제어신호(CDIOL)를 전송하기 위한 버스이다. 여기서 오른쪽에 배치된 소스 드라이버들을 위한 제어신호(CDIOR)와 왼쪽에 배치된 소스 드라이버들을 위한 제어신호(CDIOL)는 동일한 신호인 것이 바람직하다.

각 버스(603과 611)는 제2동작제어신호 또는 데이터 반전신호(INVR)를 전송하기 위한 버스이고, 각 버스(607과 615)는 제2동작제어신호 또는 데이터 반전신호 (INVR)를 전송하기 위한 버스이다.

도 7 및 도 9를 참조하면, A구간과 B구간에서 각 버스(603, 607, 611 및 615)는 제2동작제어신호를 전송하고, 디스플레이 데이터 전송구간(TD)에서 각 버스(603, 607, 611 및 615)는 데이터 반전신호(INVR 또는 INVL)를 전송한다.

각 데이터 버스(604, 608, 612 및 616)는 다수개의 데이터 라인들(D00 내지 Dxx)을 구비한다. A구간에서 각 데이터 버스(604, 608, 612 및 616)의 하나의 데이터 라인(D01)은 극성제어신호(POL)를 소스 드라이버(311 또는 315)로 전송하고, 디스플레이 데이터 전송구간(TD)에서 각 데이터 버스(604, 608, 612 및 616)는 각 소스 드라이버(311 내지 318)에 할당된 디스플레이 데이터를 각 소스 드라이버(311 내지 318)로 전송한다.

데이터 전송구간(TD)동안, 첫 번째 소스 드라이버(311과 315)는 A구간동안 수신된 제1동작제어신호(CDIOR 또는 CDIOL)를 이용하여 다음 단의 소스 드라이버 (312와 316)에서 사용될 제1동작제어신호(CDIOR 또는 CDIOL)를 생성하고 생성된 제1동작제어신호(CDIOR 또는 CDIOL)를 대응되는 버스(610과 614)를 통하여 다음 단의 소스 드라이버(312와 316)로 출력한다.

그리고 첫 번째 소스 드라이버(311과 315)는 A구간동안 수신된 극성제어신호 (POL)를 이용하여 다음 단의 소스 드라이버(312와 316)에서 사용될 극성제어신호 (POL)를 생성하고 생성된 극성제어신호(POL)를 대응되는 데이터 버스(612와 616)의 하나의 데이터 라인을 통하여 다음 단의 소스 드라이버(312와 316)로 출력한다.

그리고 첫 번째 소스 드라이버(311과 315)는 A구간동안 버스(603)를 통하여 수신된 제2동작제어신호를 이용하여 다음 단의 소스 드라이버(312와 316)에서 사용될 제2동작제어신호를 생성하고 생성된 제2동작제어신호를 대응되는 버스(611과 615)를 통하여 다음 단의 소스 드라이버(312와 316)로 출력한다.

여기서 제1동작제어신호(CDIOR 또는 CDIOL), 극성제어신호(POL) 및 제2동작제어신호는 A구간동안 동시에 전송되는 것이 바람직하다. 또한, 제1동작제어신호 (CDIOR 또는 CDIOL), 극성제어신호(POL) 및 제2동작제어신호는 각 소스 드라이버 (312와 316)에 할당된 디스플레이 데이터가 각 소스 드라이버(311과 315)로부터 각 소스 드라이버(312와 316)로 전송되기 전에 각 소스 드라이버(312와 316)로 전송되는 것이 바람직하다.

각 소스 드라이버(311 내지 318)에 할당된 디스플레이 데이터가 각 소스 드라이버(311 내지 318)에 모두 저장되면, B구간에서 메모리 컨트롤러(320)는 대응되는 버스(602, 606, 610, 614)를 통하여 논리 로우(L)를 갖는 제1동작제어신호 (CDIOR 또는 CDIOL)를 각 소스 드라이버(311 내지 318)로 출력하고, 대응되는 버스 (603, 607, 611, 615)를 통하여 논리 하이(H) 갖는 제2동작제어신호를 각 소스 드라이버(311 내지 318)로 출력한다.

도 8에 도시된 각 소스 드라이버(311 내지 318)의 로직회로(505)는 논리 로우(L)를 갖는 제1동작제어신호(CDIOR 또는 CDIOL)와 논리 하이(H) 갖는 제2동작제어신호에 응답하여 로드신호(LOAD)를 발생한다.

따라서 각 소스 드라이버(311 내지 318)는 극성제어신호(POL)와 로드신호 (LOAD)에 응답하여 디스플레이 패널(12)의 데이터 라인들을 구동한다. 따라서 디스플레이 데이터는 디스플레이 패널(12)상에서 디스플레이된다. 본 발명에 따른 타이밍 컨트롤러(320)와 각 소스 드라이버(311 내지 318)는 제1동작제어신호, 제2동작제어신호 및 극성제어신호를 포함하는 신호들의 전송규칙, 및 상기 신호들이 전송되는 버스(또는 대응되는 데이터 라인)에 대한 정보를 공유한다.

도 10은 본 발명의 다른 실시예에 따른 디스플레이 장치의 구조를 나타낸다. 도 10을 참조하면, 디스플레이 장치(1000)는 타이밍 컨트롤러(320), n(여기서 n은 자연수)개의 소스 드라이버들(311, 312, ..., 314) 및 m(여기서 m은 자연수)개의 게이트 드라이버들(331,...,333)을 구비한다.

다수개의 소스 드라이버들(311, 312, ..., 314)은 서로 시리얼 캐스케이드로 접속되고, 타이밍 컨트롤러(320)와 소스 드라이버(311)사이에 접속되는 버스구조는 도 4와 도 7에 각각 도시된 타이밍 컨트롤러(320)와 소스 드라이버(311)사이에 접속되는 버스구조와 실질적으로 동일하다. 그리고 타이밍 컨트롤러(320)와 소스 드라이버(311)사이에 데이터 반전신호를 전송하기 위한 버스가 더 구비되는 경우, 각 소스 드라이버들 사이에도 상기 데이터 반전신호를 전송하기 위한 버스가 더 구비될 수 있다.

또한, 소스 드라이버들(311과 3122)사이에 접속되는 버스의 구조는 도 4와 도 7에 각각 도시된 타이밍 컨트롤러(320)와 소스 드라이버(311)사이에 접속되는 버스구조와 실질적으로 동일하다.

따라서 당업계에서 통상의 지식을 가진 자라면, 도 6 및 도 9에 도시된 타이밍 도로부터 도 10에 도시된 디스플레이 장치(1000)의 동작이 용이하게 이해될 수 있을 것이다.

본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 버스구조를 갖는 디스플레이 장치는 타이밍 컨트롤러와 소스 드라이버사이에 접속되는 버스들의 수를 줄일 수 있다. 따라서 줄어든 버스들의 수만큼 상기 디스플레이 장치가 소비하는 전류가 감소한다. 또한 본 발명에 따른 디스플레이 장치가 발생하는 EMI는 감소한다.

그리고 버스들의 수가 감소함에 따라 배선의 두께 및/또는 배선의 간격을 효율적으로 할 수 있다. 또한, 전류 구동방식을 사용하는 디스플레이 장치의 경우, 패널 배선저항의 감소로 인한 상기 디스플레이 장치의 성능이 개선되는 효과가 있다.

(57) 청구의 범위

청구항 1.

디스플레이 장치에 있어서,

타이밍 컨트롤러로부터 출력된 클락신호를 소스 드라이버로 전송하기 위한 제1버스;

상기 타이밍 컨트롤러로부터 출력된 제1동작 제어신호를 상기 소스 드라이버로 전송하기 위한 제2버스; 및

상기 타이밍 컨트롤러로부터 출력된 디스플레이 데이터를 상기 소스 드라이버로 전송하기 위한 다수개의 데이터 라인들을 구비하는 데이터 버스를 구비하며,

상기 타이밍 컨트롤러는,

제1구간동안 상기 다수개의 데이터 라인들 중에서 제1데이터 라인을 통하여 제2동작제어신호를 상기 소스 드라이버로 출력하고, 제2데이터 라인을 통하여 극성제어신호를 상기 소스 드라이버로 출력하고,

제2구간동안 상기 다수개의 데이터 라인들 중에서 적어도 하나의 데이터 라인을 통하여, 제2동작제어신호를 상기 소스 드라이버로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 2.

제1항에 있어서, 상기 제1버스, 상기 제2버스, 상기 데이터 버스 상의 신호들은 싱글 엔디드(single-ended) 신호인 것을 특징으로 하는 디스플레이 장치.

청구항 3.

제1항에 있어서, 상기 디스플레이 장치는,

상기 타이밍 컨트롤러로부터 출력된 데이터 반전신호를 상기 소스 드라이버로 전송하기 위한 제3버스를 더 구비하는 것을 특징으로 하는 디스플레이 장치.

청구항 4.

제3항에 있어서, 상기 제1버스, 상기 제2버스, 상기 데이터 버스, 및 상기 제3버스 상의 신호들 각각은 차동신호들인 것을 특징으로 하는 디스플레이 장치.

청구항 5.

제1항에 있어서, 상기 타이밍 컨트롤러는 상기 소정의 구간동안 상기 제1동작 제어신호의 논리상태와 동일한 논리 상태를 갖는 제2동작 제어신호를 상기 다수개의 데이터 라인 중에서 제1데이터 라인을 통하여 상기 소스 드라이버로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 6.

제5항에 있어서, 상기 소스 드라이버는 상기 제1동작 제어신호와 상기 제2동작제어신호에 응답하여 상기 디스플레이 데이터를 래치하는 것을 특징으로 하는 디스플레이 장치.

청구항 7.

제5항에 있어서,

상기 타이밍 컨트롤러는 상기 소정의 구간동안 극성제어신호를 상기 다수개의 데이터 라인들 중에서 제2데이터 라인을 통하여 상기 소스 드라이버로 출력하고,

상기 소스 드라이버는 상기 극성제어신호에 응답하여 출력될 디스플레이 데이터의 극성을 제어하는 것을 특징으로 하는 디스플레이 장치.

청구항 8.

제1항에 있어서, 상기 타이밍 컨트롤러는 상기 소정의 구간동안 상기 제1동작제어신호의 논리상태와 서로 다른 논리 상태를 갖는 제2동작제어신호를 상기 다수개의 데이터 라인 중에서 제1데이터 라인을 통하여 상기 소스 드라이버로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 9.

제8항에 있어서, 상기 소스 드라이버는 극성제어신호와 상기 제1동작제어신호와 상기 제2동작제어신호에 기초하여 출력될 디스플레이 데이터를 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 10.

디스플레이 장치에 있어서,

타이밍 컨트롤러로부터 출력된 클락신호를 소스 드라이버로 전송하기 위한 제1버스;

상기 타이밍 컨트롤러로부터 출력된 제1동작제어신호를 상기 소스 드라이버로 전송하기 위한 제2버스;

상기 타이밍 컨트롤러로부터 출력된 데이터 반전신호를 상기 소스 드라이버로 전송하기 위한 제3버스; 및

상기 타이밍 컨트롤러로부터 출력된 디스플레이 데이터를 상기 소스 드라이버로 전송하기 위한 다수개의 데이터 라인들을 구비하는 데이터 버스를 구비하며,

상기 타이밍 컨트롤러는,

제1구간동안 상기 다수개의 데이터 라인들 중에서 제1데이터 라인을 통하여 제2동작제어신호를 상기 소스 드라이버로 출력하고, 제2데이터 라인을 통하여 극성제어신호를 상기 소스 드라이버로 출력하고,

제2구간동안 상기 제2버스, 상기 제3버스와 상기 다수개의 데이터 라인들 중에서 적어도 하나의 데이터 라인을 통하여, 제2동작제어신호를 상기 소스 드라이버로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 11.

제10항에 있어서, 상기 타이밍 컨트롤러는 극성제어신호를 상기 다수개의 데이터 라인들 중에서 어느 하나의 데이터 라인을 통하여 상기 소스 드라이버로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 12.

제10항에 있어서, 상기 타이밍 컨트롤러는 상기 소정 구간동안 동일한 논리 상태를 갖는 상기 제1동작제어와 상기 데이터 반전신호를 상기 소스 드라이버로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 13.

제10항에 있어서, 상기 타이밍 컨트롤러는 상기 소정 구간동안 서로 다른 논리 상태를 갖는 상기 제1동작제어신호와 상기 데이터 반전신호를 상기 소스 드라이버로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 14.

타이밍 컨트롤러와 소스 드라이버를 구비하는 디스플레이 장치에 있어서,

상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되는 제1버스;

상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되는 제2버스;

상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되고, 제1데이터 라인, 제2데이터 라인 및 제3데이터 라인을 구비하는 데이터 버스; 및

제1구간동안 클락신호와 제1동작제어신호와 제2동작제어신호와 극성제어신호를 발생하고, 제2구간동안 상기 클락신호와 상기 제1동작제어신호와 상기 제2동작제어신호를 발생하는 타이밍 컨트롤러를 구비하고,

상기 타이밍 컨트롤러는 상기 제1구간동안 상기 클락신호를 상기 제1버스로 출력하고 상기 제1동작제어신호를 상기 제2버스로 출력하고 상기 제2동작제어신호를 상기 제1데이터 라인으로 출력하고 상기 극성제어신호를 상기 제2데이터 라인으로 출력하고, 상기 제2구간동안 상기 클락신호를 상기 제1버스로 출력하고 상기 제1동작제어신호를 상기 제2버스로 출력하고 상기 제2동작제어신호를 상기 제1데이터 라인 내지 제3데이터 라인 중에서 어느 하나의 데이터 라인으로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 15.

제14항에 있어서,

상기 제1구간동안 상기 제2버스 상의 신호의 논리 상태와 상기 제1데이터 라인상의 신호의 논리 상태는 동일한 논리 상태를 갖고,

상기 제2구간동안 상기 제2버스 상의 신호의 논리 상태와 상기 제1데이터 라인상의 신호의 논리 상태는 서로 다른 논리 상태를 갖는 것을 특징으로 하는 디스플레이 장치.

청구항 16.

제14항에 있어서, 상기 타이밍 컨트롤러는 디스플레이 데이터를 발생하고,

상기 타이밍 컨트롤러는 상기 제1구간과 상기 제2구간사이에 존재하는 데이터 구간동안 상기 디스플레이 데이터를 상기 데이터 버스를 통하여 상기 소스 드라이버로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 17.

제14항에 있어서, 상기 제1버스, 상기 제2버스, 상기 데이터 버스상의 신호들은 싱글 엔디드(single-ended) 신호인 것을 특징으로 하는 디스플레이 장치.

청구항 18.

타이밍 컨트롤러와 소스 드라이버를 구비하는 디스플레이 장치에 있어서,

상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되는 제1버스;

상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되는 제2버스;

상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되는 제3버스;

상기 타이밍 컨트롤러와 상기 소스 드라이버사이에 접속되고 다수개의 데이터 라인들을 구비하는 데이터 버스; 및

제1구간동안 클락신호와 제1동작제어신호와 제2동작제어신호와 극성제어신호를 발생하고, 제2구간동안 상기 클락신호와 상기 제1동작제어신호와 상기 제2동작제어신호를 발생하는 타이밍 컨트롤러를 구비하고,

상기 타이밍 컨트롤러는 상기 제1구간동안 상기 클락신호를 상기 제1버스로 출력하고 상기 제1동작제어신호를 상기 제2버스로 출력하고 상기 제2동작제어신호를 상기 제3버스로 출력하고 상기 극성제어신호를 상기 다수개의 데이터 라인들 중에서 어느 하나의 데이터 라인으로 출력하고, 상기 제2구간동안 상기 클락신호를 상기 제1버스로 출력하고 상기 제1동작제어신호를 상기 제2버스로 출력하고 상기 제2동작제어신호를 상기 제3버스로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 19.

제18항에 있어서,

상기 제1구간동안 상기 제1동작제어신호와 상기 제2동작제어신호는 동일한 논리 상태를 갖고,

상기 제2구간동안 상기 제1동작제어신호와 상기 제2동작제어신호는 서로 다른 논리 상태를 갖는 것을 특징으로 하는 디스플레이 장치.

청구항 20.

제18항에 있어서,

상기 타이밍 컨트롤러는 디스플레이 데이터와 데이터 반전신호를 발생하고,

상기 타이밍 컨트롤러는 상기 제1구간과 상기 제2구간사이에 존재하는 데이터전송구간동안 상기 디스플레이 데이터를 상기 데이터 버스를 통하여 상기 소스 드라이버로 전송하고, 상기 데이터 반전신호를 상기 제3버스를 통하여 상기 소스 드라이버로 전송하는 것을 특징으로 하는 디스플레이 장치.

청구항 21.

제18항에 있어서, 상기 제1버스, 상기 제2버스, 상기 제3버스, 및 상기 데이터 버스상의 신호들은 차동 신호들인 것을 특징으로 하는 디스플레이 장치.

청구항 22.

디스플레이 장치에 있어서,

시리얼 캐스케이드로 접속된 다수개의 소스 드라이버들;

상기 다수개의 소스 드라이버들 중에서 첫 번째 소스 드라이버와 타이밍 컨트롤러를 접속시키기 위한 다수개의 버스들을 구비하는 제1신호전송수단; 및

상기 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들사이에 접속되는 다수개의 버스들을 구비하는 제2신호전송수단을 구비하고,

상기 제1신호전송수단은,

상기 타이밍 컨트롤러로부터 출력된 클락신호를 전송하는 제1버스;

상기 타이밍 컨트롤러로부터 출력된 제1동작제어신호를 전송하는 제2버스; 및

상기 타이밍 컨트롤러로부터 출력된 디스플레이 데이터를 전송하는 다수개의 데이터 라인들을 구비하는 제1데이터 버스를 구비하고,

상기 타이밍 컨트롤러는,

제1구간동안 상기 제1데이터 버스의 제1데이터 라인을 통하여 제2동작제어신호를 전송하고, 상기 제1데이터 버스의 제2데이터 라인을 통하여 극성제어신호를 전송하고,

제2구간동안 상기 제1데이터 버스의 상기 다수개의 데이터 라인들 중에서 적어도 하나의 데이터 라인을 통하여, 제2동작제어신호를 전송하는 것을 특징으로 하는 디스플레이 장치.

청구항 23.

삭제

청구항 24.

제22항에 있어서,

상기 타이밍 컨트롤러는 소정 구간동안 다수개의 제어신호들을 발생하고,

상기 타이밍 컨트롤러는 상기 제1동작제어신호를 상기 제1버스로 전송하고, 상기 다수개의 제어신호들 중에서 제2동작제어신호를 상기 다수개의 데이터 라인들 중에서 제1데이터 라인으로 전송하고, 상기 다수개의 제어신호들 중에서 제3동작제어신호를 상기 다수개의 데이터 라인들 중에서 제2데이터 라인으로 전송하는 것을 특징으로 하는 디스플레이 장치.

청구항 25.

삭제

청구항 26.

제22항에 있어서, 상기 제2신호전송수단은,

상기 클락신호를 전송하는 제3버스;

상기 제1동작제어신호를 전송하는 제4버스; 및

상기 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들 중에서 제1소스 드라이버를 통과한 디스플레이 데이터를 상기 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들 중에서 제2소스 드라이버로 전송하는 다수개의 데이터 라인들을 구비하는 제2데이터 버스를 구비하며,

상기 제1소스 드라이버에서 생성된 상기 제2소스 드라이버의 동작을 제어하기 위한 적어도 하나의 제2동작 제어신호는 상기 제2데이터 버스의 적어도 하나의 데이터 라인을 통하여 상기 제2소스 드라이버로 전송되는 것을 특징으로 하는 디스플레이 장치.

청구항 27.

디스플레이 장치에 있어서,

타이밍 컨트롤러; 및

시리얼 캐스케이드로 접속된 다수개의 소스 드라이버들을 구비하는 제1소스 드라이버 블락;

시리얼 캐스케이드로 접속된 다수개의 소스 드라이버들을 구비하는 제2소스 드라이버 블락;

상기 타이밍 컨트롤러와 상기 제1소스 드라이버 블락 내의 상기 다수개의 소스 드라이버들 중에서 첫 번째 소스 드라이버 사이에 접속되는 1군의 버스들;

상기 타이밍 컨트롤러와 상기 제2소스 드라이버 블락 내의 상기 다수개의 소스 드라이버들 중에서 첫 번째 소스 드라이버 사이에 접속되는 2군의 버스들;

상기 제1소스 드라이버 블락 내에서 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들사이에 접속되는 3군의 버스들; 및

상기 제2소스 드라이버 블락 내에서 시리얼 캐스케이드로 접속된 두 개의 소스 드라이버들사이에 접속되는 4군의 버스들을 구비하는 것을 특징으로 하는 디스플레이 장치.

청구항 28.

제27항에 있어서, 상기 1 내지 4군의 버스들 각각은,

상기 타이밍 컨트롤러로부터 발생된 클락신호를 전송하는 제1신호 패스;

상기 타이밍 컨트롤러로부터 발생된 동작제어신호를 전송하는 제2신호패스; 및

상기 타이밍 컨트롤러로부터 발생된 디스플레이 데이터를 전송하는 다수개의 데이터 라인들을 구비하는 제3신호 패스를 구비하며,

상기 타이밍 컨트롤러는 소정의 구간동안 대응되는 소스 드라이버의 동작을 제어하기 위한 다수개의 제어신호들을 발생하고,

상기 다수개의 제어신호들 중에서 적어도 하나의 제어신호는 상기 소정 구간동안 상기 제2신호패스와 상기 다수개의 데이터 라인들 중에서 대응되는 데이터 라인을 통하여 대응되는 소스 드라이버로 전송되는 것을 특징으로 하는 디스플레이 장치.

청구항 29.

디스플레이 장치에 있어서,

타이밍 컨트롤러로부터 출력된 제1클락신호를 제1소스 드라이버로 전송하기 위한 제1버스;

상기 타이밍 컨트롤러로부터 출력된 제1동작 제어신호를 상기 제1소스 드라이버로 전송하기 위한 제2버스;

상기 타이밍 컨트롤러로부터 출력된 제1디스플레이 데이터를 상기 제1소스 드라이버로 전송하기 위한 다수개의 데이터 라인들을 구비하는 제1데이터 버스;

상기 타이밍 컨트롤러로부터 출력된 제2클락신호를 제2소스 드라이버로 전송하기 위한 제3버스;

상기 타이밍 컨트롤러로부터 출력된 제2동작 제어신호를 상기 제2소스 드라이버로 전송하기 위한 제4버스; 및

상기 타이밍 컨트롤러로부터 출력된 제2디스플레이 데이터를 상기 제2소스 드라이버로 전송하기 위한 다수개의 데이터 라인들을 구비하는 제2데이터 버스;

상기 타이밍 컨트롤러는 소정 구간동안 상기 제2버스와 상기 제1데이터 버스를 구성하는 다수개의 데이터 라인들 중에서 적어도 하나의 데이터 라인을 통하여 상기 제1소스 드라이버의 동작을 제어하기 위한 제어신호들 각각을 상기 제1소스 드라이버로 출력하고,

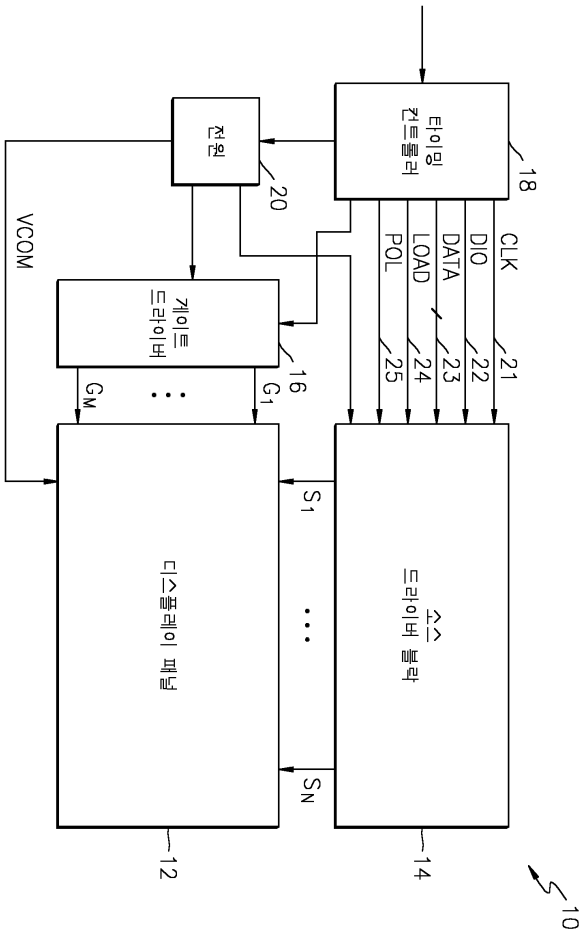
상기 타이밍 컨트롤러는 상기 소정 구간동안 상기 제4버스와 상기 제2데이터 버스를 구성하는 다수개의 데이터 라인들 중에서 적어도 하나의 데이터 라인을 통하여 상기 제2소스 드라이버의 동작을 제어하기 위한 제어신호들 각각을 상기 제2소스 드라이버로 출력하는 것을 특징으로 하는 디스플레이 장치.

청구항 30.

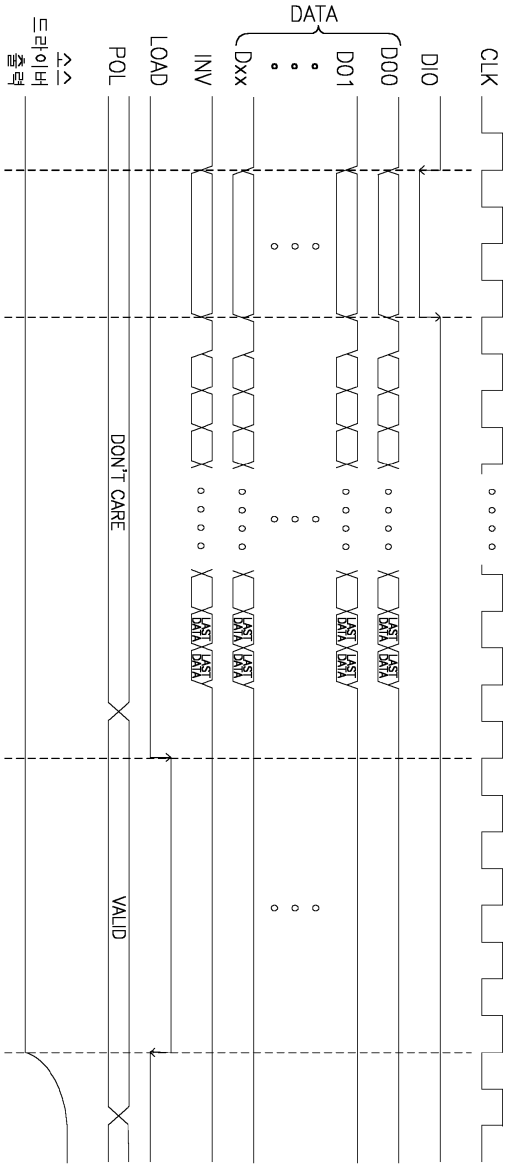
제29항에 있어서, 상기 제1클락신호와 상기 제2클락신호는 동일한 신호이고, 상기 제1동작 제어신호와 상기 제2동작 제어신호는 동일한 신호인 것을 특징으로 하는 디스플레이 장치.

도면

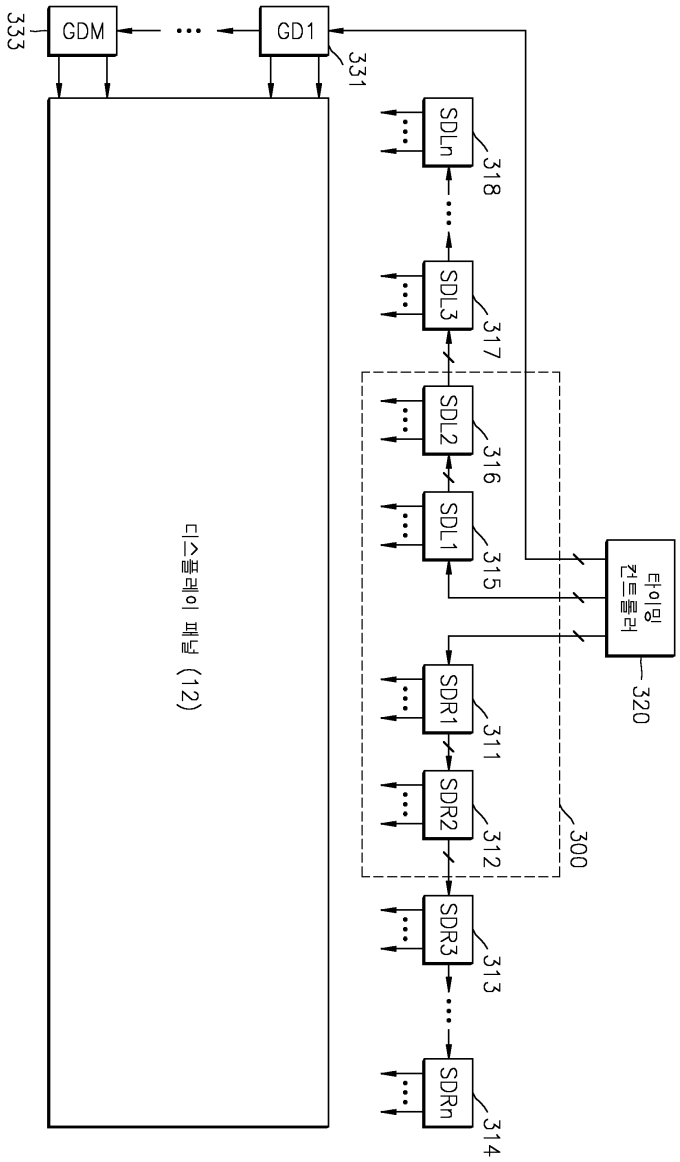
도면1


타이밍
컨트롤러
18
전원
20
VCOM
게이트
드라이버
16
GM
G1
CLK
DIO
DATA
LOAD
POL
21
22
23
24
25
S1
SN
디스플레이 패널
12
소스
드라이버 블락
14
10

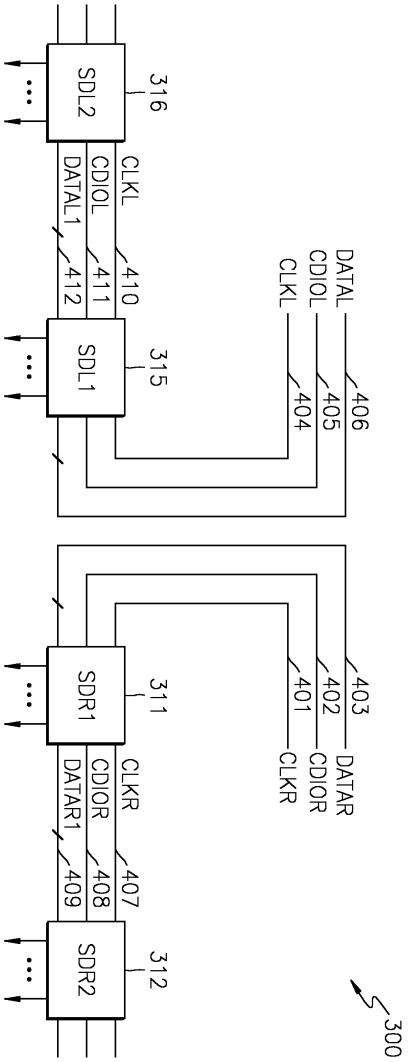
도면2


CLK
DIO
DATA
D00
D01
Dxx
INV
LOAD
POL
출력 드라이버
DON'T CARE
VALID
LAST DATA

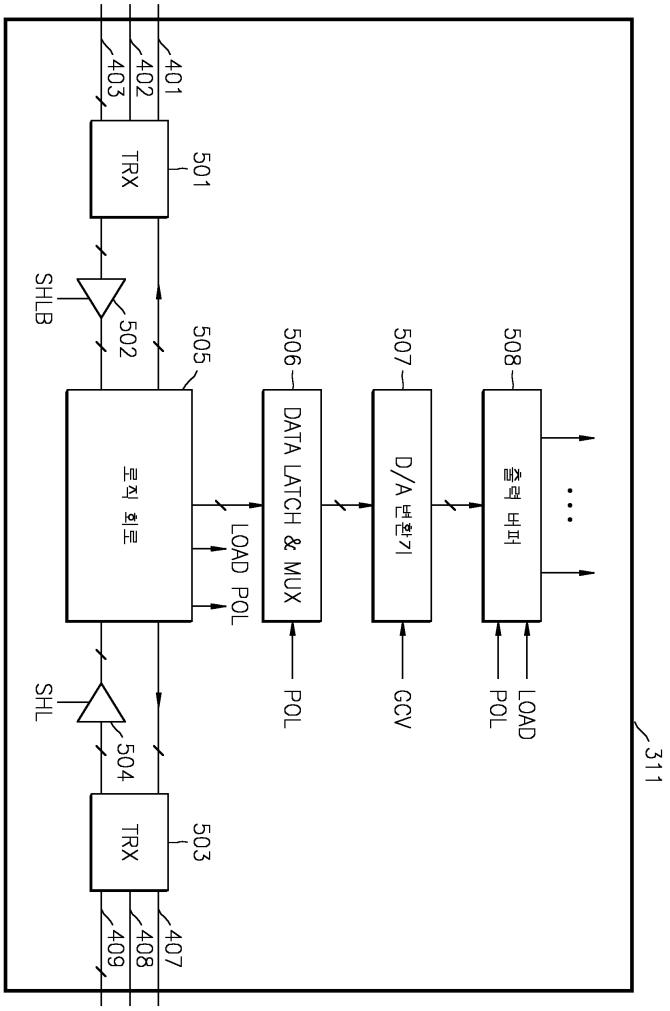
도면3


GDM
GD1
333
331
SDLn
318
SDL3
317
SDL2
316
SDL1
315
타이밍
컨트롤러
320
SDR1
311
SDR2
312
300
SDR3
313
SDRn
314
디스플레이 패널 (12)

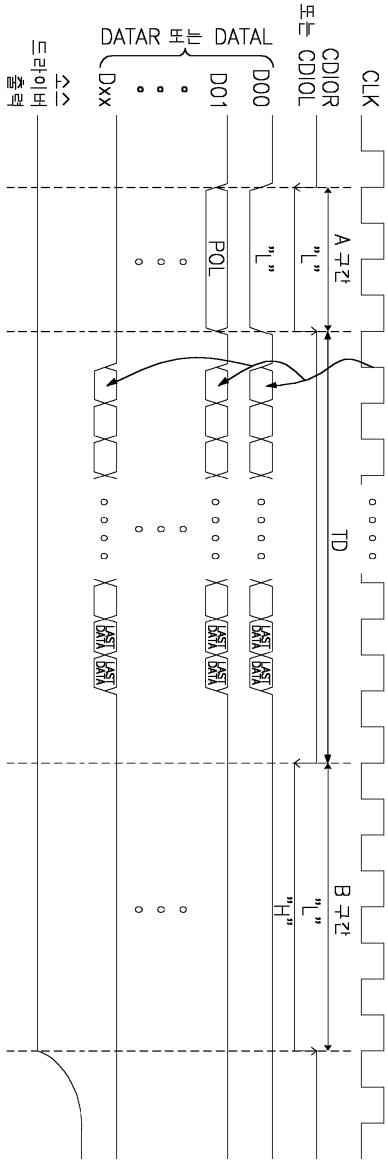
도면4


SDL2
316
CLKL
CDIOL
DATAL1
410
411
412
SDL1
315
DATAL
CDIOL
CLKL
406
405
404
SDR1
311
CLKR
CDIOR
DATAR1
407
408
409
SDR2
312
DATAR
CDIOR
CLKR
403
402
401
300

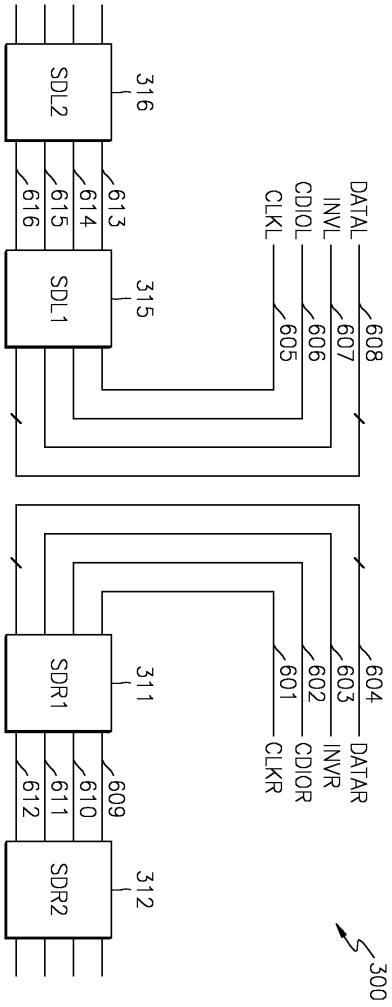
도면5


401
402
403
TRX
501
SHLB
502
505
로직 회로
LOAD
POL
506
DATA LATCH & MUX
POL
507
D/A 변환기
GCV
508
출력 버퍼
LOAD
POL
311
SHL
504
TRX
503
407
408
409

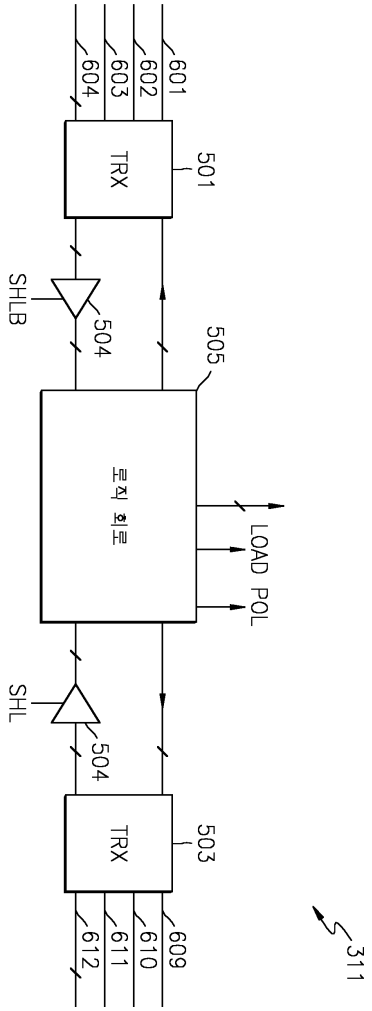
도면6


CLK
CDIOR 또는 CDIOL
DATAR 또는 DATAL
D00
D01
Dxx
드라이버 출력 >>
A 구간
"L"
"L"
POL
TD
B 구간
"L"
"H"
"L"
LAST DATA

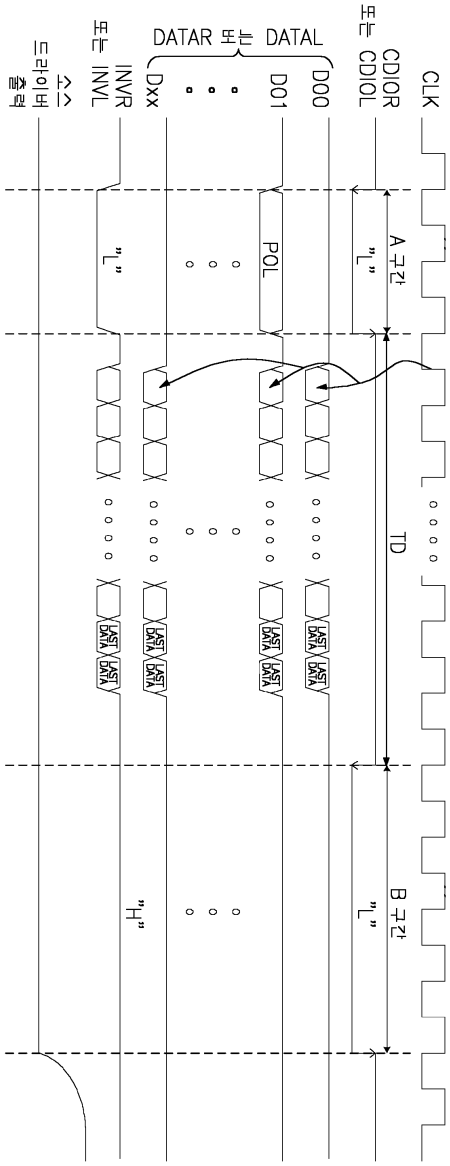
도면7


SDL2
316
613
614
615
616
SDL1
315
DATAL
INVL
CDIOL
CLKL
608
607
606
605
SDR1
311
609
610
611
612
SDR2
312
DATAR
INVR
CDIOR
CLKR
604
603
602
601
300

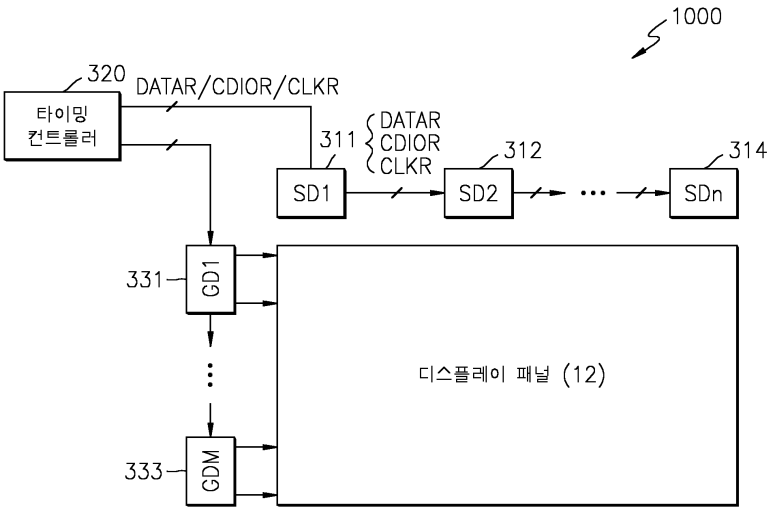
도면8


601
602
603
604
TRX
501
SHLB
504
505
로직 회로
LOAD POL
SHL
504
TRX
503
609
610
611
612
311

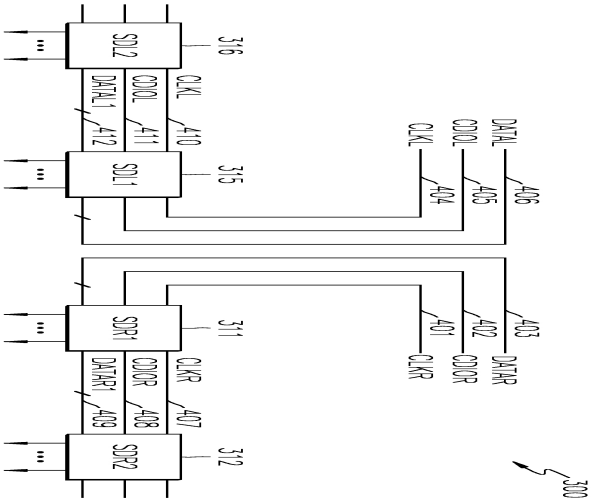
도면9


드라이버 출력
또는 INVR INVL
DATAR 또는 DATAL
Dxx
D01
D00
또는 CDIOR CDIOL
CLK
"L"
POL
"L"
A 구간
TD
LAST DATA
"H"
"L"
B 구간

도면10


1000
320
타이밍 컨트롤러
DATAR/CDIOR/CLKR
311
DATAR
CDIOR
CLKR
312
314
SD1
SD2
SDn
331
GD1
333
GDM
디스플레이 패널 (12)

专利名称(译)	显示设备		
公开(公告)号	KR100604829B1	公开(公告)日	2006-07-28
申请号	KR1020040002670	申请日	2004-01-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM KYUNGWOL 김경월 JEON YONGWEON 전용원		
发明人	김경월 전용원		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/00 G11C16/04		
CPC分类号	G09G2320/02 G09G3/3685 A61F7/007 A61F2007/0045 A61F2007/0086 A61F2007/0095 A61H39/04 A61H2205/12 G05D23/19 H05B3/20 H05B2203/004		
代理人(译)	李，杨HAE		
其他公开文献	KR1020050074781A		
外部链接	Espacenet		

摘要(译)

公开了一种具有与定时控制器和串联级联连接的多个源极驱动器的显示装置。从所述多个连接到所述定时控制器和串行级联的源极驱动器中的第一源极驱动器之间连接到所述第一，第二和第三总线。在第一周期期间时钟信号是第一通过第一总线发送时，第一操作控制信号通过所述第二总线传送所述第一，第二操作控制信号是多个构成数据线中的第一所述第三总线并且，通过多条数据线中的第二数据线发送极性控制信号。此外，在第二周期期间，时钟信号通过第一总线传输时，第一操作控制信号经由所述第二总线和所述第二操作控制信号发送是构成第三总线的多个数据的Lt; RTI ID = 0.0> line。 & lt; & lt; & gt;源极驱动器基于所述状态和所述第一操作控制信号数据的第二操作控制信号的状态的组合，所述第一启动信号，并在每个间隔的加载信号。因此，根据本发明的显示装置可以减少传输信号的信号线的数量。 4 指数方面 TFT-LCD