

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G09G 3/36

(45) 공고일자 2004년08월04일
(11) 등록번호 10-0443186
(24) 등록일자 2004년07월26일

(21) 출원번호 10-2000-0087574
(22) 출원일자 2000년12월30일

(65) 공개번호 10-2002-0057274
(43) 공개일자 2002년07월11일

(73) 특허권자 비오이 하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 임호남
서울특별시서초구양재동20-12정현빌딩401호
신섭
서울특별시강동구명일동15번지삼익아파트601동1503호

권태혁
경기도이천시부발읍응암리97

(74) 대리인 강성배

심사관 : 나용수

(54) 액정 디스플레이 장치의 구동회로 및 그에 따른 구동방법

요약

본 발명은 액정 디스플레이 장치의 구동회로에 관한 것으로, 데이터 클럭을 변조하여 EMI를 감소시킴으로써 화질을 개선할 수 있다. 이를 위한 본 발명의 액정 디스플레이 장치의 구동회로는 메인 클럭신호를 클럭 신호로 사용하고 클리어 신호를 수신하는 플립플롭과, 상기 플립플롭의 출력 신호를 피드백하여 그 신호의 반전 신호를 일측 단자로 입력하고, 1수평 주기의 시작시에 생성되는 리셋 신호의 반전 신호를 다른 측 단자의 입력으로 하여 논리 연산하는 제 1 논리소자와, 상기 플립플롭의 출력신호와 상기 메인 클럭신호를 입력하여 논리 연산된 신호를 출력하며 서로 병렬 연결된 제 2 및 제 3 논리소자와, 상기 제 2 논리소자의 출력신호와 1수평 주기로 반전된 타이밍 컨트롤러의 출력신호를 입력하여 논리 연산하는 제 4 논리소자와, 상기 제 3 논리소자의 출력신호와 상기 제 4 논리소자의 출력신호를 입력하여 논리 연산하는 제 5 논리소자를 포함하여 구성되는 것을 특징으로 한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 TFT-LCD의 기본적인 구성블록도

도 2는 본 발명에 따른 액정 디스플레이 장치의 구동회로를 간략화한 구성도

도 3은 본 발명에 따른 데이터 클럭신호의 듀티비를 25%로 변조하였을 경우의 데이터 클럭신호를 설명하기 위한 타이밍도
 도 4는 본 발명에 따른 데이터 클럭신호의 듀티비를 75%로 변조하였을 경우의 데이터 클럭신호를 설명하기 위한 타이밍도
 도 5는 본 발명에 따른 데이터 클럭신호의 듀티비를 25%에서 75%로 변조하였을 경우의 데이터 클럭신호를 설명하기 위한 타이밍도
 <도면의 주요부분에 대한 부호의 설명>
 21 : 플립플롭(Flip-Flop) 22 26 : 제 1 제 5 논리소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 디스플레이 장치에 관한 것으로, 특히 데이터 클럭을 변조하여 EMI(Electromagnetic interference)를 감소시켜 화질을 개선시킨 액정 디스플레이 장치의 구동회로에 관한 것이다.

일반적으로 액정 디스플레이 장치는 크게 두 장의 유리 기판과 그 사이에 봉입된 액정으로 구성되며, 상기 스위칭 소자인 박막트랜지스터를 이용하여 상기 액정에 인가되는 전압을 제어하는 것에 의해 화상을 디스플레이 하는 소자이다.

스위칭 소자로서 박막트랜지스터(TFT:Thin Film Transistor)를 사용하는 액정 디스플레이 장치를 이른바, TFT-LCD라 칭하며, 이러한 TFT-LCD는 소비재 전자기기, 컴퓨터, 통신 단말기기 등 여러 제품에 다양하게 사용되는 평판형 디스플레이 소자이다.

이와 같은 제품들에 TFT-LCD의 적용은 최근에야 급격하게 발전되었으며, 이전에는 음극선관(CRT)이 디스플레이 시장을 대부분 점유하고 있었다.

도 1은 상기 TFT-LCD의 기본적인 구성블록도로서, 크게 액정 패널(11)과, 상기 액정 패널(11)로 게이트 구동신호를 인가하는 게이트 드라이브 IC(13)와, 상기 액정 패널(11)로 데이터 신호를 인가하는 소스 드라이브 IC(15) 및 상기 게이트 드라이브 IC(13)와 소스 드라이브 IC(15)를 제어하기 위한 컨트롤 신호를 출력하는 타이밍 컨트롤러(17)로 구성된다.

상기 액정 패널(11)은 두 장의 유리 기판과 그 사이에 액정이 봉입된 형태를 가지며, 그 중 상기 하부 유리 기판(이하, 'TFT 기판'이라 칭함)에는 복수개의 게이트 라인들과 데이터 라인들이 교차 배치되고, 각 교차 부위에는 스위칭 소자인 박막트랜지스터가 배치된다.

상기 게이트 라인과 데이터 라인의 교차에 의해 정의되는 화소영역에는 화소 전극이 형성된다.

상기 박막트랜지스터는 게이트 라인으로부터 연장된 게이트 전극과, 상기 게이트 전극의 상부에 형성되는 게이트 절연막과, 상기 게이트 절연막상에 형성되는 반도체층과, 상기 반도체층 상에 형성되는 소스/드레인 전극으로 구성되며, 상기 드레인 전극은 상기 화소전극과 전기적으로 연결되어 있다.

상기 TFT기판과 대향하는 상부 유리 기판(이하, '칼라필터 기판'이라 칭함)에는 색상을 표현하기 위한 칼라필터 패턴과, 각각의 단위 화소를 구분짓고, 상기 화소전극을 제외한 부분으로 빛이 투과되는 것을 막기 위한 블랙매트릭스 패턴이 형성된다.

그리고 상기 화소전극과 더불어 액정에 전기적인 신호를 인가하는 공통전극이 형성된다.

이와 같은 액정 디스플레이 장치는 게이트 라인에 연결되어 있는 박막트랜지스터가 온(ON)되어 있는 시간 동안에만 데이터 신호가 화소전극으로 인가된다. 즉, 게이트 라인에 인가되는 게이트 전압은 상기 게이트 라인에 연결되어 있는 박막트랜지스터의 게이트를 열게 되고, 상기 게이트 라인에 있는 각 화소전극에 신호전압이 인가된다.

일예로 i번째 게이트 라인에 있는 박막트랜지스터를 열어주는 주기인 t_{ON} 은 다음과 같은 식으로 주어지며 여기서, m은 게이트 라인의 수이고, f_F 는 프레임 주파수이다.

$$t_{ON} = (mf_F)^{-1}$$

만일, 프레임 주파수가 60Hz이고, 480개의 게이트 라인이 있다면, 상기 t_{ON} 은 34.7 μsec 가 될 것이다.

이러한 시간 주기 동안 저장 용량은 완전히 충전되어야 하며, 이 충전 주기 후에 i번째 게이트 라인의 액정 셀들은 데이터 라인으로부터 전기적으로 독립되고, i+1번째 게이트 라인에 연결되어 있는 셀들의 충전된다.

이러한 셀의 전기적 독립은 완벽하게 이루어져야 하며, 이는 다음 충전 단계에 이르기까지는 충전된 전압을 그대로 유지하고 있어야 하기 때문이다. 만일, 어떠한 이유에 의해 박막트랜지스터의 오프(OFF)전류가 증가한다면 충전되었던 신호전압은 점차 방전될 것이고, 따라서 상호 간섭(Corss talk)을 유발하여 화질을 저하시키게 된다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래 액정 디스플레이 장치는 EMI(Electromagnetic interference)가 발생하여 그로 인한 화질

의 저하를 초래하게 되는데, 종래 액정 디스플레이 장치는 데이터 클럭의 듀티비(Duty ratio)비가 50%로서 XGA급 패널일 경우에는 통상 32.5MHz의 신호를 사용한다.

그런데, 액정 디스플레이 장치에서 문제가 되고 있는 EMI의 영역은 상기 32.5MHz의 정수배 영역인 65MHz, 97.5MHz, 130MHz, 162.5MHz, 195MHz,...가 된다.

이와 같은 EMI 문제를 해결하기 위해 여러 가지 방법들이 모색되고 있으며, 그 중 하나로 데이터 또는 클럭의 주파수를 변조시키는 방법등이 있다. 하지만, 이러한 방법을 이용하기 위해서는 타이밍 컨트롤러 상에 스프레드 스펙트럼(Spread spectrum)을 구현하기 위한 PLL(Phase Locked Loop) 등과 이를 이용한 매크로(MACRO)가 필요하게 되며, 이러한 매크로(MACRO)가 준비된 에이직(ASIC) 벤더(Vender)를 통해서만 타이밍 컨트롤러에 적용할 수 밖에 없으므로 적용상에 크나 큰 문제점이 있었다.

따라서, 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, EMI를 감소시켜 고화질의 액정디스플레이 장치를 제공하기 위한 액정 디스플레이 장치의 구동회로 및 그에 따른 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 액정 디스플레이 장치의 구동회로는 메인 클럭신호를 클럭 신호로 사용하고 클리어 신호를 수신하는 플립플롭과, 상기 플립플롭의 출력 신호를 피드백하여 그 신호의 반전 신호를 일측 단자로 입력하고, 1수평 주기의 시작시에 생성되는 리셋 신호의 반전 신호를 다른 측 단자의 입력으로 하여 논리 연산하는 제 1 논리소자와, 상기 플립플롭의 출력신호와 상기 메인 클럭신호를 입력하여 논리 연산된 신호를 출력하며 서로 병렬 연결된 제 2 및 제 3 논리소자와, 상기 제 2 논리소자의 출력신호와 1수평 주기로 반전된 타이밍 컨트롤러의 출력신호를 입력하여 논리 연산하는 제 4 논리소자와, 상기 제 3 논리소자의 출력신호와 상기 제 4 논리소자의 출력신호를 입력하여 논리 연산하는 제 5 논리소자를 포함하여 구성되는 것을 특징으로 한다. 이하, 본 발명에 따른 액정 디스플레이 장치의 구동회로 및 그에 따른 구동방법을 첨부된 도면을 참고하여 설명하면 다음과 같다.

상기 구동회로는 데이터 클럭의 듀티비를 변조시키기 위한 회로 구성으로서, 데이터 클럭의 듀티비를 변조시켜 주파수 성분을 분산시키고, 이에 따라 EMI를 감소시키기 위한 것이다.

도 2는 본 발명 액정 디스플레이 장치의 구동회로의 구성도로서, 데이터 클럭 변조회로도를 간략화하여 도시한 것이다.

도 2에 도시한 바와 같이, 메인 클럭신호(MCLK_C)를 클럭(Clock)신호로 사용하고 FRST 신호를 클리어(Clear)신호로 사용하는 플립플롭(21)과, 피드백(Feedback)된 상기 플립플롭(21)의 출력신호가 일측 단자로 입력되고, 1수평 주기 시작시에 생성되는 리셋신호(Reset_M)의 반전신호를 다른 측 단자의 입력으로 하여 논리 연산하는 제 1 논리소자(22)와, 상기 플립플롭(21)의 출력신호와 상기 타이밍 컨트롤러로 입력되는 메인 클럭신호(MCLK_C)를 입력하여 논리 연산하는 서로 병렬 연결된 제 2 및 제 3 논리소자(23,24)와, 상기 제 2 논리소자(23)의 출력신호와 1수평 주기로 반전하는 타이밍 컨트롤러의 출력신호(MPOL)를 입력하여 논리 연산하는 제 4 논리소자(25) 및 상기 제 3 논리소자(24)의 출력신호와 상기 제 4 논리소자(25)의 출력신호를 입력하여 논리 연산하는 제 5 논리소자(26)를 포함하여 구성된다.

여기서, 상기 제 1, 제 3, 제 4 논리소자는 앤드(AND) 게이트로 구성하고, 제 2, 제 5 논리소자는 오아(OR) 게이트로 구성한다.

상기 구성은 데이터 클럭신호의 듀티비를 변조시키기 위한 것으로, 본 발명에서는 종래 50%이었던 듀티비를 25%와 75%로 변조하는 것을 특징으로 한다.

이와 같은 구성을 갖는 본 발명의 액정 디스플레이 장치의 구동방법을 설명하면 다음과 같다.

즉, 본 발명의 데이터 클럭 변조회로는 25%의 듀티비를 갖는 데이터 클럭신호와 75%의 듀티비를 갖는 데이터 클럭신호를 교대로 사용함으로써 32.5MHz 및 이의 정수배에 집중되었던 EMI를 주변 주파수로 변조시키는 방법이다.

도면에서 CPH신호는 아직 변조되지 않은 원래의 데이터 클럭신호이고, CPH_MDLD신호는 변조된 데이터 클럭신호이다.

이때, 변조되는 주기는 MPOL신호에 의해 바뀐다.

상기 MPOL 신호가 1수평 주기로 반전하는 신호이므로 데이터 클럭신호의 변조주기는 1수평신호 주기가 된다. 즉, 25%의 듀티비와 75%의 듀티비를 가진 데이터 클럭이 1수평 주기로 반복된다.

이 주기는 MPOL 신호 대신에 다른 주기를 가진 신호를 입력함으로써 변경이 가능하다.

도면의 MCLK_C 신호는 타이밍 컨트롤러로 입력되는 메인 클럭신호이고, RESET_M 신호는 1수평 주기의 시작시 생성되는 리셋신호이며 이 신호를 통해 데이터 클럭 신호가 바른 위상을 갖도록 리셋된다.

상기 25%와 75%의 듀티비를 갖는 데이터 클럭신호를 사용하는 방법은 한 클럭 단위로 교체하는 방법 또는 한 수평 라인 단위로 교체하는 방법. 또는 한 프레임(Frame) 단위로 교체하는 방법등 여러 가지 있을 수 있다.

도 3에 도시된 파형도는 25%의 듀티비(Duty ratio)를 갖는 데이터 클럭신호(DPH_MDLD)를 보여주며, 도 4는 75%의 듀티비를 갖는 데이터 클럭신호(CPH_MDLD)를 보여준다.

그리고 도 5는 25%에서 75%로 듀티비가 전환된 데이터 클럭신호를 보여준다.

먼저, 도 3은 25%의 듀티비를 갖는 데이터 클럭신호를 나타내는 것으로서, 데이터 클럭신호(CPH_MDLD)의 데이터(ORGB_ODD 및 OPGB_EVEN)의 래치(LATCH)는 데이터 클럭신호의 라이징(Rising) 시점에서 일어나고, 데이터 클럭신호의 변조시 라이징 타임(Rising time)은 본래의 클럭(CPH)과 동일하게 하며, 데이터 클럭신호의 폴링(Falling)만을 조정하도록 한다.

이러한 방법으로 데이터 클럭신호와 데이터 간의 셋-업(Set-Up), 홀드 타임 바이올레이션(Hold time violation) 문제가 생기는 것을 방지할 수 있다.

참고적으로, 도 4는 데이터 클럭신호(CPH_MDLD)의 듀티비가 75%로 변조되었을 경우의 데이터 클럭신호의 타이밍도이다.

한편, 도 5는 데이터 클럭신호의 듀티비가 25%에서 75%로 변하는 시점의 파형을 도시한 것으로서, 이 실시예에서는 한 수평라인의 주기로 클럭신호의 주기가 변하는 예를 설명하기 위해 한 수평 라인 주기로 변하는 타이밍 컨트롤러의 출력신호(MPOL)를 기준으로 하여 듀티비가 변하도록 한 것이다.

이때, 1데이터 클럭 단위로 듀티비가 25%에서 75%로 변하도록 할 경우에는 원래의 데이터 클럭 신호를 2분주한 클럭신호를 기준으로 하여 듀티비를 변화시킨다.

반면에, 1프레임(Frame)을 기준으로 하여 듀티비 25%에서 75%로 교체되도록 할 경우에는 프레임(Frame) 단위로 반전하는 프레임 신호(Frame signal)를 만들어 상기 프레임 신호를 기준으로 듀티비를 변화시킨다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명의 액정 디스플레이 장치의 구동회로 및 그에 따른 구동방법은 EMI영역의 데이터 클럭주파수를 변조하여 EMI를 현저하게 감소시키는 것에 의해 고화질의 액정 디스플레이 장치를 제공할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

액정 디스플레이 장치의 구동회로에 있어서,
메인 클럭신호를 클럭 신호로 사용하고 클리어 신호를 수신하는 플립플롭과,
상기 플립플롭의 출력 신호를 피드백하여 그 신호의 반전 신호를 일측 단자로 입력하고, 1수평 주기의 시작시에 생성되는 리셋 신호의 반전 신호를 다른 측 단자의 입력으로 하여 논리 연산하는 제 1 논리소자와,
상기 플립플롭의 출력신호와 상기 메인 클럭신호를 입력하여 논리 연산된 신호를 출력하며 서로 병렬 연결된 제 2 및 제 3 논리소자와,
상기 제 2 논리소자의 출력신호와 1수평 주기로 반전된 타이밍 컨트롤러의 출력신호를 입력하여 논리 연산하는 제 4 논리소자와,
상기 제 3 논리소자의 출력신호와 상기 제 4 논리소자의 출력신호를 입력하여 논리 연산하는 제 5 논리소자를 포함하여 구성되는 것을 특징으로 하는 액정 디스플레이 장치의 구동회로.

청구항 2.

제 1 항에 있어서,
상기 제 1, 제 3, 제 4 논리소자는 앤드(AND) 게이트이고, 제 2, 제 5 논리소자는 오아(OR) 게이트인 것을 특징으로 하는 액정 디스플레이 장치의 구동회로.

청구항 3.

(삭제)

청구항 4.

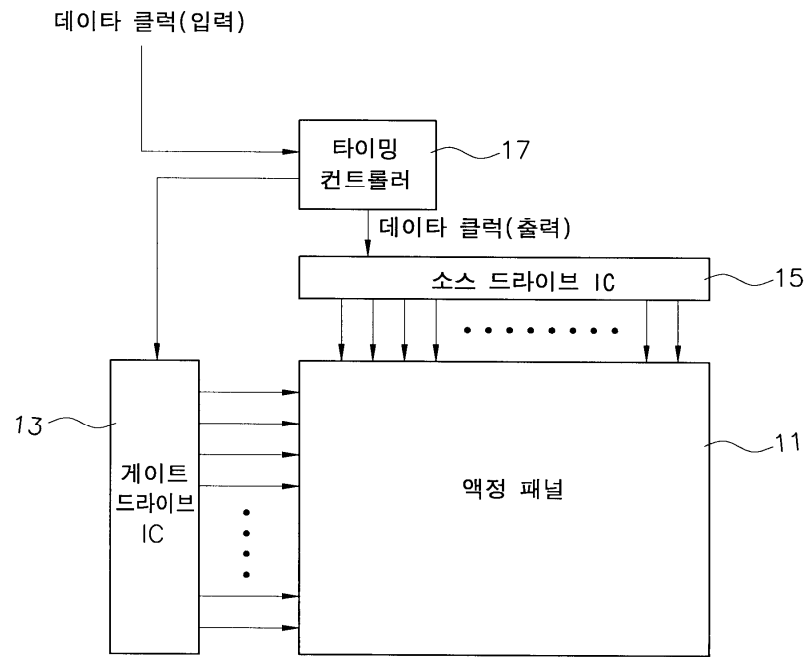
입력 클럭신호를 받아 데이터 클럭신호를 생성하는 방법에 있어서,
상기 입력 클럭신호의 듀티비를 변조하는 단계;
듀티비 변조후의 신호를 데이터 클럭신호로 이용하는 단계를 구비하며,
상기 듀티비를 25%로 변조하거나 또는 75%로 변조하거나 또는 25%에서 75%로 교번하여 변조하여 데이터 클럭신호의 주파수 성분을 EMI영역 이외의 영역으로 분산시키는 것을 특징으로 하는 액정 디스플레이 장치의 구동방법.

청구항 5.

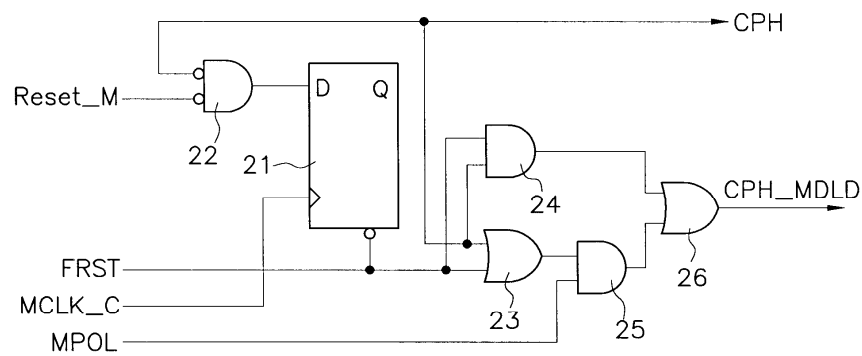
제 4 항에 있어서,
상기 듀티비를 25%로 변조하거나 또는 75%로 변조하거나 또는 25%에서 75%로 교번하여 변조하는 경우 데이터 클럭을 1데이터 클럭 또는 1수평 라인 또는 1프레임 단위로 번갈아 가면서 변조하는 것을 특징으로 하는 액정 디스플레이 장치의 구동방법.

도면

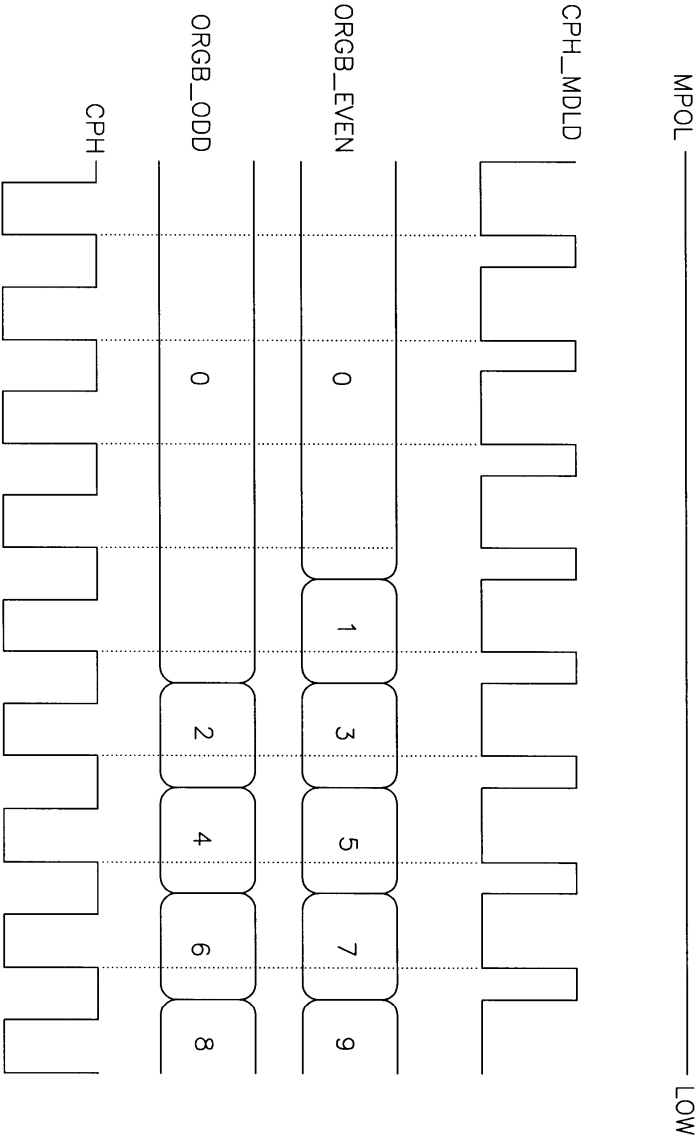
도면1



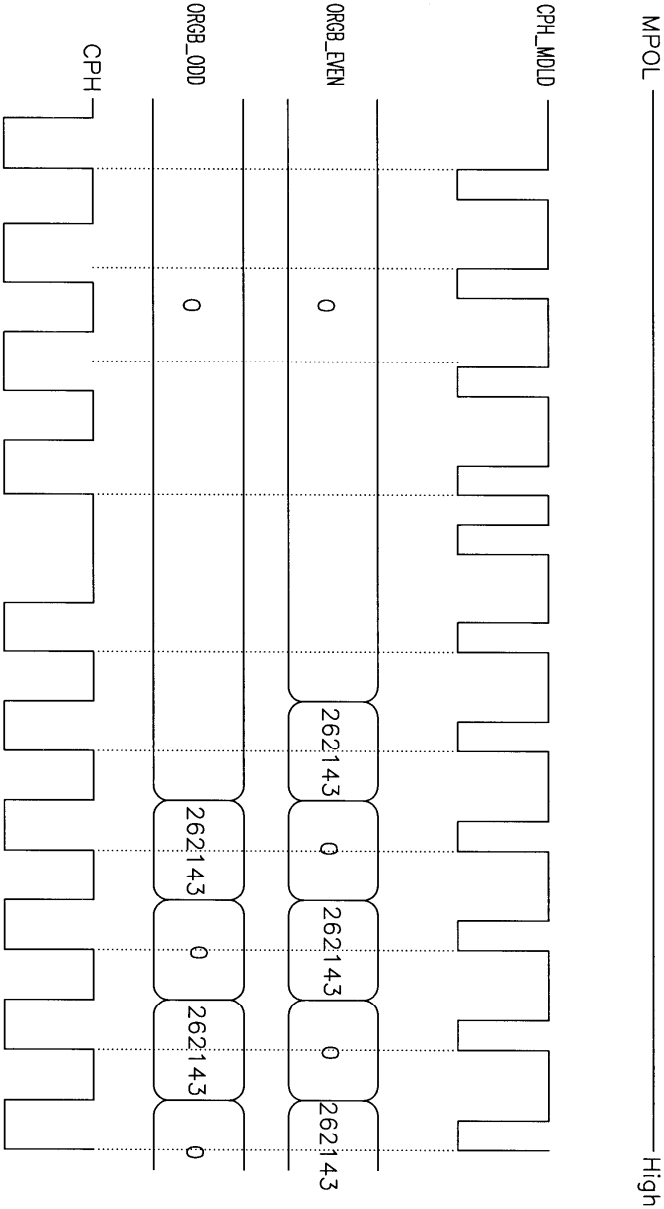
도면2



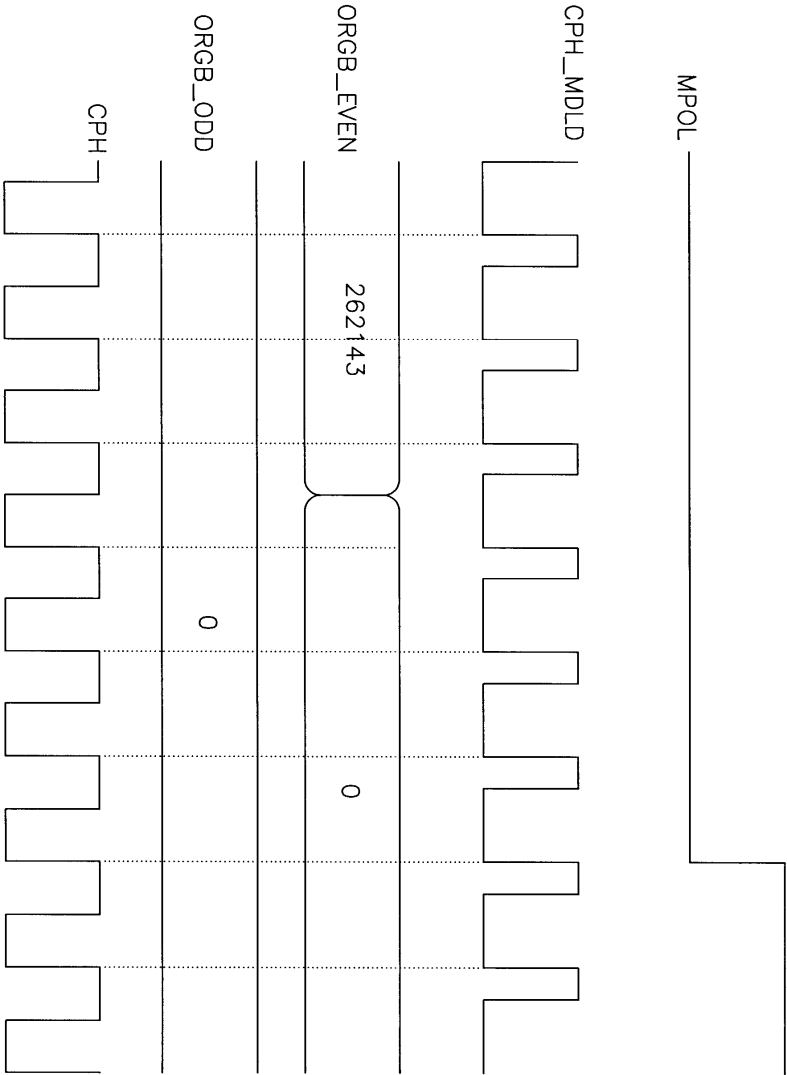
도면3



도면4



도면5



专利名称(译)	液晶显示装置的驱动电路及其驱动方法		
公开(公告)号	KR100443186B1	公开(公告)日	2004-08-04
申请号	KR1020000087574	申请日	2000-12-30
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	YIM HONAM 임호남 SHIN SEOB 신섭 KWON TAEHYUK 권태혁		
发明人	임호남 신섭 권태혁		
IPC分类号	G09G3/36		
其他公开文献	KR1020020057274A		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示器的驱动电路及其驱动方法，通过降低EMI（电磁干扰）提供高质量的液晶显示器。组成：触发器（21）使用MCLK_C信号作为时钟信号，并使用FRST信号作为清除信号。第一逻辑器件（22）通过一个端口接收触发器的输出信号，并通过另一个端口接收Reset_M信号的反相信号。第二和第三逻辑器件（23,24）彼此并联连接，并通过接收触发器的输出信号和输入到定时控制器的MCLK_C信号来执行逻辑操作。第四逻辑器件（25）通过接收第二逻辑器件的输出信号和定时控制器的MPOL信号来执行逻辑操作。并且第五逻辑器件（26）通过接收第三逻辑器件的输出信号和第四逻辑器件的输出信号来执行逻辑操作。

