(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0001534
(43) 공개일자 2008년01월03일

(51) Int. Cl.
*G02F 1/133* (2006.01)
(21) 출원번호 10-2006-0060013
(22) 출원일자 2006년06월29일
심사청구일자 없음

(71) 출원인
**엘지.필립스 엘시디 주식회사**
서울 영등포구 여의도동 20번지
(72) 발명자
**채지은**
경북 구미시 진평동 1039-2번지 (3/1)
**문수환**
경북 구미시 상모동 우방신세계타운 105동 901호
**김도헌**
부산 부산진구 양정2동 32-58 (24/3)
(74) 대리인
**특허법인로얄**

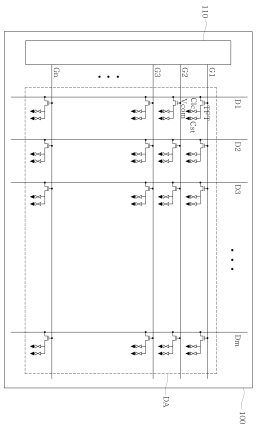
전체 청구항 수 : 총 12 항

# (54) 구동 회로 내장형 액정 패널

## (57) 요 약

본 발명은 표시 영역에 매트릭스 형태로 형성된 액정셀; 및 표시 영역의 외곽부에 형성되며 액정셀을 구동하기 위한 구동 회로를 포함하며, 구동 회로는 복수의 스테이지로 구성되어 있으며, 복수의 스테이지 각각은 제1 노드의 제어에 의해 클럭 신호를 출력선으로 출력하는 풀-업 트랜지스터; 소정 기간의 로우 전압과 소정 기간의 하이 전압이 교번적으로 공급되는 제2 노드의 제어에 의해 제1 구동 전압을 출력선으로 출력하는 풀-다운 트랜지스터; 제1 노드를 제어하는 제1 제어부; 및 제2 노드를 제어하는 제2 제어부를 포함하는 구동 회로 내장형 액정 패널을 제공한다.

*대표도* - 도5



## *특허청구의 범위*

**청구항 1**

표시 영역에 매트릭스 형태로 형성된 액정셀; 및

상기 표시 영역의 외곽부에 형성되며 상기 액정셀을 구동하기 위한 구동 회로

를 포함하며,

상기 구동 회로는 복수의 스테이지로 구성되어 있으며, 상기 복수의 스테이지 각각은

제1 노드의 제어에 의해 클럭 신호를 출력선으로 출력하는 풀-업 트랜지스터;

소정 기간의 로우 전압과 소정 기간의 하이 전압이 교번적으로 공급되는 제2 노드의 제어에 의해 제1 구동 전압을 상기 출력선으로 출력하는 풀-다운 트랜지스터;

상기 제1 노드를 제어하는 제1 제어부; 및

상기 제2 노드를 제어하는 제2 제어부

를 포함하는 구동 회로 내장형 액정 패널.

**청구항 2**

제1 항에 있어서,

하나의 클럭 신호가 인가되는 시간을 1H라고 할 때,

상기 제2 노드에는 상기 제1 노드에 하이 전압이 공급되는 시간을 제외한 나머지 시간에서 1H 동안 상기 로우 전압이 공급되고, 3H 동안 상기 하이 전압이 공급되고, 상기 1H 동안의 상기 로우 전압과 상기 3H 동안의 상기 하이 전압이 교번적으로 공급되는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

**청구항 3**

제1 항에 있어서,

상기 구동 회로는, 제1 내지 제4 클럭 신호를 사용하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

**청구항 4**

제3 항에 있어서,

상기 복수의 스테이지 각각에는, 상기 제1 내지 제4 클럭 신호 중 3개의 클럭 신호가 입력되는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

**청구항 5**

제1 항에 있어서,

상기 제1 제어부는

스타트 펄스가 공급되는 게이트 단자, 제2 구동 전압이 공급되는 드레인 단자, 및 상기 제1 노드에 접속되는 소스 단자를 구비하는 제1 트랜지스터; 및

상기 출력선의 다음단의 스테이지로부터 출력되는 출력 신호가 공급되는 게이트 단자, 상기 제1 노드와 접속되는 드레인 단자, 및 상기 제1 구동 전압이 공급되는 소스 단자를 구비하는 제5 트랜지스터

를 포함하는 구동 회로 내장형 액정 패널.

**청구항 6**

제5 항에 있어서,

상기 제1 제어부는

상기 제2 노드와 접속되는 게이트 단자, 상기 제1 노드와 접속되는 드레인 단자, 및 상기 제1 구동 전압이 공급되는 소스 단자를 구비하는 제6 트랜지스터

를 더 포함하는 구동 회로 내장형 액정 패널.

**청구항 7**

제1 항에 있어서,

상기 제2 제어부는

상기 제2 노드에 상기 소정 기간의 하이 전압을 공급하기 위한 제2 트랜지스터

를 포함하는 구동 회로 내장형 액정 패널.

**청구항 8**

제7 항에 있어서,

상기 제2 트랜지스터는

상기 출력선의 다다음단의 출력선으로 출력되는 클럭 신호와 동일한 클럭 신호가 공급되는 게이트 단자, 상기 제2 구동 전압이 공급되는 드레인 단자, 및 제2 노드와 접속되는 소스 단자

를 포함하는 구동 회로 내장형 액정 패널.

**청구항 9**

제7 항에 있어서,

상기 제2 제어부는

상기 제2 노드에 상기 소정 기간의 로우 전압을 공급하기 위한 제4 트랜지스터

를 더 포함하는 구동 회로 내장형 액정 패널.

**청구항 10**

제9 항에 있어서,

상기 제4 트랜지스터는

상기 출력선의 다음단의 출력선으로 출력되는 클럭 신호와 동일한 클럭 신호가 공급되는 게이트 단자, 상기 제2 노드와 접속되는 드레인 단자, 및 상기 제1 구동 전압이 공급되는 소스 단자

를 포함하는 구동 회로 내장형 액정 패널.

**청구항 11**

제1 항에 있어서,

상기 구동 회로는 게이트 구동 회로인 것을 특징으로 하는 구동 회로 내장형 액정 패널.

**청구항 12**

제1 내지 제11 항 중 어느 한 항에 있어서,

상기 제1 구동 전압은 저전위 구동 전압이고, 상기 제2 구동 전압은 고전위 구동 전압인 것을 특징으로 하는 구동 회로 내장형 액정 패널.

## *명 세 서*

## *발명의 상세한 설명*

### *발명의 목적*

## *발명이 속하는 기술 및 그 분야의 종래기술*

<12> 본 발명은 구동 회로 내장형 액정 패널에 관한 것이다.

<13> 휴대폰, 노트북, 데크스탑 모니터 및 텔레비젼 등의 표시 장치로 사용되는 액정 표시장치(liquid crystal display; LCD)는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위해, 액정 표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 패널, 및 액정 패널을 구동하기 위한 게이트 구동 회로 및 데이터 구동 회로를 구비한다.

<14> 상기의 구성을 가지는 종래의 액정 표시장치에서 일반적으로 게이트 구동 회로 및 데이터 구동 회로 각각은 이방성 도전 필름(anisotropic conductive film; ACF)을 통해 액정 패널의 게이트 패드부 및 데이터 패드부 각각에 부착된다. 이 때문에, 액정 패널에는 상술한 게이트 패드부 및 데이터 패드부가 형성되어 있어야 하므로 액정 패널의 크기가 커지는 문제점이 있다. 또한, 게이트 구동 회로 및 데이터 구동 회로는 액정 표시장치의 원가 중 상당한 부분을 차지한다.

<15> 상기한 이유로 인해 최근에 게이트 구동 회로를 액정 패널에 내장하여 액정 패널의 크기를 줄임과 아울러 원가를 절감할 수 있는 기술이 개발되고 있다. 여기서, 게이트 구동 회로는 비정질 실리콘 박막 트랜지스터를 이용하여 액정 패널에 내장된다.

<16> 도 1은 종래의 게이트 구동 회로 내장형 액정 패널을 개략적으로 도시한 평면도이고, 도 2는 도 1의 게이트 구동 회로의 구성을 도시한 블록도이다.

<17> 도 1 및 도 2를 참조하면, 종래의 게이트 구동 회로 내장형 액정 패널(1)에는 게이트 구동 회로(10)가 액정 패널(1)의 표시 영역(DA)의 외곽부에 내장되어 복수의 게이트선(G1, G2, G3, …, Gn)과 접속되어 있다.

<18> 게이트 구동 회로(10)는 복수의 게이트선(G1, G2, G3, …, Gn)에 순차적으로 스캔 펄스를 공급하기 위하여 스타트 펄스(Vst)의 입력선에 종속적으로 접속된 제1 내지 제n 스테이지를 구비하는 쉬프트 레지스터를 포함한다.

<19> 제1 내지 제n 스테이지에는 고전위 및 저전위 구동 전압(VDD, VSS)과 함께 클럭 신호(C)가 공통으로 공급되고, 스타트 펄스(Vst) 또는 전단 스테이지의 출력 신호(OUT1, OUT2, OUT3, …)가 공급된다. 또한, 제1 내지 제n 스테이지에는 다음단 스테이지의 출력 신호(OUT2, OUT3, …, OUTn)가 공급된다.

<20> 제1 스테이지는 스타트 펄스(Vst), 클럭 신호(C) 및 제2 스테이지의 출력 신호(OUT2)에 응답하여 제1 게이트선(G1)으로 스캔 펄스를 출력한다.

<21> 그리고, 제2 내지 제n 스테이지는 각각은 이전단 스테이지의 출력 신호(OUT1, OUT2, OUT3, …), 클럭 신호(C) 및 다음단 스테이지의 출력 신호(OUT3, …, OUTn)에 응답하여 제2 내지 제n 게이트선(G2, G3, …, Gn) 각각에 스캔 펄스를 순차적으로 출력한다. 다시 말하여, 제1 내지 제n 스테이지는 동일한 회로 구성을 갖으며, 클럭 신호(C)로는 위상이 서로 다른 적어도 2개의 클럭 신호(C)가 공급된다. 이하에서는, 제1 스테이지를 예로 들어 설명한다.

<22> 도 3은 도 2의 제1 스테이지의 상세 회로도이고, 도 4는 도 3의 제1 스테이지의 구동 파형도이다.

<23> 도 3 및 도 4를 참조하면, 제1 스테이지는 Q노드의 제어에 의해 제1 클럭 신호(C1)를 제1 게이트선(G1)으로 출력하는 풀-업 NMOS 트랜지스터(NTup) 및 QB노드의 제어에 의해 저전위 구동 전압(VSS)을 제1 게이트선(G1)으로 출력하는 풀-다운 NMOS 트랜지스터(NTdn)로 구성된 출력 버퍼부(12), 및 Q노드와 QB노드를 제어하는 제1 내지 제5 NMOS 트랜지스터(NT1, NT2, NT3, NT4, NT5)로 구성된 제어부(14)를 구비한다.

<24> 이러한 제1 스테이지에는 고전위 및 저전위 전압(VDD, VSS)과 스타트 펄스(Vst)가 공급되고, 위상이 서로 다른 제1 내지 제4 클럭 신호(C1, C2, C3, C4) 중 제1 클럭 신호(C1) 및 다음 스테이지의 출력 신호(OUT2)가 공급된다. 이하, 제1 스테이지의 동작 과정을 상세히 설명한다.

<25> A 기간에서, 스타트 펄스(Vst)의 하이 전압에 의해 제1 NMOS 트랜지스터(NT1)가 턴-온되어 고전위 구동 전압(VDD)이 Q노드로 프리-차지된다. Q노드로 프리-차지된 고전위 구동 전압(VDD)에 의해 풀-업 NMOS 트랜지스터(NTup)가 턴-온되어 제1 클럭 신호(C1)의 로우 전압이 제1 게이트선(G1)으로 공급된다. 즉, 제1 출력 신호(OUT1)는 로우 전압 상태가 된다.

<26> 이 때, 고전위 구동 전압(VDD)에 의해 제2 NMOS 트랜지스터(NT2)가 턴-온되지만, Q노드의 고전위 구동 전압(VDD)에 의해 제3 NMOS 트랜지스터(NT3)가 턴-온되므로 QB노드는 저전위 구동 전압(VSS)으로 방전되어 로우 전

압 상태가 되며, 이로 인해 제5 및 풀-다운 NMOS 트랜지스터(NT5, NTdn)는 턴-오프된다. 한편, 제4 NMOS 트랜지스터(NT4)는 제2 스테이지의 제2 출력 신호(OUT2)의 로우 전압에 의해 턴-오프 된다.

<27> B 기간에서, 스타트 펄스(Vst)의 로우 전압에 의해 제1 NMOS 트랜지스터(NT1)가 턴-오프되므로 Q노드는 하이 전압 상태로 플로팅되고, 풀-업 NMOS 트랜지스터(NTup)는 턴-온 상태를 유지한다. 이 때, 제1 클럭 신호(C1)의 하이 전압에 의해 Q노드는 풀-업 NMOS 트랜지스터(NTup)의 게이트 전극과 소스 전극의 중첩으로 형성된 기생 캐패시터(CGS)의 영향으로 부트스트래핑(bootstrapping)된다. 이에 따라, Q노드의 전압이 더욱 상승하여 풀-업 NMOS 트랜지스터(NTup)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 전압이 제1 게이트선(G1)으로 빠르게 출력된다. 즉, 제1 출력 신호(OUT1)는 하이 전압 상태가 된다.

<28> 이 때에도, 고전위 구동 전압(VDD)에 의해 제2 NMOS 트랜지스터(NT2)가 턴-온되지만, 부트스트래핑된 Q노드의 전압에 의해 제3 NMOS 트랜지스터(NT3)가 계속 턴-온 상태를 유지하므로 QB노드는 저전위 구동 전압(VSS)으로 방전되어 계속 로우 전압 상태를 유지하며, 이로 인해 제5 및 풀-다운 NMOS 트랜지스터(NT5, NTdn)도 턴-오프 상태를 유지한다. 한편, 제4 NMOS 트랜지스터(NT4)는 제2 출력 신호(OUT2)의 로우 전압에 의해 계속 턴-오프 된다.

<29> C 기간에서, 제2 출력 신호(OUT2)의 하이 전압에 의해 제4 NMOS 트랜지스터(NT4)가 턴-온되므로 Q노드는 저전위 구동 전압(VSS)으로 방전되어 로우 전압 상태로 된다. 이에 따라, 풀-업 NMOS 트랜지스터(NTup)가 턴-오프 됨과 아울러 제3 NMOS 트랜지스터(NT3)가 턴-오프되어 QB노드는 제2 NMOS 트랜지스터(NT2)의 턴-온 상태에 의해 하이 전압 상태로 바뀌게 된다. 이 때문에, 풀-다운 NMOS 트랜지스터(NTdn)가 턴-온되므로 저전위 구동 전압(VSS)이 제1 게이트선(G1)으로 출력된다. 즉, 제1 출력 신호(OUT1)는 로우 전압 상태가 된다. 한편, QB노드의 하이 전압 상태에 의해 제5 NMOS 트랜지스터(NT5)가 턴-온되어 Q노드를 로우 전압 상태로 유지시킨다.

<30> D 기간에서, QB노드의 하이 전압 상태에 의해 제5 NMOS 트랜지스터(NT5)가 턴-온 상태를 유지하므로 Q노드는 로우 전압 상태를 유지한다. 이 때, QB노드의 하이 전압 상태에 의해 풀-다운 NMOS 트랜지스터(NTdn)는 턴-온 상태를 유지하므로 저전위 구동 전압(VSS)이 제1 게이트선(G1)으로 출력된다. 즉, 제1 출력 신호(OUT1)는 로우 전압 상태가 된다.

<31> 그리고, 스타트 펄스(Vst)의 하이 전압이 공급되기 이전까지, Q노드는 로우 전압 상태를 유지하고, QB노드는 하이 전압 상태를 유지하므로, 풀-다운 NMOS 트랜지스터(NTdn)는 계속 턴-온 상태를 유지하여 제1 게이트선(G1)으로 계속 저전위 구동 전압(VSS)을 출력한다.

<32> 상술한 바와 같이, QB노드는 Q노드가 하이 전압 상태일 때를 제외하고 나머지 시간 동안 계속 하이 전압 상태를 유지하고 있으므로, QB노드의 전압을 게이트 전압으로 하는 제5 및 풀-다운 NMOS 트랜지스터(NT5, NTdn)에서는 열화가 심각하게 일어난다. 이러한 제5 및 풀-다운 NMOS 트랜지스터(NT5, NTdn)의 열화는 액정 패널(1)의 신뢰성을 떨어뜨리는 원인으로 작용한다.

<33> 또한, 열화를 방지하기 위해 열화가 심각하게 일어나는 제5 및 풀-다운 NMOS 트랜지스터(NT5, NTdn)의 크기를 키워야한다라는 문제점이 있다.

## *발명이 이루고자 하는 기술적 과제*

<34> 따라서, 본 발명이 이루고자 하는 기술적 과제는 구동 회로의 열화 현상을 억제함과 아울러 구동 회로의 크기를 작게할 수 있는 구동 회로 내장형 액정 패널을 제공하고자 하는 것이다.

<35> 본 발명이 이루고자 하는 또 다른 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

## *발명의 구성 및 작용*

<36> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 구동 회로 내장형 액정 패널은 표시 영역에 매트릭스 형태로 형성된 액정셀; 및 상기 표시 영역의 외곽부에 형성되며 상기 액정셀을 구동하기 위한 구동 회로를 포함하며, 상기 구동 회로는 복수의 스테이지로 구성되어 있으며, 상기 복수의 스테이지 각각은 제1 노드의 제어에 의해 클럭 신호를 출력선으로 출력하는 풀-업 트랜지스터; 소정 기간의 로우 전압과 소정 기간의 하이 전압이 교번적으로 공급되는 제2 노드의 제어에 의해 제1 구동 전압을 상기 출력선으로 출력하는 풀-다운 트랜지스터; 상기 제1 노드를 제어하는 제1 제어부; 및 상기 제2 노드를 제어하는 제2 제어부를 포함한다.

<37> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<38> 이하, 첨부된 도면들을 참조하여 본 발명의 실시예에 따른 구동 회로 내장형 액정 패널에 대해 상세히 설명한다.

<39> 도 5는 본 발명의 실시예에 따른 게이트 구동 회로 내장형 액정 패널을 개략적으로 도시한 평면도이고, 도 6은 도 5의 게이트 구동 회로의 구성을 도시한 블록도이다.

<40> 도 5 및 도 6을 참조하면, 본 발명의 실시예에 따른 구동 회로 내장형 액정 패널(100)은 복수의 액정셀(Clc) 및 게이트 구동 회로(110)를 포함한다.

<41> 복수의 액정셀(Clc)은 복수의 게이트선(G1, G2, G3, …, Gn)과 복수의 데이터선(D1, D2, D3, …, Dm)의 교차로 마련되는 서브 화소 영역마다 형성된다. 이 때문에, 복수의 액정셀(Clc)은 매트릭스 형태로 형성된다. 여기서, 액정셀(Clc)은 표시 영역(DA)에 형성된다.

<42> 액정셀(Clc) 각각은 박막 트랜지스터(TFT)와 접속된 화소 전극, 화소 전극과 액정을 사이에 두고 형성되며 화소 전극과 전계를 이루는 공통 전극(Vcom)으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀(Clc)은 박막 트랜지스터(TFT)를 통해 공급된 데이터 전압과 공통 전압(VCOM)과의 차전압을 충전하고 충전된 전압에 따라 액정을 구동하여 광투과율을 조절한다. 한편, 액정셀(Clc)과 병렬 접속된 스토리지 캐패시터(Cst)는 액정셀(Clc)에 충전된 데이터 전압을 안정적으로 유지시킨다.

<43> 게이트 구동 회로(110)는 표시 영역(DA)의 외곽부에 형성됨과 아울러 표시 영역(DA)의 박막 트랜지스터(TFT)와 동일 공정으로 동시에 형성된다. 이러한 게이트 구동 회로(110)는 액정셀(Clc)을 구동한다. 이를 위해, 게이트 구동 회로(110)는 자신과 접속된 복수의 게이트선(G1, G2, G3, …, Gn)에 순차적으로 스캔 펄스를 공급하며, 스타트 펄스(Vst)의 입력선에 종속적으로 접속된 제1 내지 제n 스테이지를 구비하는 쉬프트 레지스터를 포함한다.

<44> 제1 내지 제n 스테이지 각각에는 고전위 및 저전위 구동 전압(VDD, VSS)이 각각 공급된다. 또한, 제1 내지 제n 스테이지 각각에는 4개의 클럭 신호(C1, C2, C3, C4) 중 3개의 클럭 신호가 공급된다. 예를 들어, 제1 스테이지에는 제1 내지 제3 클럭 신호(C1, C2, C3)가 공급되고, 제2 스테이지에는 제2 내지 제4 클럭 신호(C2, C3, C4)가 공급된다. 또한, 제1 내지 제n 스테이지에는 스타트 펄스(Vst) 또는 이전단 스테이지의 출력 신호(OUT1, OUT2, OUT3, …)가 공급됨과 아울러 다음단 스테이지의 출력 신호(OUT2, OUT3, …, OUTn)가 공급된다.

<45> 제1 스테이지는 스타트 펄스(Vst), 제1 내지 제3 클럭 신호(C1, C2, C3) 및 제2 스테이지의 제2 출력 신호(OUT2)에 응답하여 출력선인 제1 게이트선(G1)으로 스캔 펄스인 제1 출력 신호(OUT1)를 출력한다.

<46> 그리고, 제2 내지 제n 스테이지는 각각은 이전단 스테이지의 출력 신호(OUT1, OUT2, OUT3, …), 각 스테이지에 입력되는 클럭 신호 및 다음단 스테이지의 출력 신호(OUT3, …, OUTn)에 응답하여 제2 내지 제n 게이트선(G2, G3, …, Gn) 각각에 스캔 펄스인 출력 신호(OUT2, OUT3, …, OUTn)를 순차적으로 출력한다. 여기서, 제1 내지 제n 스테이지는 동일한 회로 구성을 가지므로 이하에서는, 제1 스테이지를 예로 들어 설명한다.

<47> 도 7은 도 6의 제1 스테이지의 상세 회로도이고, 도 8은 도 7의 제1 스테이지의 구동 파형도이다.

<48> 도 7 및 도 8을 참조하면, 제1 스테이지는 풀-업 NMOS 트랜지스터(NTup), 풀-다운 NMOS 트랜지스터(NTdn), 및 제1 및 제2 제어부(114, 116)를 포함한다. 여기서, 제1 스테이지에는 고전위 및 저전위 전압(VDD, VSS)과 스타트 펄스(Vst)가 공급되고, 위상이 서로 다른 제1 내지 제3 클럭 신호(C1, C2, C3) 및 제2 스테이지의 제2 출력 신호(OUT2)가 공급된다.

<49> 풀-업 NMOS 트랜지스터(NTup)는 Q노드의 제어에 의해 제1 클럭 신호(C1)를 출력선인 제1 게이트선(G1)으로 출력한다. 이를 위해, 풀-업 NMOS 트랜지스터(NTup)는 Q노드와 접속되는 게이트 단자, 제1 클럭 신호(C1)가 공급되는 드레인 단자 및 제1 게이트선(G1)과 접속되는 소스 단자를 구비한다.

<50> 풀-다운 NMOS 트랜지스터(NTdn)는 소정 기간의 로우 전압과 소정 기간의 하이 전압이 교번적으로 공급되는 QB노드의 제어에 의해 저전위 구동 전압(VSS)을 제1 게이트선(G1)으로 출력한다. 이를 위해, 풀-다운 NMOS 트랜지스터(NTdn)는 QB노드와 접속되는 게이트 단자, 제1 게이트선(G1)과 접속되는 드레인 단자 및 저전위 구동 전압(VSS)과 접속되는 소스 단자를 구비한다.

<51> 제1 제어부(114)는 Q노드를 제어한다. 이를 위해, 제1 제어부(114)는 제1, 제5 및 제6 NMOS 트랜지스터(NT1,

NT5, NT6)를 포함한다.

<52> 제1 NMOS 트랜지스터(NT1)는 스타트 펄스(Vst)가 공급되는 게이트 단자, 고전위 구동 전압(VDD)이 공급되는 드레인 단자 및 Q노드에 접속되는 소스 단자를 구비한다.

<53> 제5 NMOS 트랜지스터(NT5)는 제1 게이트선(G1)의 다음단의 스테이지인 제2 스테이지로부터 출력되는 제2 출력신호(OUT2)가 공급되는 게이트 단자, Q노드와 접속되는 드레인 단자 및 저전위 구동 전압(VSS)이 공급되는 소스 단자를 구비한다.

<54> 제6 NMOS 트랜지스터(NT6)는 QB노드와 접속되는 게이트 단자, Q노드와 접속되는 드레인 단자 및 저전위 구동 전압(VSS)이 공급되는 소스 단자를 구비한다.

<55> 제2 제어부(116)는 QB노드를 제어한다. 이를 위해, 제2 제어부(116)는 제2 내지 제4 NMOS 트랜지스터(NT2, NT3, NT4)를 포함한다.

<56> 제2 NMOS 트랜지스터(NT2)는 QB노드에 소정 기간 동안 하이 전압을 공급한다. 이러한 제2 NMOS 트랜지스터(NT2)는 제1 게이트선(G1)의 다다음단의 출력선인 제3 게이트선(G1)으로 출력되는 신호와 동일한 신호 즉, 제3 클럭신호(C3)가 공급되는 게이트 단자, 고전위 구동 전압(VDD)이 공급되는 드레인 단자, 및 제2 노드와 접속되는 소스 단자를 구비한다.

<57> 제3 NMOS 트랜지스터(NT3)는 Q노드와 접속되는 게이트 단자, QB노드와 접속되는 드레인 단자 및 저전위 구동 전압(VSS)이 공급되는 소스 단자를 구비한다.

<58> 제4 NMOS 트랜지스터(NT4)는 QB노드에 소정 기간 동안 로우 전압을 공급한다. 이러한 제4 NMOS 트랜지스터(NT4)는 제1 게이트선(G1)의 다음단인 제2 게이트선(G2)으로 출력되는 신호와 동일한 신호 즉, 제2 클럭신호(C2)가 공급되는 게이트 단자, QB노드와 접속되는 드레인 단자 및 저전위 구동 전압(VSS)이 공급되는 소스 단자를 구비한다.

<59> 상기의 구성을 갖는 제1 스테이지의 동작 과정을 상세히 설명한다.

<60> A 기간에서, 스타트 펄스(Vst)의 하이 전압에 의해 제1 NMOS 트랜지스터(NT1)가 턴-온되어 고전위 구동 전압(VDD)이 Q노드로 프리-차지된다. Q노드로 프리-차지된 고전위 구동 전압(VDD)에 의해 풀-업 NMOS 트랜지스터(NTup)가 턴-온되어, 제1 클럭 신호(C1)의 로우 전압이 제1 게이트선(G1)으로 출력된다. 즉, 제1 출력 신호(OUT1)는 로우 전압 상태가 된다.

<61> 이 때, 하이 전압 상태인 Q노드로 인해 제3 NMOS 트랜지스터(NT3)가 턴-온됨으로써 QB노드는 저전위 구동 전압(VSS)으로 방전되어 로우 전압 상태가 된다. 이러한 로우 전압 상태인 QB노드에 의해 제6 및 풀-다운 NMOS 트랜지스터(NT6, NTdn)는 턴-오프된다.

<62> 한편, 제2 NMOS 트랜지스터(NT2)는 제3 클럭 신호(C3)의 로우 전압에 의해 턴-오프되고, 제4 NMOS 트랜지스터(NT4)는 제2 클럭 신호(C2)의 로우 전압에 의해 턴-오프되고, 제5 NMOS 트랜지스터(NT5)는 제2 출력 신호(OUT2)의 로우 전압에 의해 턴-오프된다.

<63> B 기간에서, 스타트 펄스(Vst)의 로우 전압에 의해 제1 NMOS 트랜지스터(NT1)가 턴-오프되므로 Q노드는 하이 전압 상태로 플로팅되고, 풀-업 NMOS 트랜지스터(NTup)는 턴-온 상태를 유지한다.

<64> 이 때, 제1 클럭 신호(C1)의 하이 전압에 의해 Q노드는 풀-업 NMOS 트랜지스터(NTup)의 게이트 전극과 소스 전극의 중첩으로 형성된 기생 캐패시터(CGS)의 영향으로 부트스트래핑된다. 이에 따라, Q노드의 전압이 더욱 상승하여 풀-업 NMOS 트랜지스터(NTup)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 전압이 제1 게이트선(G1)으로 빠르게 출력된다. 즉, 제1 출력 신호(OUT1)는 하이 전압 상태가 된다.

<65> 이 때에도, 부트스트래핑된 Q노드의 전압에 의해 제3 NMOS 트랜지스터(NT3)가 턴-온 상태를 유지하므로 QB노드는 계속 로우 전압 상태를 유지하며, 이로 인해 제6 및 풀-다운 NMOS 트랜지스터(NT6, NTdn)는 턴-오프 상태를 유지한다.

<66> 또한, 제2 NMOS 트랜지스터(NT2)는 제3 클럭 신호(C3)의 로우 전압에 의해 턴-오프 상태를 유지하고, 제4 NMOS 트랜지스터(NT4)는 제2 클럭 신호(C2)의 로우 전압에 의해 턴-오프 상태를 유지하고, 제5 NMOS 트랜지스터(NT5)는 제2 출력 신호(OUT2)의 로우 전압에 의해 턴-오프 상태를 유지한다.

<67> C 기간에서, 제2 스테이지로부터 출력되는 제2 출력 신호(OUT2)의 하이 전압에 의해 Q노드는 저전위 구동 전압

(VSS)으로 방전되어 로우 전압 상태가 된다. 이에 따라, 풀-업 NMOS 트랜지스터(NTup)가 턴-오프됨과 아울러 제3 NMOS 트랜지스터(NT3)가 턴-오프되며, 제1 게이트선(G1)으로는 로우 전압이 출력된다. 즉, 제1 출력 신호(OUT1)는 로우 전압 상태를 유지한다.

<68> 한편, 제4 NMOS 트랜지스터(NT4)는 제2 클럭 신호(C2)의 하이 전압에 의해 턴-온되므로 QB노드를 계속 로우 전압 상태로 유지한다. 이 때, 제2 클럭 신호(C2)는 1프레임을 기준으로 1/4프레임 동안 하이 전압 상태를 유지하므로 QB노드에는 Q노드에 하이 전압이 공급되는 시간을 제외한 나머지 시간의 1/4 시간 동안 로우 전압 상태를 유지할 수 있다. 다시 말하면, 하나의 클럭 신호가 인가되는 시간을 1H라고 할 때, QB노드에는 Q노드에 하이 전압이 공급되는 시간을 제외한 나머지 시간에서 1H 동안 로우 전압이 공급되고, 3H 동안 하이 전압이 공급되고, 1H 동안의 로우 전압과 3H 동안의 하이 전압이 교번적으로 공급된다.

<69> 이 때문에, QB노드의 전압을 게이트 전압으로 사용하는 제6 및 풀-다운 NMOS 트랜지스터(NT6, NTdn)는 1프레임을 기준으로 대략 3/4프레임동안만 턴-온되므로 제6 및 풀-다운 NMOS 트랜지스터(NT6, NTdn)의 열화속도를 늦출 수 있다. 또한, 이로 인해 제6 및 풀-다운 NMOS 트랜지스터(NT6, NTdn) 각각의 크기를 작게 형성할 수 있다.

<70> D 기간에서, 제2 클럭 신호(C2)의 로우 전압에 의해 제4 NMOS 트랜지스터(NT4)가 턴-오프되고, 제3 클럭 신호(C3)의 하이 전압에 의해 제2 NMOS 트랜지스터(NT2)가 턴-온되므로 QB노드는 고전위 구동 전압(VDD)으로 충전되어 하이 전압 상태를 유지한다. 이에 따라, 제6 NMOS 트랜지스터(NT6)가 턴-온되어, Q노드를 로우 전압 상태로 계속 유지한다. 그리고, QB노드에 충전된 고전위 구동 전압(VDD)으로 인해 풀-다운 트랜지스터(NTdn)가 턴-온되므로 제1 게이트선(G1)으로 저전위 구동 전압(VSS)이 출력된다. 즉, 제1 출력 신호(OUT1)는 로우 전압 상태가 된다.

<71> 그리고, 스타트 펄스(Vst)의 하이 전압이 공급되기 이전까지, Q노드는 로우 전압 상태를 유지하므로, 제1 출력 신호(OUT1)는 계속 로우 전압 상태를 유지한다.

<72> 이상 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

<73> 따라서, 이상에서 기술한 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이므로, 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 하며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

## *발명의 효과*

<74> 상기한 바와 같이 이루어진 본 발명의 구동 회로 내장형 액정 패널에 따르면 구동 회로의 열화 현상을 억제할 수 있을 뿐만 아니라 열화에 민감한 트랜지스터들의 크기를 줄일 수 있다라는 효과가 있다.

## *도면의 간단한 설명*

<1> 도 1은 종래의 게이트 구동 회로 내장형 액정 패널을 개략적으로 도시한 평면도이다.

<2> 도 2는 도 1의 게이트 구동 회로의 구성을 도시한 블록도이다.

<3> 도 3은 도 2의 제1 스테이지의 상세 회로도이다.

<4> 도 4는 도 3의 제1 스테이지의 구동 파형도이다.

<5> 도 5는 본 발명의 실시예에 따른 게이트 구동 회로 내장형 액정 패널을 개략적으로 도시한 평면도이다.

<6> 도 6은 도 5의 게이트 구동 회로의 구성을 도시한 블록도이다.

<7> 도 7은 도 6의 제1 스테이지의 상세 회로도이다.

<8> 도 8은 도 7의 제1 스테이지의 구동 파형도이다.

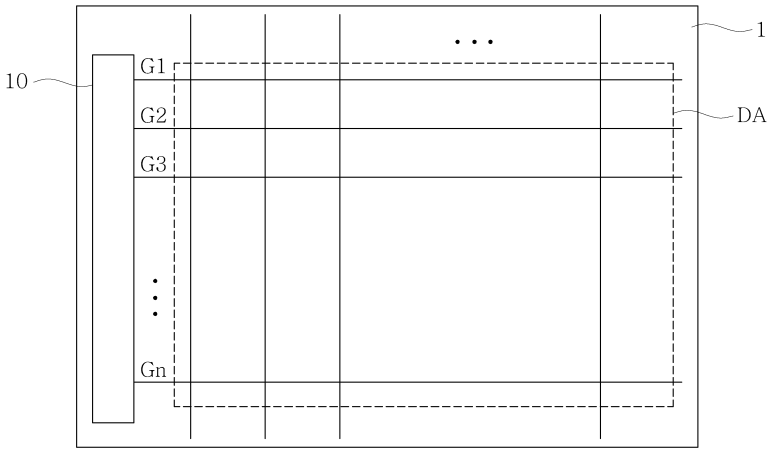
<9> {도면의 주요부분에 대한 부호의 설명}

<10> 100 : 액정 패널 110 : 게이트 구동 회로

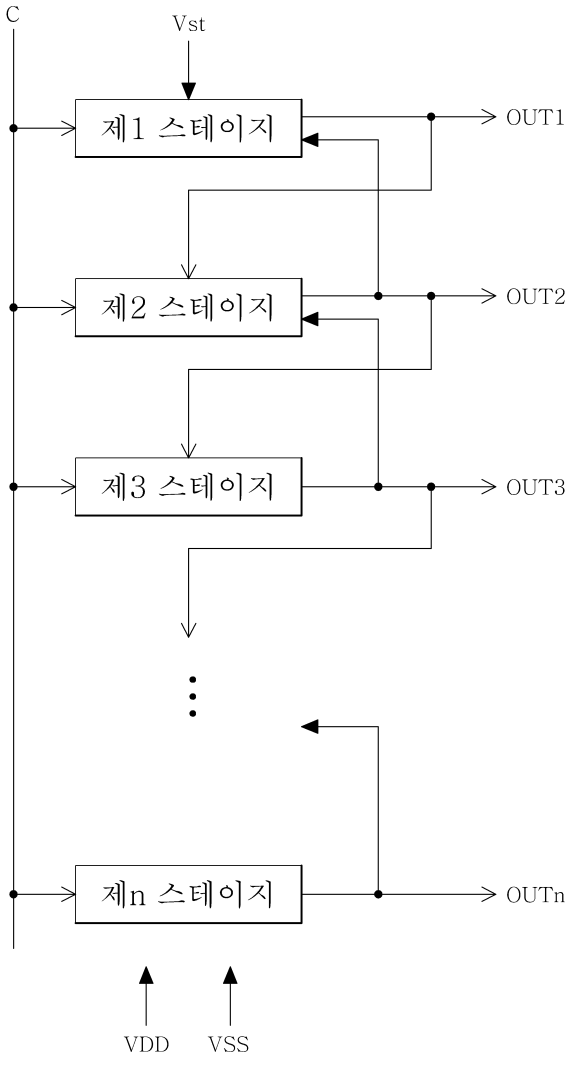
<11> 114 : 제1 제어부 116 : 제2 제어부

## 도면

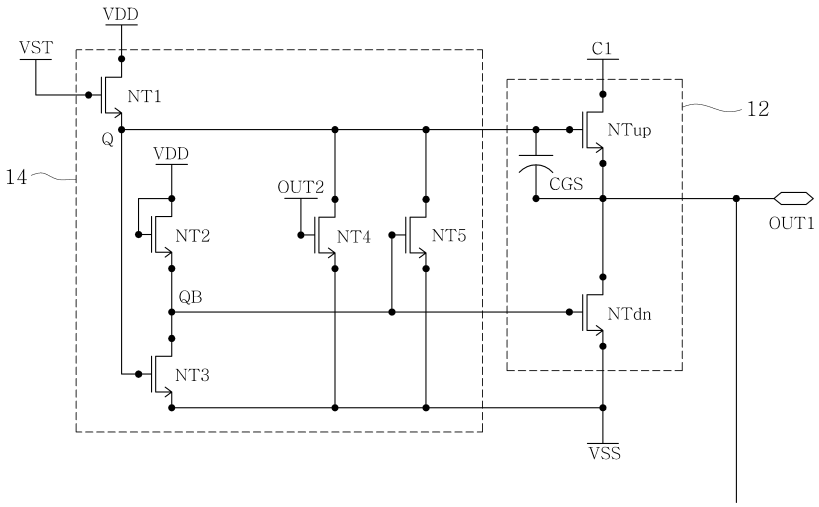
### 도면1


1
10
G1
G2
G3
Gn
DA

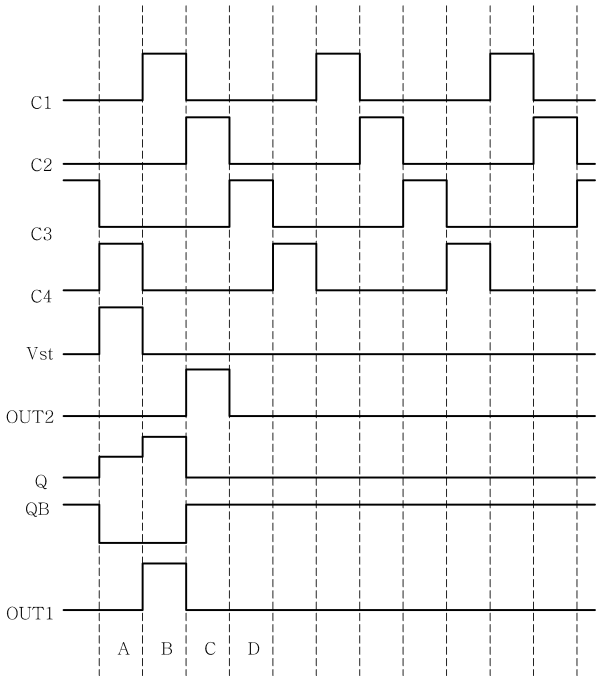
### 도면2


C
Vst
제1 스테이지
제2 스테이지
제3 스테이지
제n 스테이지
OUT1
OUT2
OUT3
OUTn
VDD
VSS

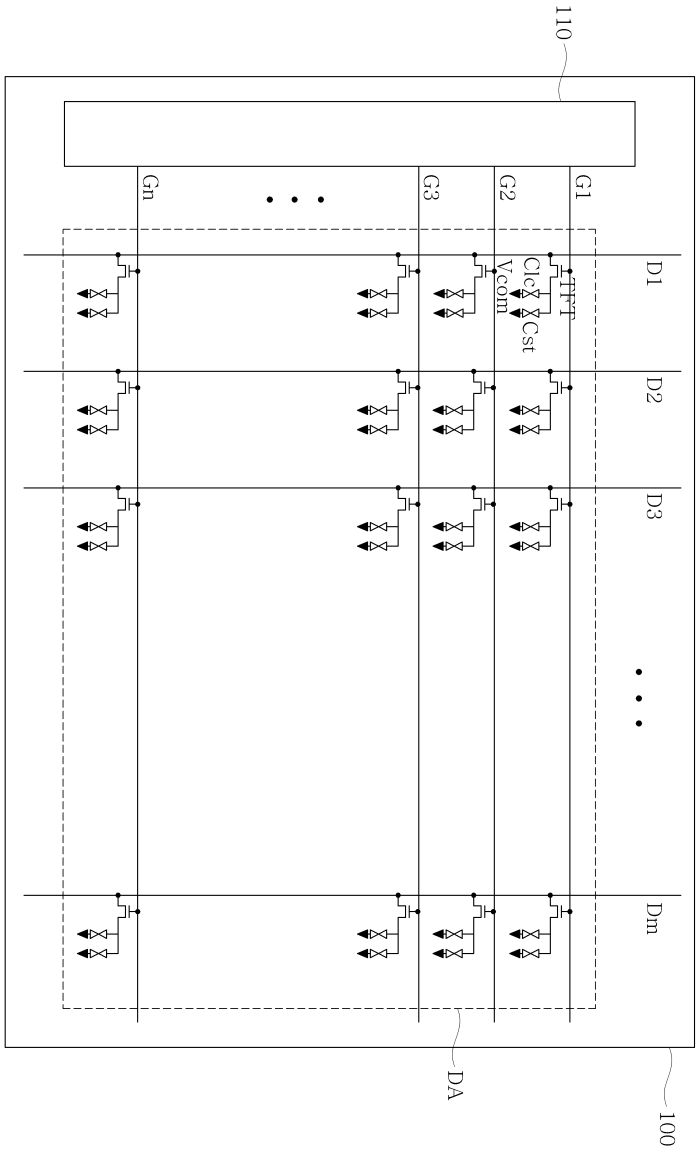
도면3


VDD
VST
NT1
Q
14
VDD
NT2
QB
NT3
OUT2
NT4
NT5
C1
12
NTup
CGS
NTdn
OUT1
VSS

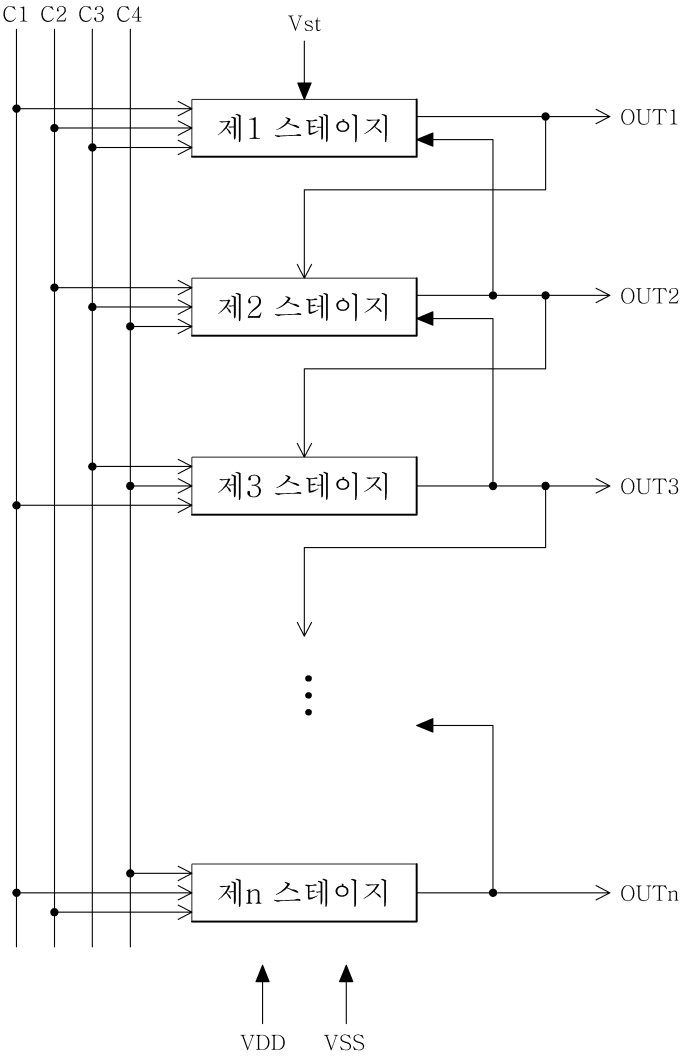
도면4


C1
C2
C3
C4
Vst
OUT2
Q
QB
OUT1
A
B
C
D

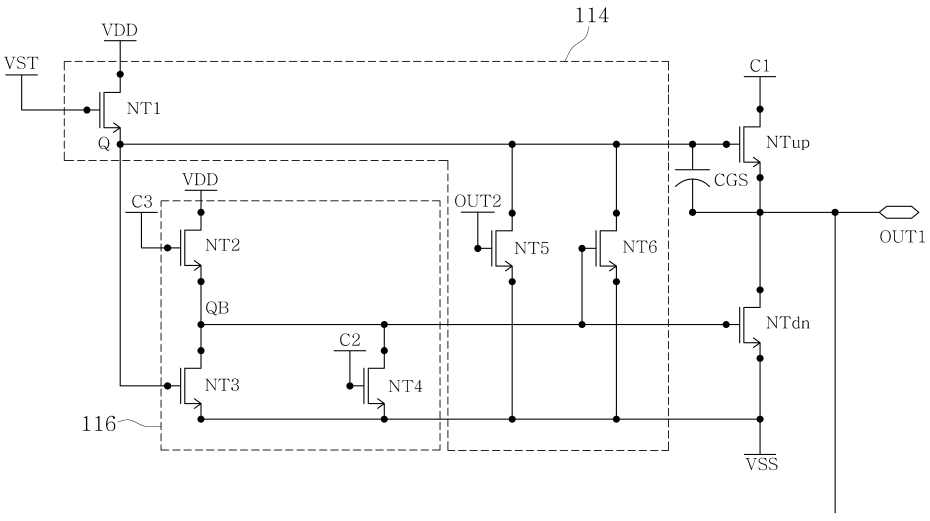
도면5



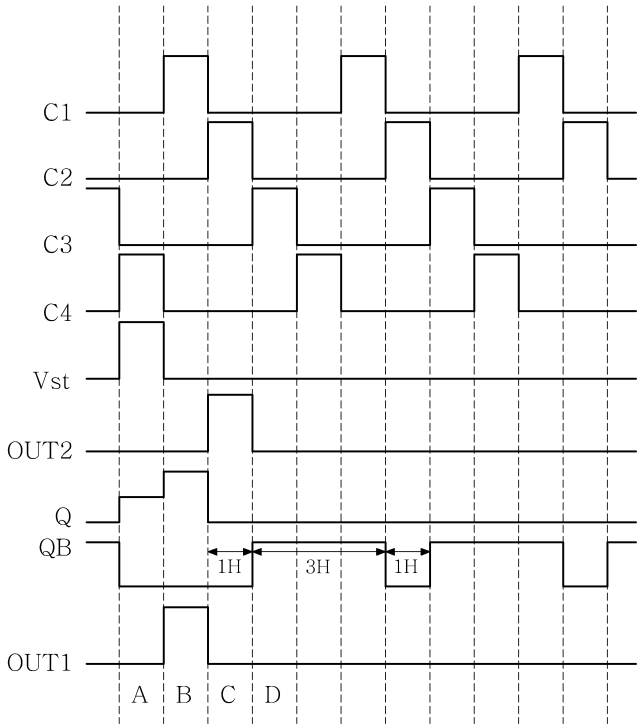
도면6


C1 C2 C3 C4
Vst
제1 스테이지
제2 스테이지
제3 스테이지
제n 스테이지
OUT1
OUT2
OUT3
OUTn
VDD
VSS

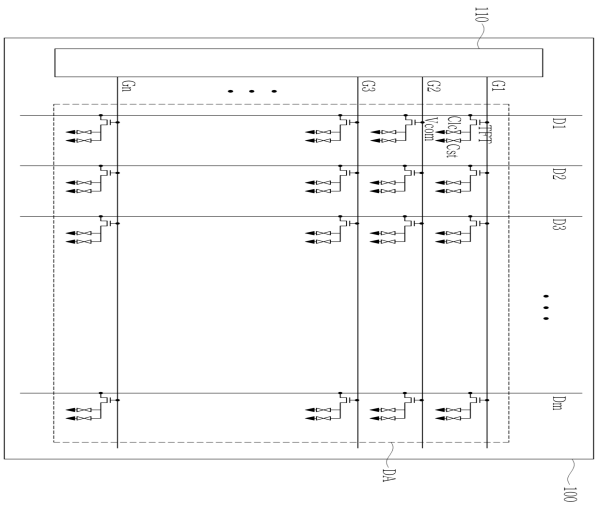
도면7


114
VDD
VST
NT1
Q
C1
NTup
CGS
OUT1
VDD
C3
NT2
OUT2
NT5
NT6
QB
NTdn
C2
NT3
NT4
116
VSS

도면8



| | | | |
|---|---|---|---|
| 专利名称(译) | 液晶面板，内置驱动电路 | | |
| 公开(公告)号 | KR1020080001534A | 公开(公告)日 | 2008-01-03 |
| 申请号 | KR1020060060013 | 申请日 | 2006-06-29 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | CHAE JI EUN<br>채지은<br>MOON SU HWAN<br>문수환<br>KIM DO HEON<br>김도헌 | | |
| 发明人 | 채지은<br>문수환<br>김도헌 | | |
| IPC分类号 | G02F1/133 | | |
| CPC分类号 | G09G3/3677 G02F1/1333 G09G3/3258 G09G3/3648 | | |
| 外部链接 | Espacenet | | |


摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，包括：在显示区域中以矩阵形式形成的液晶单元;以及用于驱动液晶单元的驱动电路，该驱动电路由多个级构成，所述多个级中的每个级由第一节点控制以输出时钟信号作为输出线一种用于输出的上拉晶体管;一种下拉晶体管，用于在第二节点的控制下将第一驱动电压输出到输出线，所述第二节点交替地提供预定周期的低电压和预定周期的高电压;以及用于控制第二节点的第二控制器。