



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호

10-2007-0072009

(43) 공개일자

2007년07월04일

(21) 출원번호 10-2005-0135923

(22) 출원일자 2005년12월30일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 홍영기
경북 구미시 진평동 구획정리지구 77블럭 주공APT 104-905
김진성
경북 구미시 구평동 부영APT 706동 203호

(74) 대리인 허용록

전체 청구항 수 : 총 6 항

(54) 액정표시장치 및 그의 구동방법

(57) 요약

화질을 향상시킬 수 있는 액정표시장치 및 그의 구동방법이 개시된다.

본 발명에 따른 액정표시장치는 액정패널상의 복수의 게이트라인을 순차적으로 구동하는 게이트 드라이버 및 블랭크 구간의 일부를 포함하는 게이트 스타트 펄스를 상기 게이트 드라이버에 공급하는 게이트 제어신호 생성부를 포함한다.

대표도

도 3

특허청구의 범위

청구항 1.

액정패널상의 복수의 게이트라인을 순차적으로 구동하는 게이트 드라이버; 및

블랭크 구간의 일부를 포함하는 게이트 스타트 펄스를 상기 게이트 드라이버에 공급하는 게이트 제어신호 생성부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1항에 있어서,

상기 게이트 제어신호 생성부는,

상기 수직동기신호의 블랭크 구간에서의 스타트 펄스 신호의 시작시간에 기준값이 저장된 레지스터;

상기 수직동기신호의 블랭크 구간동안 카운트하는 카운터;

상기 카운트 값과 상기 기준값을 비교하는 비교부; 및

상기 비교기의 출력에 응답하여 일정한 폭의 스타트 펄스 신호를 생성하는 단안정 멀티 바이브레이터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2항에 있어서,

상기 기준값은 블랭크 구간에 포함된 수평동기신호의 갯수보다 "1"만큼 작은 값으로 설정되고 카운터가 수평동기신호에 중기에서 "1" 증가 카운트 하는 것을 특징으로 액정표시장치.

청구항 4.

제 2항에 있어서,

상기 기준값은 블랭크 구간에 포함된 수평동기신호의 갯수와 같고 카운터가 수평동기신호에 개시점에서 "1" 증가 카운트 하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1항에 있어서,

상기 게이트 제어신호 생성부로부터의 전압 레벨을 높게 쉬프트 시키는 레벨 쉬프트를 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6.

복수의 게이트라인과 데이터라인이 배열된 액정패널을 포함하는 액정표시장치에 있어서,

블랭크 구간의 일부를 포함하는 게이트 스타트 펄스 신호를 공급하는 단계; 및

상기 게이트 스타트 펄스신호에 동기되어 복수의 게이트라인을 순차적으로 구동하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 화질을 향상시킬 수 있는 액정표시장치 및 그의 구동방법에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증대하고 있다. 이에 부응하여 근래에는 LCD(Liquid Crystal Display device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display) 등 여러가지 평판표시장치가 연구되어 왔고 일부는 이미 여러장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력 등의 장점으로 인하여 이동형 화상 표시장치의 용도로 브라운관(CRT)을 대체하면서 LCD(이하, '액정표시장치'라 함)가 가장 널리 사용되고 있으며, 액정표시장치는 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 텔레비전 모니터 등으로 다양하게 개발되고 있다.

액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 화상을 표시한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자 배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛의 편광상태를 변화시켜 화상정보를 표현할 수 있다.

도 1은 종래 액정표시장치를 나타낸 도면이다.

도 1에 도시된 바와 같이, 종래 액정표시장치는 소정의 화상을 표시하는 액정패널(2)과, 상기 액정패널(2)의 일측면에 구비된 데이터 PCB(12)와, 상기 데이터 PCB(12)와 상기 액정패널(2) 사이에 접속된 복수의 데이터 TCP(7a, 7b)와 상기 복수의 데이터 TCP(7a, 7b) 내부에 실장된 복수의 데이터 드라이버 IC(6a, 6b)와, 상기 액정패널(2)의 타측면에 구비된 게이트 드라이버(4)와, 상기 데이터 PCB(12) 내부에 실장된 소정의 제어신호를 생성하는 타이밍 컨트롤러(8) 및 상기 타이밍 컨트롤러(8)로부터 공급된 제어신호를 이용하여 소정의 전압을 생성하는 레벨 쉬프터(16)를 포함한다.

상기 액정표시장치는 널리 공지된 기술이므로 이에 대한 상세한 설명은 생략하기로 한다.

이와 같이 구성된 액정표시장치는 위에서 언급한 바와 같이, 게이트 드라이버(4)가 상기 액정패널(2)의 제 1 기판 상에 형성된 GIP(Gate In Panel) 구조로 이루어져 있다. 또한, 상기 액정패널(2)은 스토리지 온 게이트(Storage On Gate)방식으로 이루어져 있다.

도 2는 도 1의 게이트 드라이버의 구동전압을 나타낸 도면이다.

도 1 및 도 2에 도시된 바와 같이, 상기 게이트 드라이버(4)는 상기 레벨 쉬프터(16)로부터 스타트 펄스(Vst) 신호와 상기 스타트 펄스(Vst) 신호에 동기되는 제 1 내지 제 n 게이트 하이 전압(VGH-1 ~ VGH-n)을 상기 복수의 게이트라인(GL1 ~ GLn)으로 공급한다.

특히, 상기 스타트 펄스(Vst) 신호는 데이터 이네이블(DE) 신호에 동기되어 생성되는데 상기 데이터 이네이블(DE) 신호에서 하이(High) 구간은 상기 복수의 데이터라인(DL1 ~ DLm)으로 데이터 신호가 공급되어 상기 액정패널(2) 상에 표시되는 것을 의미한다. 상기 데이터 이네이블(DE) 신호는 1 프레임 동안 상기 액정패널(2)에 배열된 게이트라인(GL1 ~ GLn) 수만큼의 하이(High) 구간을 갖는다.

상기 스타트 펄스(Vst) 신호는 상기 데이터 이네이블(DE) 신호 중 제 1 하이(High) 구간에 동기되어 생성된다. 상기 스타트 펄스(Vst) 신호는 1 수평구간(1H) 동안 하이(High) 구간을 갖는데 상기 스타트 펄스(Vst) 신호의 폴링타임(falling time)에 동기되어 제 1 게이트라인(GL1)으로 제 1 게이트 하이 전압(VGH)이 공급된다.

상기 스타트 펄스(Vst) 신호에 동기되어 상기 제 1 게이트라인(GL1)으로 제 1 게이트 하이 전압(VGH)이 공급되기 때문에 상기 제 1 게이트 하이 전압(VGH-1)이 상기 스타트 펄스(Vst) 신호에 앞서지 않는다.

이어 순차적으로 제 2 게이트라인(GL2)으로 제 2 게이트 하이 전압(VGH-2)이 공급되는데, 상기 제 2 게이트 하이 전압(VGH-2)은 상기 제 1 게이트 하이 전압(VGH-1)과 동기되어 상기 제 2 게이트라인(GL2)으로 공급된다.

상기 제 2 게이트 하이 전압(VGH-2)은 2 수평구간(2H) 동안 공급되는데 이는 상기 제 2 게이트라인(GL2)과 연결된 박막 트랜지스터(TFT)의 충전시간을 확보하기 위함이다. 상기 제 2 게이트라인(GL2)과 연결된 박막트랜지스터(TFT)의 충전시간이 부족하여 상기 액정패널(2) 상에 원하지 않는 데이터 신호에 해당하는 화상이 표시되는 것을 방지하기 위해서 상기 제 2 게이트라인(GL2)으로 2 수평구간(2H)에 해당하는 제 2 게이트 하이 전압(VGH-2)을 공급하는 것이다.

상기 2 수평구간(2H) 동안 하이(High) 구간을 갖는 게이트 하이 전압은 상기 제 2 게이트라인(GL2) 뿐만아니라 상기 제 1 게이트라인(GL1)을 제외한 나머지 게이트라인(GL2 ~ GLn)으로 공급된다.

상기 제 1 게이트 하이 전압(VGH-1)은 상기 스타트 펄스(Vst) 신호의 폴링 타임(falling- time)에 동기되고 동시에 상기 데이터 이네이블(DE) 신호의 제 1 하이(High) 구간에 동기되기 때문에 1 수평구간(1H) 동안 상기 제 1 게이트라인(GL1)으로 공급된다.

즉, 상기 제 1 게이트라인(GL1)으로는 1 수평구간(1H) 동안 제 1 게이트 하이 전압(VGH-1)이 공급되고 상기 제 1 게이트라인(GL1)을 제외한 나머지 게이트라인(GL2 ~ GLn)에는 2 수평구간(2H) 동안 제 2 내지 제 n 게이트 하이 전압(VGH-2 ~ VGH-n)이 공급된다. 이로인해 상기 제 1 게이트라인(GL1)과 연결된 박막트랜지스터(TFT)의 충전시간은 상기 제 2 내지 제 n 게이트라인(GL2 ~ GLn)과 연결된 박막트랜지스터(TFT)의 충전시간보다 짧아지게 된다.

일예로 상기 액정패널(2) 상에 블랙 화면이 표시된다면, 상기 제 1 게이트라인(GL1)이 위치하는 부분은 상기 제 2 내지 제 n 게이트라인(GL2 ~ GLn)이 위치하는 부분보다 밝게 된다.

보다 상세히 하면, 상기 제 1 게이트라인(GL1)과 오버랩되어 형성된 스토리지 캐패시터(Cst)에 충전된 데이터 신호가 상기 제 2 내지 제 n 게이트라인(GL2 ~ GLn)과 오버랩되어 형성된 스토리지 캐패시터(Cst)에 충전된 데이터 신호보다 작게 된다. 따라서, 상기 제 1 게이트라인(GL1)이 위치하는 부분이 상기 제 2 내지 제 n 게이트라인(GL2 ~ GLn)이 위치하는 부분보다 밝게된다.

이러한 현상으로 인해, 화면의 상부에 띠 형상의 밝음 현상으로 인해 화질이 저하되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 블랭크 구간동안에 미리 스타트 펄스 신호를 게이트 드라이버로 공급하여 화질을 향상시킬 수 있는 액정표시장치 및 그의 구동방법을 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 액정패널상의 복수의 게이트라인을 순차적으로 구동하는 게이트 드라이버 및 블랭크 구간의 일부를 포함하는 게이트 스타트 펄스를 상기 게이트 드라이버에 공급하는 게이트 제어신호 생성부를 포함한다.

상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동방법은 복수의 게이트라인과 데이터라인이 배열된 액정패널을 포함하는 액정표시장치에 있어서, 블랭크 구간의 일부를 포함하는 게이트 스타트 펄스 신호를 공급하는 단계 및 상기 게이트 스타트 펄스신호에 동기되어 복수의 게이트라인을 순차적으로 구동하는 단계를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명한다.

도 3은 본 발명에 따른 액정표시장치를 나타낸 도면이다.

도 3에 도시된 바와같이, 본 발명의 액정표시장치는 소정의 화상을 표시하는 액정패널(102)과, 상기 액정패널(102)의 일 측면에 구비된 데이터 PCB(112)와, 상기 액정패널(102)과 상기 데이터 PCB(112) 사이에 접속된 복수의 데이터 TCP(107a, 107b)와, 상기 복수의 데이터 TCP(107a, 107b) 각각에 실장된 복수의 데이터 드라이버 IC(106a, 106b)와, 상기 액정패널(102)의 타측면에 구비된 게이트 드라이버(104)를 포함한다.

이와 같이 구성된 액정표시장치는 위에서 언급한 바와 같이, 게이트 드라이버(104)가 상기 액정패널(102)의 제 1 기판 상에 형성된 GIP(Gate In Panel) 구조로 이루어져 있다. 또한, 상기 액정패널(102)은 스토리지 온 게이트(Storage On Gate) 방식으로 이루어져 있다.

상기 액정패널(102)에는 복수의 게이트라인(GL0 ~ GLn)과, 상기 게이트라인(GL0 ~ GLn)에 수직 방향으로 배열된 복수의 데이터라인(DL1 ~ DLm)과, 상기 게이트라인(GL0 ~ GLn) 및 상기 데이터라인(DL1 ~ DLm)에 연결된 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)에 연결된 화소전극(미도시)과, 상기 화소전극과 전단 게이트라인 사이에 형성된 스토리지 캐패시터(Cst)를 구비한다.

또한, 상기 액정패널(102)은 제 1 및 제 2 기판과, 상기 제 1 및 제 2 기판 사이에 주입된 액정으로 이루어져 있다. 상기 제 1 기판 상에는 제조 비용을 줄이기 위해 상기 게이트 드라이버(104)가 내장될 수 있다.

상기 데이터 PCB(112) 내부에는 소정의 제어신호를 생성하는 타이밍 컨트롤러(108)와, 상기 타이밍 컨트롤러(108)로부터 공급된 블랭크 제어신호 및 클럭신호를 이용하여 게이트 제어신호를 생성하는 게이트 제어신호 생성부(115)를 포함하는 제어부(114)와 상기 소정의 제어신호를 이용하여 스타트 펄스(SP) 신호 및 소정의 전압들을 생성하는 레벨 쉬프터(116)가 실장되어 있다.

상기 게이트 드라이버(104)는 위에서 언급한 바와 같이, 상기 제 1 기판상에 형성되어 있다. 상기 게이트 드라이버(104)에는 상기 게이트라인(GL1 ~ GLn)과 대응된 n 개의 쉬프트 레지스터(110-1 ~ 110-n)가 내장되어 있다.

상기 n 개의 쉬프트 레지스터(110-1 ~ 110-n)는 상기 게이트라인(GL1 ~ GLn)과 대응되고 복수의 박막트랜지스터(TFT)로 이루어져 있다.

상기 타이밍 컨트롤러(108)는 도시되지 않은 시스템으로부터 공급된 수직/수평동기신호(Vsync/Hsync)와 데이터 이네이블(DE) 신호 및 소정의 클럭 신호를 이용하여 소정의 제어신호를 생성한다. 또한, 상기 시스템으로부터 공급된 수직/수평 동기신호(Vsync/Hsync)는 상기 게이트 제어신호 생성부(115)로 공급된다.

상기 게이트 제어신호 생성부(115)는 상기 수직/수평동기신호(Vsync/Hsync)를 이용하여 게이트 제어신호를 생성한다.

상기 게이트 제어신호 생성부(115)는 도 4에 도시된 바와 같이, 시스템으로부터 공급된 수직동기신호(Vsync)의 블랭크 구간동안 수평동기신호(Hsync)의 갯수를 카운트 하는 카운터(118)와, 상기 블랭크(Blank) 구간동안 스타트 펄스(Vst) 신호를 출력하는 시점을 알려주는 레지스터(120)와, 상기 카운터(118)로부터 카운터된 값과 상기 레지스터(120)에 저장된 시점을 비교하여 게이트 제어신호를 생성하는 비교부(122)와, 상기 비교부(122)에서 생성된 게이트 제어신호의 폭을 증가시키는 출력하는 단안정 멀티 바이브레이터(124)를 포함한다.

좀더 구체적으로 설명하면 다음과 같다.

수평 동기 신호 및 수직 동기 신호를 입력하는 카운터(118)를 구비한다. 카운터(118)는 수직 동기 신호의 주사기간에 리셋(Reset) 된 후 수직동기신호(Vsync)의 블랭크(Blnak) 기간(또는 "소거 기간"이라고도 함)에 수평동기신호(Hsync)의 입력 횟수를 카운트 한다. 다시 말하여, 수직동기신호(Vsync)의 고 전위 펄스(즉, 수직 주사 기간)에 의하여 리셋 된 다음, 수직동기신호(Vsync)가 저 전위를 유지하는 동안(즉, 블랭크(Blnak) 기간)에 수평동기신호(Hsync)의 상승 또는 하강 에지 마다 카운트 값을 "1"씩 증가시킨다. 이렇게 카운트 된 값은 비교부(122)에 공급되게 된다.

비교부(122)는 카운터(118)로부터의 카운트 값을 레지스터(120)에 저장된 기준 값과 비교하게 된다. 여기서, 레지스터(120)에 저장된 기준 값은 수직동기신호(Vsync)의 블랭크(Blank) 기간에 포함되는 수평동기신호(Hsync)의 개수보다 "1"만큼 작은 값으로 설정된다. 이 경우, 카운터(118)는 수평동기신호(Hsync)의 종기에서 카운트 값을 "1"씩 증가시키게 된다.

이와는 달리, 카운터(118)이 수평 동기 신호(Hsync)의 개시 시점에서 카운트 값을 "1"씩 증가시키는 경우, 레지스터(120)에 저장된 기준 값은 수직동기신호(Vsync)의 블랭크(Blak) 기간에 포함되는 수평 동기신호(Hsync)의 개수와 동일한 값으로 설정되게 된다. 카운트(118)로부터의 카운트 값이 레지스터(120)에 저장된 기준 값과 같으면, 비교부(122)는 특정한 논리의 펄스(예를 하이 또는 로우 논리의 펄스)를 가지는 비교 신호를 발생한다. 비교기(122)에서 발생하는 비교 신호의 펄스는 수평동기신호(Hsync)의 주기에 해당하는 폭을 가지게 된다.

비교기(122)로부터 비교 신호를 입력하는 단안정 멀티 바이브레이터(124)는 비교 신호의 펄스의 시점에서부터 2개의 수평 동기 신호의 기간에 해당하는 폭을 가지는 하이 논리의 게이트 개시 펄스를 생성한다. 이렇게 생성된 게이트 개시 펄스는 도 3의 레벨 쉬프터(116)에 의하여 게이트 하이 전압(VGH)에 해당하는 고 전위의 진폭을 가지게끔 레벨 쉬프트된다.

상기 레벨 쉬프터(126)는 상기 폭이 증가된 게이트 제어신호를 원하는 전압으로 증폭시킨 스타트 펄스(Vst) 신호를 상기 게이트 드라이버(104)로 공급한다.

상기 게이트 드라이버(104)는 상기 블랭크(Blak) 구간에 상기 스타트 펄스(Vst) 신호에 의해 구동되어 상기 게이트 드라이버(104)와 연결된 복수의 게이트라인(GL1 ~ GLn)으로 순차적으로 스캔신호 즉, 게이트 하이 전압(VGH)을 공급한다.

본 발명에 따른 액정표시장치는 프레임과 프레임 사이에 준비구간인 상기 블랭크(Blank) 구간동안 수평동기신호(Hsync)를 카운트 하는 카운터(118)와, 상기 기준값을 저장하는 레지스터(120) 및 상기 카운터(118)에서 카운트된 수평동기신호(Hsync)의 횟수와 상기 기준값을 비교하여 게이트 제어신호를 출력하는 비교부(122)를 별도로 구비한다.

이에 따라 상기 블랭크(Blak) 구간동안 상기 스타트 펄스(Vst) 신호가 상기 게이트 드라이버(104)로 출력되고, 상기 게이트 드라이버(104)는 상기 스타트 펄스(Vst) 신호의 폴링 타임(falling time)에 동기되어 복수의 게이트라인(GL1 ~ GLn)으로 스캔신호를 공급하게 된다.

상기 게이트 드라이버(104)로 공급된 상기 스타트 펄스(Vst) 신호의 폴링 타임(falling time)에 동기되어 도 5에 도시된 바와 같이, 상기 블랭크(Blank) 구간 이후 다음 프레임이 시작되는 시점에 제 1 게이트 하이 전압(VGH-1)이 제 1 게이트라인(GL1)으로 공급된다.

이때 상기 제 1 게이트 하이 전압(VGH-1)은 2 수평구간(2H) 동안 상기 제 1 게이트라인(GL1)으로 공급된다. 이는 위에서 언급한 바와 같이, 상기 복수의 게이트라인(GL1 ~ GLn)과 연결된 박막트랜지스터(TFT)의 충전시간을 확보하기 위함이다.

따라서, 상기 액정패널(102) 상에 배열된 복수의 게이트라인(GL1 ~ GLn) 각각에는 2 수평구간(2H) 동안 게이트 하이 전압(VGH)이 공급되어 상기 액정패널(102) 상에 동일한 계조가 표시되는 경우 종래와 같이 상기 액정패널(102)의 상부가 밝게 보이는 현상은 발생하지 않게된다.

상기 복수의 게이트라인(GL1 ~ GLn)으로 동일 시간 즉, 2 수평구간(2H) 동안 동일한 레벨을 갖는 게이트 하이 전압(VGH)이 공급되어 상기 복수의 게이트라인(GL1 ~ GLn)과 연결된 박막트랜지스터(TFT)의 충전시간은 서로 동일해진다.

상기 복수의 게이트라인(GL1 ~ GLn)과 연결된 박막트랜지스터(TFT)가 동일한 충전시간을 갖게되면 상기 복수의 데이터라인(DL1 ~ DLm)으로 공급된 데이터 신호가 각 화소영역 상에 형성된 스토리지 캐패시터(Cst)에 충전되는 시간이 동일해진다. 이로인해, 상기 액정패널(102) 상에는 동일한 계조가 표시될 수 있다.

결국, 본 발명에 따른 액정표시장치는 블랭크(Blank) 구간동안 스타트 펄스(Vst) 신호를 미리 게이트 드라이버로 공급함으로써 종래의 액정표시장치에서 발생한 화질저하를 방지하고 화질을 향상시킬 수 있다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명에 따른 액정표시장치는 프레임과 프레임 사이의 구간인 블랭크(Blank) 구간동안 스타트 펄스(Vst) 신호를 미리 게이트 드라이버로 공급하여 종래의 액정표시장치에서 발생한 화질저하를 방지하고 화질을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 종래 액정표시장치를 나타낸 도면.

도 2는 도 1의 게이트 드라이버의 구동전압을 나타낸 도면.

도 3은 본 발명에 따른 액정표시장치를 나타낸 도면.

도 4는 도 3의 게이트 제어신호 생성부를 상세히 나타낸 도면.

도 5는 도 3의 게이트 드라이버의 구동전압을 나타낸 도면.

<도면의 주요부분에 대한 간단한 설명>

102:액정패널 104:게이트 드라이버

106a:제 1 데이터 드라이버 IC 106b:제 2 데이터 드라이버 IC

107a:제 1 데이터 TCP 107b:제 2 데이터 TCP

108:타이밍 컨트롤러

110-1 ~ 110-n:제 1 내지 제 n 쉬프트 레지스터

112:데이터 PCB 114:제어부

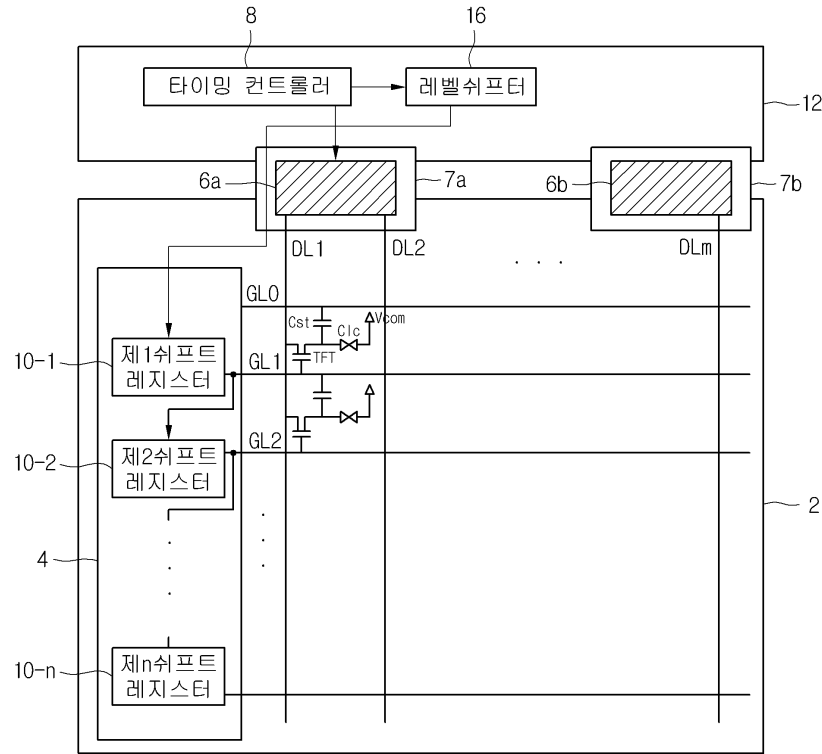
115:게이트 제어신호 생성부 116:레벨 쉬프터

118:카운터 120:레지스터

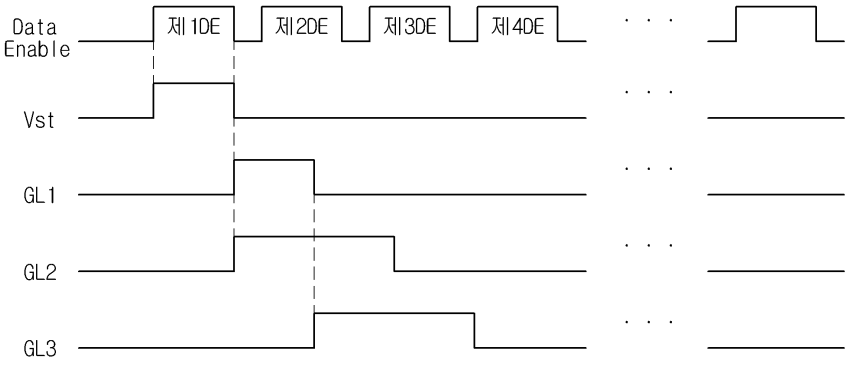
122:비교부 124:단안정 멀티 바이브레이터

도면

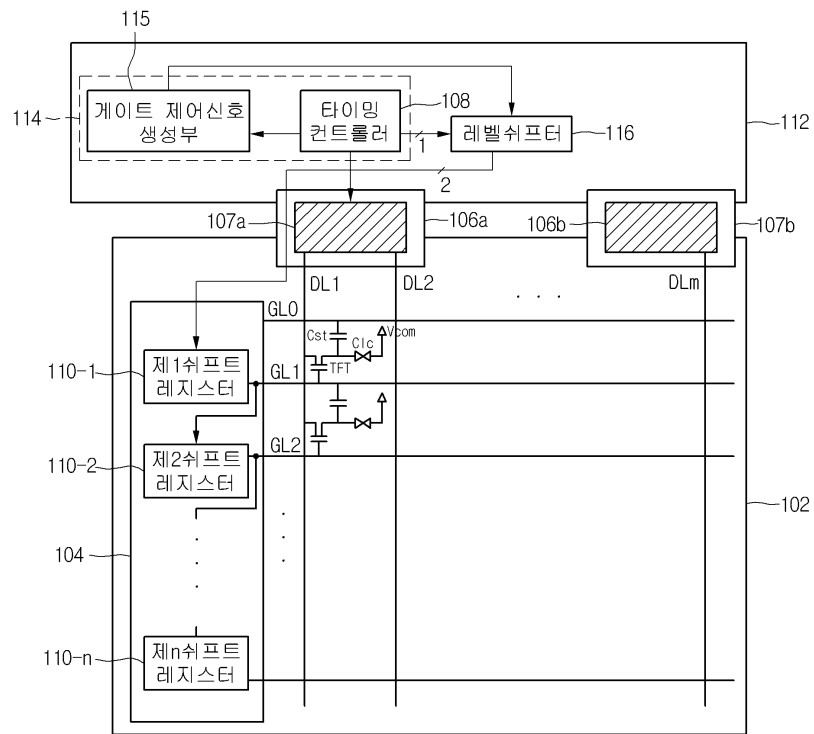
도면1



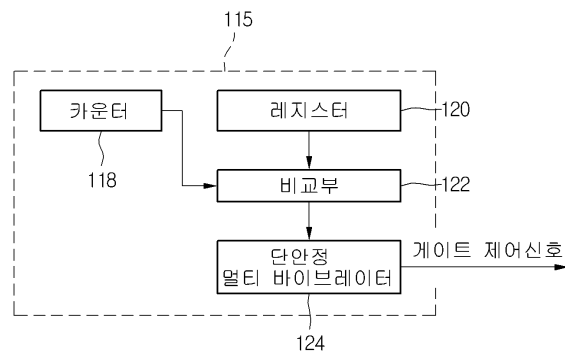
도면2



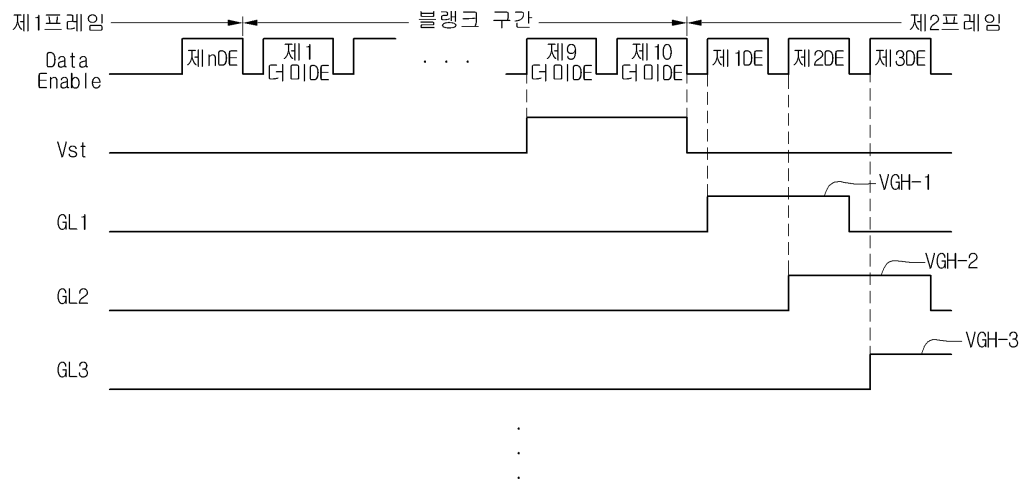
도면3



도면4



도면5



专利名称(译) 液晶显示器及其驱动方法

公开(公告)号	KR1020070072009A	公开(公告)日	2007-07-04
---------	----------------------------------	---------	------------

申请号	KR1020050135923	申请日	2005-12-30
-----	-----------------	-----	------------

[标]申请(专利权)人(译) 乐金显示有限公司

申请(专利权)人(译) LG显示器有限公司

当前申请(专利权)人(译) LG显示器有限公司

[标]发明人 HONG YOUNG GI
홍영기
KIM JIN SUNG
김진성

발명인 홍영기
김진성

IPC分类号 G09G3/36 G09G3/20 G02F1/133

CPC分类号 G09G3/3655 G09G3/3696 G09G2310/0286 G09G2310/0289 G09G2310/061

其他公开文献 KR101244575B1

外部链接 [Espacenet](#)

摘要(译)

公开了一种改善图像质量的液晶显示器及其驱动方法。根据本发明的液晶显示器包括液晶面板上的多条栅极线，连续地，当前驱动的栅极驱动器和栅极控制信号发生器将包括凸区的一部分的栅极起始脉冲提供给栅极驱动器。GIP和起始脉冲信号。

