



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0000836
(43) 공개일자 2007년01월03일

(21) 출원번호 10-2005-0056478
(22) 출원일자 2005년06월28일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김석수
경북 구미시 구평동 부영아파트 206동 806호
윤정환
경북 구미시 남통동 4-5 25/11 105동 102호

(74) 대리인 김용인
심창섭

전체 청구항 수 : 총 5 항

(54) 액정표시장치

(57) 요약

본 발명은 임펄시브 구동시 LOG 방식을 적용할 수 있는 액정표시장치에 관한 것으로, 서로 교차하는 다수개의 게이트 라인들 및 데이터 라인들을 갖는 액정패널; 상기 액정패널에 접속된 다수개의 TCP(Tape Carrier Package); 상기 액정패널을 구동하기 위한 각종 전원 신호 및 게이트 제어신호들을 출력하는 구동회로부; 상기 각 TCP에 실장되어, 상기 TCP에 공급되는 게이트 제어신호들 중 자신에 필요한 게이트 제어신호를 공급받아 상기 게이트 라인들을 구동하는 게이트 드라이브 IC; 상기 구동회로부와, 첫 번째 게이트 드라이브 IC가 실장된 첫 번째 TCP간에 접속된 제 1 LOG형 신호전송라인군; 및, 각 TCP간에 접속되며, 첫 번째 내지 n-1 번째 TCP 각각에 실장된 첫 번째 내지 제 n-1 번째 게이트 드라이브 IC에 필요한 게이트 제어신호들을 제외한 나머지 게이트 제어신호들을 n 번째 게이트 TCP에 전송하는 LOG형 신호전송라인군을 포함하여 구성되는 것이다.

대표도

도 13

특허청구의 범위

청구항 1.

서로 교차하는 다수개의 게이트 라인들 및 데이터 라인들을 갖는 액정패널;

상기 액정패널에 접속된 다수개의 TCP(Tape Carrier Package);

상기 액정패널을 구동하기 위한 각종 전원 신호 및 게이트 제어신호들을 출력하는 구동회로부;

상기 각 TCP에 실장되어, 상기 TCP에 공급되는 게이트 제어신호들 중 자신에 필요한 게이트 제어신호를 공급받아 상기 게이트 라인들을 구동하는 게이트 드라이브 IC;

상기 구동회로부와, 첫 번째 게이트 드라이브 IC가 실장된 첫 번째 TCP간에 접속된 제 1 LOG형 신호전송라인군; 및,

각 TCP간에 접속되며, 첫 번째 내지 n-1 번째 TCP 각각에 실장된 첫 번째 내지 제 n-1 번째 게이트 드라이브 IC에 필요한 게이트 제어신호들을 제외한 나머지 게이트 제어신호들을 n 번째 게이트 TCP에 전송하는 LOG형 신호전송라인군을 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 게이트 제어신호는, 다수개의 게이트 스타트 펄스, 다수개의 게이트 출력신호, 및 다수개의 게이트 쉬프트 클럭을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

각 게이트 드라이브 IC는,

서로 다른 게이트 스타트 펄스를 독립적으로 공급받고, 서로 다른 게이트 출력신호를 독립적으로 공급받으며, 하나의 게이트 쉬프트 클럭을 공통으로 공급받는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

각 게이트 드라이브 IC는,

서로 다른 게이트 출력신호를 독립적으로 공급받고, 서로 다른 게이트 쉬프트 클럭을 독립적으로 공급받으며, 하나의 게이트 스타트 펄스를 공통으로 공급받는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 전원 신호는,

게이트 고전압, 게이트 저전압, 공통전압, 및 접지전압을 포함하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 임펄시브 구동시 LOG 방식을 적용할 수 있는 액정표시장치에 대한 것이다.

일반적으로, 액정 표시 장치(Liquid Crystal Display Device : 이하 LCD)는 후면이 광원에서 발생한 빛을 전면에 있는 LCD 패널의 각 화소가 일종의 광 스위치 역할을 하여 선택적으로 투과시킴으로서 화상을 표시하는 장치이다. 즉, 종래의 음극선관(CRT)은 주사되는 전자선의 세기를 조절하여 휘도를 제어하는데 반하여, LCD 는 광원에서 발생하는 빛의 세기를 제어하여 화면의 휘도를 제어한다.

기술의 발달에 따라 정지 화상을 표시하는 기술뿐만 아니라 동영상 표시하는 기술이 각광을 받고 있는 실정이다.

그러나 각종 디스플레이 매체로 이용되는 액정 표시 장치에서 동화상을 구현하기에는 어려운데, 그 이유는 하나의 프레임 주기보다 액정의 응답 속도가 늦기 때문에 액정에 충전된 전압, 예를 들어 화상 신호 또는 데이터 전압을 한 프레임동안 유지한 후 다음 프레임에서 새로운 전압을 인가하면, 화면상에 끌림 현상이 발생한다.

도 1은 일반적인 CRT에서 시간에 따른 광의 밀도(Light intensity)를 설명하기 위한 도면이고, 도 2는 일반적인 액정표시장치에서 시간에 따른 광의 밀도를 설명하기 위한 도면이다.

도 1에 도시한 바와 같이, CRT는 임펄스(Impulse) 방식으로 구동되는 반면, 도 2에 도시한 일반적인 액정 표시 장치는 홀드(Hold) 방식으로 구동되어 동영상 구현시 화면의 끌림 현상이 발생한다.

액정 표시 장치에서 화면의 끌림 현상을 제거하기 위하여, CRT와 같이 한 프레임의 일정 부분에는 데이터를 입력하고, 나머지 부분에는 블랙 또는 화이트 데이터를 입력하는 임펄스(Impulse) 구동 방식이 제안된 바 있다.

이하, 종래의 액정표시장치의 개략적인 구조 및 그 구동방식에 대하여 보다 구체적으로 설명한다.

도 3은 일반적인 액정표시장치용 패널구성에 대한 개략도이다.

도 3에에 도시된 바와 같이, 공통전극(미도시)을 가지는 상부 기관(4)과, 화소 전극(미도시)을 가지는 하부 기관(6) 및 이 상부 및 하부 기관(4, 6) 사이에 액정층(8)이 개재된 액정표시장치용 패널(2; 이하, 액정패널로 약칭함)과, 이 액정패널(2)의 좌측 및 상부에 위치하며, 이 액정패널(2)에 게이트 및 데이터 신호를 인가하는 게이트 드라이브 IC(10) 및 데이터 드라이브 IC(12)가 각각 연결되어 있다.

상기 하부 기관(6)에는 스캔펄스를 인가받는 다수 개의 게이트 라인(g_i ; i 는 양의 정수로서, $1 \leq i \leq n$)과, 이 게이트 라인(g_i)과 교차하여 다수 개의 화소영역을 정의하며, 데이터 신호를 인가받는 다수 개의 데이터 라인(d_j ; j 는 양의 정수로서, $1 \leq j \leq m$)이 형성되어 있고, 상기 게이트 라인(g_i) 및 데이터 라인(d_j)의 교차하는 영역에는 다수 개의 박막트랜지스터(T)가 형성되어 있다. 상기 게이트 라인들은 상기 게이트 드라이브 IC들로부터의 스캔펄스를 공급받아 구동되며, 상기 데이터 라인들은 상기 데이터 드라이브 IC들로부터의 데이터 신호를 공급받아 구동된다.

상기 액정패널(2)의 하나의 화소단위 등가회로는 상기 박막트랜지스터(T)에 액정 충전용량인 액정용량 캐패시턴스(CLC)와 화소 충전용량인 보조용량 캐패시턴스(CST)가 병렬로 연결되어 구성된다.

다음은, 상기 액정표시장치의 구동방식에 대해서 간략히 설명한다.

일반적으로, 게이트 라인에 스캔펄스가 온상태로 걸리는 시간적 개념인 선택기간 중에는, 게이트 라인에 연결된 박막트랜지스터의 게이트전극에 데이터 라인보다 높은 전압이 걸려 상기 박막트랜지스터의 드레인전극 및 소스전극 사이 채널의 저항이 작아져서, 데이터 라인에 걸린 전압이 화소전극을 통해 액정층에 걸린다. 그리고, 비선택기간 중에는 게이트 라인에 연결된 박막트랜지스터의 게이트전극에 데이터 라인보다 낮은 전압이 걸려 상기 박막트랜지스터의 드레인전극 및 소스전극은 전기적으로 단절되어 선택기간 동안 액정층에 충전된 전하가 유지된다. 즉, 첫 번째 게이트 라인부터 마지막 게이트 라인까지 모두 한 번씩 선택기간과 비선택기간을 거쳐, 화면을 구현하는 최소 단위 인 1 프레임을 이룬다.

도 4는 일반적인 액정표시장치에서, 게이트 펄스의 인가방식을 프레임별 타이밍 차트로 나타낸 도면이다.

동 도면에 도시된 바와 같이, 일반적인 액정표시장치에서는, 한 프레임 동안에는 제 1 게이트 라인(g1)에서 제 n 게이트 라인(gn)까지 순차적으로 게이트 펄스를 인가하여, 전체 게이트 라인을 모두 선택하게 된다. 예를 들어, 연속으로 이어지는 제 1 및 2 프레임에 대해서, 제 1 프레임의 제 1 게이트 펄스(14a)와 제 2 프레임의 제 2 게이트 펄스(14b)는 각각의 프레임에서 오직 한번씩 해당 게이트 라인에 접속된 화소들에 인가된다.

즉, 이와 같은 방식에서는 제 1 게이트 라인(g1)은 게이트 펄스(14)의 온/오프를 거친 후, 제 i 게이트 라인(gi)에 게이트 펄스(14)가 인가될 때까지, 액정층(도 1의 8)의 배열을 한 프레임 동안 일정하게 유지시켜야 하는데, 이러한 구동방식을 홀드타입(hold type) 구동방식이라고 한다.

도 5는 기존의 홀드타입(hold type) 액정표시장치의 프레임별 화소 단위 화상정보 구성방식을 나타낸 도면으로서, 동 도면에 도시된 바와 같이, 홀드타입 구동방식에서는 한 프레임 동안 일정한 화상정보를 유지해야 하는데, 이것은 액정의 응답속도가 상기 화상정보처리 속도 수준을 유지할 때 가능하다.

그러나, 일반적인 액정표시장치에서는 TN(Twisted Nematic) 액정모드가 주로 이용되는데, 이 TN 액정모드는 약 20msec의 응답속도를 가지고, 동화상용에 적합한 액정의 응답속도는 적어도 5msec 이하가 요구되므로, 현재 동화상용 홀드타입 액정 표시장치에서는 화상정보 처리속도를 액정의 응답속도가 따라가지 못하여, 전 화면의 화상정보가 다음 프레임에서 어느 정도 남게 되어 상흐림(motion blur)과 같은 화질저하가 발생하게 된다.

도 5에서, 프레임별로 화상정보 영역간에 높이차는 각 화상 정보의 그레이 레벨(gray level) 차에 따른 것이다.

도 6은 도 5의 액정표시장치의 화면구성 방식을 나타낸 도면으로서, 동 도면에 도시된 바와 같이, 임의의 시간에 화면을 보면, 선택된 게이트 라인(17) 상의 데이터에 의한 화상정보만 리프레쉬(refresh)된다.

상기 선택된 게이트 라인(17)에서는 새로운 프레임에 대한 화상정보를 받게 되는데, 이때 액정의 응답속도가 화상정보 처리속도를 따라가지 못하게 되면, 상기 선택된 게이트 라인(17)의 해당 화소들에서 전 프레임의 화상이 남게 되어 상흐림 현상이 발생하는 것이다.

이외에도, 데이터 드라이브 IC를 통해 인가되는 데이터 신호전압은, 화소에 도달하는 과정에서 배선간의 저항이나, 박막트랜지스터부에서의 기생용량 등의 원인으로 화소에 실질적으로 인가되는 픽셀 전압량과 오차를 가지게 된다.

이것은 설계치의 화상정보와 실질적인 화상정보의 차를 가져오게 되는데, 이러한 오차는 시각인식적인 면에서 상흐림 현상을 가져온다.

도 7은 일반적인 CRT 표시장치의 광 발산 프로파일(light emission profiles)을 나타낸 도면이고, 도 8은 일반적인 액정표시장치의 광 작동 곡선(lighting operation curve)을 나타낸 도면으로서, 하나의 화소를 기준으로 프레임별로 나타내었다.

도 7의 CRT 표시장치에서는, 한 프레임 내에서 광 강도를 제로로 하는 블랙화상 구간(I)을 두어, 각 프레임별로 광 발산 프로파일이 개별적으로 구현되는 반면, 도 8의 액정표시장치는 각 프레임마다 고정된 이미지를 유지하는 홀드타입 구동방식이기 때문에, 지속적인 광 작동 곡선이 형성되는데, 이때, 광 작동 곡선과 데이터 전압간의 오차영역(II)은 프레임이 거듭될수록 시각인식적으로 상흐림 현상을 가져오게 된다. 따라서, 상기 홀드 타입 구동 방식의 문제점을 개선하기 위해서, 임펄시브 타입 구동방식이 제안된 바 있다.

도 9는 종래의 임펄시브 타입(impulsive type) 액정표시장치의 프레임 단위 화상정보 구성방식을 나타낸 도면으로서, 동 도면에 도시된 바와 같이, 임펄시브 구동방식은 전 프레임에서의 화질 저하요인이 현재 프레임에 영향을 끼치는 것을 방지하기 위하여, 한 프레임 단위로 일정구간을 블랙 화상 영역(III)에 할당하는 방식이다.

상기와 같은 임펄시브 구동 방식은 크게 데이터 어드레싱(Data Addressing) 방식과 백라이트 제어(Backlight Control) 방식으로 구분된다.

도 10은 상기 데이터 어드레싱(또는 데이터 블링킹(Data Blinking)이라 칭함) 방식의 임펄시브 구동을 설명하기 위한 도면으로서, 도 10의 (a) 및 (b)와 같이 하나의 게이트 펄스 폭(Gate pulse width)을 리얼(real) 데이터 입력 라인(B-line)과 블

랙(black) 데이터 입력 라인(A-line)이 절반씩 분할하여 사용하고, 도 10의 (a) 및 (c)와 같이 1 프레임을 특정 비율(예를 들어 7:3, 6:4,... 등)로 분할하여 1 프레임의 분할된 일정 부분에는 리얼 데이터를 입력하고 나머지 부분에는 블랙 데이터를 입력하여 각 라인의 리얼 데이터 홀딩 시간을 확보한다.

한편, 상기 게이트 라인을 구동하기 위한 게이트 드라이브 IC들은 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 및 게이트 출력신호(Gate Output Enable)와 같은 게이트 제어신호를 사용하여 상기 스캔펄스를 생성한다.

이때, 게이트 쉬프트 클럭은 박막트랜지스터의 온/오프되는 시간을 알려주는 신호로서 게이트 드라이브 IC에 구비된 쉬프트 레지스터의 클럭으로 이용되며, 게이트 출력신호는 게이트 드라이브 IC의 출력을 제어하는 역할을 하며, 상기 게이트 스타트 펄스는 하나의 수직동기신호 중에서 스캔펄스의 시작과 종료 시점을 제어하는 신호이다.

이들의 동작을 살펴보면, 상기 각 게이트 드라이브 IC는 상기 게이트 쉬프트 클럭을 사용하여 게이트 스타트 펄스를 쉬프트 시켜 출력하는데, 이때 상기 출력은 게이트 출력신호에 의해 제어된다.

여기서, 일반적인 액정표시장치에서의 게이트 드라이브 IC와, 상기 임펄스 구동 방식의 액정표시장치에서의 게이트 드라이브 IC는 서로 다른 수의 게이트 제어신호를 공급받는다.

도 11은 일반적인 액정표시장치의 게이트 드라이브 IC에 공급되는 게이트 제어신호의 종류를 나타낸 도면이다.

여기서, 설명의 편의상, 각 액정표시장치가 3개의 게이트 드라이브 IC를 구비한다고 가정하기로 한다.

도 11에 도시된 바와 같이, 게이트 스타트 펄스(GSP)는 3개의 게이트 드라이브 IC들(110a 내지 110c) 중 첫 번째 게이트 드라이브 IC(110a)에만 공급되고, 게이트 쉬프트 클럭(GSC) 및 게이트 출력신호(GOE)는 3개의 게이트 드라이브 IC들(110a 내지 110c)에 공통으로 공급된다.

한편, 상기 임펄스 구동방식의 액정표시장치의 게이트 드라이브 IC에는 두 가지 방식으로 상기 신호들이 공급될 수 있다.

도 12는 임펄스 구동방식의 액정표시장치의 게이트 드라이브 IC에 공급되는 게이트 제어신호의 종류를 나타낸 것이다.

먼저, 도 12의 (a)에 도시된 바와 같이, 3종류의 게이트 스타트 펄스(GSP1 내지 GSP3)가 각 게이트 드라이브 IC(120a 내지 120c)에 독립적으로 공급되고, 3종류의 게이트 출력신호(GOE1 내지 GOE3)가 각 게이트 드라이브 IC에 독립적으로 공급되며, 1종류의 게이트 쉬프트 클럭(GSC1)이 상기 각 게이트 드라이브 IC(120a 내지 120c)에 공통으로 공급된다.

그리고, 도 12의 (b)에 도시된 바와 같이, 3종류의 게이트 쉬프트 클럭(GSC1 내지 GSC3)이 각 게이트 드라이브 IC(120a 내지 120c)에 독립적으로 공급되고, 3종류의 게이트 출력신호(GOE1 내지 GOE3)가 각 게이트 드라이브 IC(120a 내지 120c)에 독립적으로 공급되며, 1종류의 게이트 스타트 펄스(GSP1)가 각 게이트 드라이브 IC(120a 내지 120c)에 공통으로 공급된다.

한편, 일반적인 액정표시장치에 구비된 각 집적회로는 상기와 같이 1종류의 게이트 스타트 펄스(GSP), 게이트 출력신호(GOE), 및 게이트 쉬프트 클럭(GSC)을 사용하기 때문에, 상기 일반적인 액정표시장치에서의 게이트 제어신호를 전송하는 신호라인은 LOG(Line On Glass) 방식으로 액정패널상에 형성될 수 있다. 그러나, 임펄스 구동방식을 채용한 액정표시장치에 구비된 각 게이트 드라이브 IC(120a 내지 120c)는 상기와 같이 세 종류의 게이트 스타트 펄스(GSP1 내지 GSP3), 게이트 출력신호(GOE1 내지 GOE3), 및 게이트 쉬프트 클럭(GSC1)을 사용하기 때문에, 상기 임펄스 구동방식을 채용한 액정표시장치에서의 게이트 제어신호를 전송하는 신호라인은 별도의 PCB(Printed Circuit Board)기판에 형성되었다. 따라서, 임펄스 구동방식의 액정표시장치는 그 사이즈가 커질 수 밖에 없는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 임펄스 구동방식이 적용된 게이트 드라이버 IC에 LOG 형 신호전송라인을 통해 게이트 제어신호를 공급함으로써, 더 작은 사이즈를 가질 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 서로 교차하는 다수개의 게이트 라인들 및 데이터 라인들을 갖는 액정패널; 상기 액정패널에 접속된 다수개의 TCP(Tape Carrier Package); 상기 액정패널을 구동하기 위한 각종 전원 신호 및 게이트 제어신호들을 출력하는 구동회로부; 상기 각 TCP에 실장되어, 상기 TCP에 공급되는 게이트 제어신호들 중 자신에 필요한 게이트 제어신호를 공급받아 상기 게이트 라인들을 구동하는 게이트 드라이브 IC; 상기 구동회로부와, 첫 번째 게이트 드라이브 IC가 실장된 첫 번째 TCP간에 접속된 제 1 LOG형 신호전송라인군; 및, 각 TCP간에 접속되며, 첫 번째 내지 n-1 번째 TCP 각각에 실장된 첫 번째 내지 제 n-1 번째 게이트 드라이브 IC에 필요한 게이트 제어신호들을 제외한 나머지 게이트 제어신호들을 n 번째 게이트 TCP에 전송하는 LOG형 신호전송라인군을 포함하여 구성됨을 그 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.

도 13은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.

본 발명의 실시예에 따른 액정표시장치는, 도 13에 도시된 바와 같이, 타이밍 콘트롤러(252)와 직류-직류 변환기(253)를 포함하는 PCB(Printed Circuit Board)(202)와, 화상을 표시하기 위한 액정패널(201)과, 데이터 드라이브 IC(277)를 실장하여 상기 PCB(202)와 액정패널(201) 사이에 접속된 다수개의 데이터 TCP들(222)과, 게이트 드라이브 IC(288)를 실장하여 액정패널(201)에 접속된 다수개의 게이트 TCP들(211)을 구비한다.

여기서, 상기 열거한 각 구성요소를 좀 더 구체적으로 설명하면 다음과 같다.

상기 액정패널(201)은 서로 마주보는 두 개의 유리 가판과, 상기 유리 가판 사이에 형성된 액정층을 포함하는 것으로, 상기 두 개의 유리 기판 중 하나(이하, 제 1 기판(201a)으로 표기)에는 상술한 게이트 라인들(GL), 데이터 라인들(DL), TFT, 및 화상을 표시하기 위한 화소전극이 구비되어 있으며, 나머지 유리 기판(이하, 제 2 기판(201b)으로 표기)에는 컬러를 표현하기 위한 컬러필터층, 상기 화소를 제외한 부분에 형성되어 빛을 차광하는 블랙매트릭스층, 및 공통전극이 형성되어 있다. 여기서, 상술한 게이트 TCP(211), 및 데이터 TCP(222)는 상기 액정패널(201)의 제 1 기판(201a)상에 접속된다.

상기 게이트 드라이브 IC(288)는 상기 타이밍 콘트롤러(252)로부터의 게이트 제어신호(GDC)에 응답하여 스캔 펄스전압을 게이트 라인들(GL)에 순차적으로 공급하여 데이터가 공급되는 액정패널(201)의 수평라인을 선택한다. 여기서, 상기 게이트 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 신호(Gate Output Enable : GOE) 등을 포함한다.

상기 데이터 드라이브 IC(277)는 타이밍 콘트롤러(252)로부터의 데이터 제어신호(DDC)에 응답하여 디지털 비디오 데이터(RGB)를 계조값에 대응하는 아날로그 감마전압으로 변환하고 그 아날로그 감마전압을 상기 데이터 라인들(DL)에 공급한다. 상기 데이터 드라이브 IC(277)에는 전원전압으로써 상기 구동전원(VCC)이 공급된다. 여기서, 상기 데이터 제어신호(DDC)는 소스 게이트 스타트 펄스(Source Start Pulse : GSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 신호(Source Output Enable : SOC), 극성신호(Polarity : POL) 등을 포함한다.

상기 타이밍 콘트롤러(252)는 인터페이스회로를 경유하여 시스템(251)의 그래픽 콘트롤러로부터 입력되는 수직/수평 동기신호와 클럭신호를 이용하여 게이트 드라이브 IC(288)를 제어하기 위한 게이트 제어신호(GDC)와 데이터 드라이브 IC(277)(13)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 또한, 상기 타이밍 콘트롤러(252)는 인터페이스회로를 경유하여 시스템(251)의 그래픽 콘트롤러로부터 입력되는 디지털 비디오 데이터(RGB)를 재정렬하여 상기 데이터 드라이브 IC(277)에 공급한다. 상기 타이밍 콘트롤러(252)를 구동시키기 위한 전원전압은 시스템(251)의 전원으로부터 입력되는 구동전원(VCC)이다.

상기 직류-직류 변환기(253)는 시스템(251)으로부터 입력되는 구동전원(VCC)을 승압 또는 감압하여 액정패널(201)에 필요한 전압들을 공급한다. 즉, 상기 직류-직류 변환기(253)의 출력 전압은 기준전압(VDD), 10 단계 미만의 감마기준전압(GMA1~10), 공통전압(VCOM), 게이트 고전압(VGH), 게이트 저전압(VGL)이다. 상기 감마기준전압(GMA1~10)은 기준전압(VDD)의 분압에 의해 발생된 전압이다. 상기 기준전압(VDD)과 감마기준전압(GMA1~10)은 아날로그 감마전압으로써 데이터 드라이브 IC(277)에 공급된다. 상기 공통전압(VCOM)은 상기 데이터 드라이브 IC(277)를 경유하여 제 2 기판(201b)의 공통전극에 공급되는 전압이다. 게이트 고전압(VGH)은 TFT의 문턱전압 이상으로 설정된 스캔펄스의 하이 논리전압으로써 상기 게이트 드라이브 IC(288)에 공급되고 게이트 저전압(VGL)은 TFT의 오프전압으로 설정된 스캔펄스의 로우논리전압으로써 게이트 드라이브 IC(288)에 공급된다.

상기 게이트 TCP(211)에는 다수개의 입력라인들(255a) 및 출력라인들(255b)이 형성되어 있는데, 상기 입력라인들(255a) 각각은 상기 게이트 TCP(211)에 실장된 게이트 드라이브 IC(288)의 입력핀에 연결되고, 상기 출력라인들(255b) 각각은 상기 게이트 드라이브 IC(288)의 출력핀에 연결된다. 따라서, 상기 게이트 드라이브 IC(288)는, 상기 입력라인들(255a)을 통해 상기 타이밍 컨트롤러(252) 및 직류-직류 변환기(253)로부터의 각종 신호를 공급받아 스캔 펄스전압을 생성하고, 이를 자신의 출력핀들(255b)을 통해 순차적으로 출력한다. 이 출력핀들(255b) 각각은 링크라인(232)을 통해 각 게이트 라인(GL)에 전기적으로 연결되어 있기 때문에, 결국, 상기 각 게이트 드라이브 IC(288)로부터 출력된 스캔 펄스전압들은 상기 게이트 라인들(GL)에 순차적으로 공급된다.

상기 데이터 TCP(222)에는 다수개의 입력라인들(244a) 및 출력라인들(244b)이 형성되어 있는데, 상기 입력라인들(244a) 각각은 상기 데이터 TCP(222)에 실장된 데이터 드라이브 IC(277)의 입력핀에 연결되고, 상기 출력라인들(244b) 각각은 상기 데이터 드라이브 IC(277)의 출력핀에 연결된다. 따라서, 상기 데이터 드라이브 IC(277)는, 상기 입력라인들(244a)을 통해 상기 타이밍 컨트롤러(252) 및 직류-직류 변환기(253)로부터의 각종 신호를 공급받아 화상 데이터를 생성하고, 이를 자신의 출력핀들(244b)을 통해 동시에 출력한다. 이 출력핀들(244b) 각각은 링크라인(231)을 통해 각 데이터 라인(DL)에 전기적으로 연결되어 있기 때문에, 결국, 상기 각 데이터 드라이브 IC(277)로부터 출력된 화상 데이터는 상기 데이터 라인들(DL)에 동시에 공급된다.

특히, 상기 데이터 TCP(222)들 중 첫 번째 데이터 TCP(222)(도 2의 데이터 TCP(222)들 중 가장 좌측에 위치한 데이터 TCP(222))에는, 상기 각 게이트 드라이브 IC(288)에서 필요로 하는 신호들을 전송하는 게이트 신호 입력라인들(299)이 형성되어 있는데, 상기 게이트 신호 입력라인들(299)은 액정패널(201)상에 형성된 LOG(Line On Glass)형 신호전송라인들(272)을 통해 상기 첫 번째 게이트 TCP(211)(도 2의 게이트 TCP(211)들 중 가장 상측에 위치한 게이트 TCP(211))에 연결된다. 즉, 상기 LOG형 신호전송라인들(272)은 상기 첫 번째 데이터 TCP(222)와 상기 첫 번째 게이트 TCP(211)간을 연결한다. 다시말하면, 상기 LOG형 신호전송라인들(272)의 각 일측은 상기 첫 번째 게이트 TCP(211)에 형성된 입력라인들(255a) 각각에 연결되고, 상기 LOG형 신호전송라인들(272)의 각 타측은 상기 첫 번째 데이터 TCP(222)에 형성된 게이트 신호 입력라인들(299) 각각에 연결된다. 여기서, 상기 게이트 신호 입력라인들(299)은 PCB(202)에 형성된 신호전송라인들(271)과 연결되고, 상기 PCB(202)에 형성된 신호전송라인들(271)은 타이밍 컨트롤러(252) 및 직류-직류 변환기(253)의 출력단자에 연결된다.

또한, 상기 LOG형 신호전송라인들(272)은 상기 각 게이트 TCP(211) 사이에도 형성되어, 상기 각 게이트 TCP(211)간을 서로 연결한다. 다시말하면, 상기 LOG형 신호전송라인들(272)의 각 일측은 n-1 번째 게이트 TCP(211)에 형성된 입력라인들(255a) 각각에 연결되고, 상기 LOG형 신호전송라인들(272)의 각 타측은 n번째 게이트 TCP(211)에 형성된 입력라인들(255a) 각각에 연결된다.

이와 같이 상기 신호전송라인들(271), 게이트 신호 입력라인들(299), LOG형 신호전송라인들(272) 및 입력라인들(255a)은 상기 게이트 드라이브 IC(288)에 필요한 각종 신호를 출력하는 구동부(타이밍 컨트롤러(252), 직류-직류 변환기(253))와 각 게이트 드라이브 IC(288)간을 전기적으로 연결하게 된다.

여기서, 상기 LOG형 신호라인들(272)을 좀 더 구체적으로 설명하면 다음과 같다.

즉, 상기 LOG형 신호전송라인들(272)은 액정패널(201), 구체적으로 상기 액정패널(201)의 제 1 기판(201a)상에 라인 온 글래스 방식으로 형성된 신호배선들이다. 이 LOG형 신호전송라인들(272)은 상기 전원신호(게이트 고전압(VGH), 게이트 저전압(VGL), 공통전압(VCOM), 및 접지전압(GND))을 전송하기 위한 전원라인을 포함한다. 즉, 상기 LOG형 신호전송라인들(272)은 상기 게이트 고전압(VGH)을 전송하기 위한 게이트 고전압 전송라인, 상기 게이트 저전압(VGL)을 전송하기 위한 게이트 저전압 전송라인, 상기 공통전압(VCOM)을 전송하기 위한 공통전압 전송라인, 및 접지전압(GND)을 전송하기 위한 접지전압 전송라인을 포함한다. 또한, 상기와 같은 전원라인 이외에도, 상기 LOG형 신호전송라인들(272)은 게이트 제어신호 전송라인들을 더 포함한다. 즉, 상기 게이트 제어신호 전송라인들은, 상기 게이트 스타트 펄스를 전송하기 위한 게이트 스타트 펄스 전송라인, 상기 게이트 쉬프트 클럭을 전송하기 위한 게이트 쉬프트 클럭 전송라인, 및 게이트 출력신호를 전송하기 위한 게이트 출력신호 전송라인을 더 포함한다.

한편, 상기 각 게이트 TCP(211)에 형성된 입력라인들(255a)도, 상술한 LOG형 신호전송라인들(272)과 동일한 구성을 갖는다. 즉, 상기 게이트 TCP(211)에 형성된 입력라인들(255a)은, 상기 게이트 고전압(VGH)을 전송하기 위한 게이트 고전압 입력라인, 상기 게이트 저전압(VGL)을 전송하기 위한 게이트 저전압 입력라인, 상기 공통전압(VCOM)을 전송하기 위

한 공통전압 입력라인, 및 상기 접지전압(GND)을 전송하기 위한 접지전압 입력라인을 포함한다. 또한, 상기 입력라인들(255a)은, 상기 게이트 스타트 펄스를 전송하기 위한 게이트 스타트 펄스 입력라인, 상기 게이트 쉬프트 클럭을 전송하기 위한 게이트 쉬프트 클럭 입력라인, 및 게이트 출력신호를 전송하기 위한 게이트 출력신호 입력라인을 더 포함한다.

또 한편, 상기 공통전압 신호전송라인, 및 상기 공통전압 신호전송라인에 연결된 공통전압 입력라인 의해서 전송되는 공통전압(VCOM)은 Ag 도트를 통해 제 2 기판(201b)상의 공통전극에 공급된다.

여기서, 상기 LOG형 신호전송라인에 대하여 좀 더 구체적으로 설명하면 다음과 같다.

도 14는 도 13의 LOG형 신호전송라인에 대한 상세 구성도이다.

여기서, 설명의 편의상, 상기 게이트 드라이브 IC들을 위에서부터 차례로 제 1 내지 제 3 게이트 드라이브 IC(288a 내지 288c)로 구분하여 정의하기로 하고, 상기 게이트 TCP들(211)을 위에서부터 차례로 제 1 내지 제 3 게이트 TCP(211a 내지 211c)로 구분하여 정의하기로 한다.

LOG형 신호전송라인(272)은, 상술한 바와 같이, 전원라인(게이트 고전압 전송라인, 게이트 저전압 전송라인, 공통전압 전송라인, 및 접지전압 전송라인)과 게이트 제어신호 전송라인(게이트 스타트 펄스 전송라인, 게이트 쉬프트 클럭 전송라인(L31), 게이트 출력신호 전송라인)을 포함하는데, 도 14은 상기 게이트 제어신호 전송라인만을 표시한 것이다. 한편, 도 14에 도시된 제 1 내지 제 3 게이트 드라이브 IC(288a 내지 288c)는 다수개의 게이트 스타트 펄스(GSP1 내지 GSP3), 다수개의 게이트 출력신호(GOE1 내지 GOE3), 및 하나의 게이트 쉬프트 클럭(GSC1)을 공급받는다.

여기서, 상술한 임펄시브 구동을 위해, 상기 게이트 스타트 펄스는 상기 게이트 드라이브 IC에 해당하는 수만큼의 종류가 필요하다. 즉, 도 14에는 3개의 게이트 드라이브 IC(288a 내지 288c)가 구비되어 있으므로, 3개의 서로 다른 위상을 갖는 3개의 게이트 스타트 펄스(GSP1 내지 GSP3)가 필요하다. 이때, 상기 제 1 내지 제 3 게이트 스타트 펄스(GSP1 내지 GSP3)를 전송하기 위해서는, 도 14에 도시된 바와 같이, 제 1 내지 제 3 게이트 스타트 펄스 전송라인(L21 내지 L23)이 필요하다.

또한, 상기 임펄시브 구동을 위해, 상기 게이트 출력신호도 상기 게이트 드라이브 IC에 해당하는 수만큼의 종류가 필요하다. 즉, 도 14에는 3개의 게이트 드라이브 IC가 구비되어 있으므로, 3개의 서로 다른 위상을 갖는 3개의 게이트 출력신호가 필요하다. 이때, 상기 제 1 내지 제 3 게이트 출력신호(GOE1 내지 GOE3)를 전송하기 위해서는, 도 14에 도시된 바와 같이, 제 1 내지 제 3 게이트 출력신호 전송라인(L11 내지 L13)이 필요하다.

또한, 상기 임펄시브 구동을 위해, 상기 게이트 쉬프트 클럭(GSC1)은 1종류가 필요하다.

또한, 제 1 내지 제 3 게이트 TCP(211a 내지 211c)에도, 상기 제 1 내지 제 3 게이트 스타트 펄스 전송라인(L21 내지 L23), 제 1 내지 제 3 게이트 출력신호 전송라인(L11 내지 L13), 및 게이트 쉬프트 클럭 전송라인(L31)에 대응하는 입력라인들을 갖는다.

즉, 도 14에 도시된 바와 같이, 각 게이트 TCP(211a 내지 211c)에는 상기 제 1 내지 제 3 게이트 스타트 펄스(GSP1 내지 GSP3)를 전송하기 위한 제 1 내지 제 3 게이트 스타트 펄스 입력라인(L61 내지 L63), 상기 제 1 내지 제 3 게이트 출력신호(GOE1 내지 GOE3)를 전송하기 위한 제 1 내지 제 3 게이트 출력신호 입력라인(L51 내지 L53), 및 상기 게이트 쉬프트 클럭(GSC1)을 전송하기 위한 게이트 쉬프트 클럭 입력라인(L71)이 형성된다.

단, 상기 제 1 게이트 스타트 펄스(GSP1)는 상기 제 1 게이트 드라이브 IC(288a)에만 공급되며, 제 2 게이트 스타트 펄스(GSP2)는 상기 제 2 게이트 드라이브 IC(288b)에만 공급되며, 제 3 게이트 스타트 펄스(GSP3)는 상기 제 3 게이트 드라이브 IC(288c)에만 공급된다.

이와 같이, 상기 각 게이트 스타트 펄스를 필요한 게이트 드라이브 IC에 선택적으로 공급하기 위해서, 상기 제 1 내지 제 3 게이트 스타트 펄스 전송라인(L21 내지 L23)은 다음과 같이 구성된다.

즉, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 1 게이트 스타트 펄스 전송라인(L21)이 형성되지 않는다. 대신, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 2 게이트 스타트 펄스 전송라인(L22)이 형성된다. 이때, 상기 제 2 게이트 스타트 펄스 전송라인(L22)의 일측은 상기 제 1 게이트 TCP(211a)에 형성된 제 2 게이트 스타트 펄스 전송라인(L22)에 접속되며, 타측은 상기 제 2 게이트 TCP(211b)에 형성된 제 1 게이트 스타트 펄스 전송

라인(L21)에 접속된다. 즉, 상기 제 2 게이트 스타트 펄스(GSP2)는 상기 제 2 게이트 드라이브 IC(288b)에 제 1 게이트 스타트 펄스(GSP1)로서 입력되기 위해서, 제 2 게이트 스타트 펄스 전송라인(L22)이 아닌 제 1 게이트 스타트 펄스(GSP1) 전송라인에 입력된다.

또한, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 1 게이트 출력신호 전송라인(L11)이 형성되지 않는다. 대신, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 2 게이트 출력신호 전송라인(L12)이 형성된다. 이때, 상기 제 2 게이트 출력신호 전송라인(L12)의 일측은 상기 제 1 게이트 TCP(211a)에 형성된 제 2 게이트 출력신호 전송라인(L12)에 접속되며, 타측은 상기 제 2 게이트 TCP(211b)에 형성된 제 1 게이트 출력신호 전송라인(L11)에 접속된다. 즉, 상기 제 2 게이트 출력신호(GOE2)는 상기 제 2 게이트 드라이브 IC(288b)에 제 1 게이트 출력신호(GOE1)로서 입력되기 위해서, 제 2 게이트 출력신호 전송라인(L12)이 아닌 제 1 게이트 스타트 펄스(GSP1)전송라인에 입력된다.

한편, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 3 게이트 스타트 펄스 전송라인(L23), 및 제 3 게이트 출력신호 전송라인(L13)이 형성된다. 이 제 3 게이트 스타트 펄스 전송라인(L23)은 상기 제 2 게이트 TCP(211b)의 제 3 게이트 스타트 펄스 입력라인(L63) 및 제 3 게이트 스타트 펄스 전송라인(L23)(제 2 게이트 TCP(211b)와 제 3 게이트 TCP(211c)간에 형성된 제 3 게이트 스타트 펄스 전송라인(L23))을 통해, 제 3 게이트 TCP(211c)의 제 1 게이트 스타트 펄스 입력라인(L61)에 접속된다. 그리고, 이 제 3 게이트 출력신호 전송라인(L13)은 상기 제 2 게이트 TCP(211b)의 제 3 게이트 출력신호 입력라인(L53) 및 제 3 게이트 출력신호 전송라인(L13)(제 2 게이트 TCP(211b)와 제 3 게이트 TCP(211c)간에 형성된 제 3 게이트 출력신호 전송라인(L13))을 통해, 제 3 게이트 TCP(211c)의 제 1 게이트 출력신호 입력라인(L51)에 접속된다.

이와 같은 방식으로, 상기 제 2 게이트 TCP(211b)와 제 3 게이트 TCP(211c)간에는 제 1 및 제 2 게이트 스타트 펄스 전송라인(L22), 그리고 제 1 및 2 게이트 출력신호 전송라인이 형성되지 않는다. 대신, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 3 게이트 스타트 펄스 전송라인(L23) 및 제 3 게이트 출력신호 전송라인(L13)이 형성된다. 이때, 상기 제 3 게이트 스타트 펄스 전송라인(L23)의 일측은 상기 제 2 게이트 TCP(211b)에 형성된 제 3 게이트 스타트 펄스 입력라인(L63)에 접속되며, 타측은 상기 제 3 게이트 TCP(211c)에 형성된 제 1 게이트 스타트 펄스 입력라인(L61)에 접속된다. 즉, 상기 제 3 게이트 스타트 펄스(GSP3)는 상기 제 3 게이트 드라이브 IC(288c)에 제 1 게이트 스타트 펄스(GSP1)로서 입력되기 위해서, 제 3 게이트 스타트 펄스 입력라인(L63)이 아닌 제 1 게이트 스타트 펄스 입력라인(L61)에 입력된다. 또한, 상기 제 3 게이트 출력신호 전송라인(L13)의 일측은 상기 제 2 게이트 TCP(211b)에 형성된 제 3 게이트 출력신호 입력라인(L53)에 접속되며, 타측은 상기 제 3 게이트 TCP(211c)에 형성된 제 1 게이트 출력신호 입력라인(L51)에 접속된다. 즉, 상기 제 3 게이트 출력신호(GOE3)는 상기 제 3 게이트 드라이브 IC(288c)에 제 1 게이트 출력신호(GOE1)로서 입력되기 위해서, 제 3 게이트 출력신호 입력라인(L53)이 아닌 제 1 게이트 스타트 펄스 입력라인(L61)에 입력된다.

한편, 상기 게이트 쉬프트 클럭(GSC1)은 모든 게이트 드라이브 IC에 공통으로 입력되므로, 상기 클럭을 전송하는 게이트 쉬프트 클럭 전송라인(L31)은 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에 형성되고, 또한 제 2 게이트 TCP(211b)와 제 3 게이트 TCP(211c)간에 형성된다.

또 한편, 상기 제 1 게이트 드라이브 IC(288a)가 실장된 TCP와 첫 번째 데이터 TCP(222)간에 형성된 LOG형 신호전송라인들(272)은 제 1 내지 제 3 게이트 출력신호 전송라인(L11 내지 L13), 제 1 내지 제 3 게이트 스타트 펄스 전송라인(L21 내지 L23), 및 하나의 게이트 쉬프트 클럭 전송라인(L31)을 포함한다. 즉, 상기 제 1 게이트 TCP는 상기 제 1 내지 제 3 게이트 드라이브 IC(288a 내지 288c)에 필요한 모든 게이트 제어신호(제 1 내지 제 3 게이트 출력신호(GOE1 내지 GOE3), 제 1 내지 제 3 게이트 스타트 펄스(GSP1 내지 GSP3), 및 게이트 쉬프트 클럭(GSC1))를 상기 첫 번째 데이터 TCP(222)를 통해 타이밍 콘트롤러(252)로부터 공급받게 된다.

도 15는 도 13의 LOG형 신호전송라인에 대한 또 다른 상세 구성도이다.

여기서, 설명의 편의상, 상기 게이트 드라이브 IC들을 위에서부터 차례로 제 1 내지 제 3 게이트 드라이브 IC(288a 내지 288c)로 구분하여 정의하기로 하고, 상기 게이트 TCP들을 위에서부터 차례로 제 1 내지 제 3 게이트 TCP(211a 내지 211c)로 구분하여 정의하기로 한다.

LOG형 신호전송라인(272)은, 상술한 바와 같이, 전원라인(게이트 고전압 전송라인, 게이트 저전압 전송라인, 공통전압 전송라인, 및 접지전압 전송라인)과 게이트 제어신호 전송라인(게이트 쉬프트 클럭 전송라인, 게이트 쉬프트 클럭 전송라인,

게이트 출력신호 전송라인)을 포함하는데, 도 15는 상기 게이트 제어신호 전송라인만을 표시한 것이다. 한편, 도 15에 도시된 제 1 내지 제 3 게이트 드라이브 IC(288a 내지 288c)는 다수개의 게이트 쉬프트 클럭(GSC1 내지 GSC3), 다수개의 게이트 출력신호(GOE1 내지 GOE3), 및 하나의 게이트 스타트 펄스(GSP1)를 공급받는다.

여기서, 상술한 임펄시브 구동을 위해, 상기 게이트 쉬프트 클럭은 상기 게이트 드라이브 IC에 해당하는 수만큼의 종류가 필요하다. 즉, 도 15에는 3개의 게이트 드라이브 IC가 구비되어 있으므로, 3개의 서로 다른 위상을 갖는 3개의 게이트 쉬프트 클럭이 필요하다. 이때, 상기 제 1 내지 제 3 게이트 쉬프트 클럭(GSC1 내지 GSC3)을 전송하기 위해서는, 도 15에 도시된 바와 같이, 제 1 내지 제 3 게이트 쉬프트 클럭 전송라인(L21 내지 L23)이 필요하다.

또한, 상기 임펄시브 구동을 위해, 상기 게이트 출력신호도 상기 게이트 드라이브 IC에 해당하는 수만큼의 종류가 필요하다. 즉, 도 15에는 3개의 게이트 드라이브 IC가 구비되어 있으므로, 3개의 서로 다른 위상을 갖는 3개의 게이트 출력신호가 필요하다. 이때, 상기 제 1 내지 제 3 게이트 출력신호(GOE1 내지 GOE3)를 전송하기 위해서는, 도 15에 도시된 바와 같이, 제 1 내지 제 3 게이트 출력신호 전송라인(L11 내지 L13)이 필요하다.

또한, 상기 임펄시브 구동을 위해, 상기 게이트 스타트 펄스(GSP1)는 1종류가 필요하다.

또한, 제 1 내지 제 3 게이트 TCP(211a 내지 211c)에도, 상기 제 1 내지 제 3 게이트 쉬프트 클럭 전송라인(L21 내지 L23), 제 1 내지 제 3 게이트 출력신호 전송라인(L11 내지 L13), 및 게이트 스타트 펄스 전송라인(L31)에 대응하는 입력라인들을 갖는다.

즉, 도 15에 도시된 바와 같이, 각 게이트 TCP에는 상기 제 1 내지 제 3 게이트 쉬프트 클럭(GSC1 내지 GSC3)을 전송하기 위한 제 1 내지 제 3 게이트 쉬프트 클럭 입력라인(L61 내지 L63), 상기 제 1 내지 제 3 게이트 출력신호(GOE1 내지 GOE3)를 전송하기 위한 제 1 내지 제 3 게이트 출력신호 입력라인(L51 내지 L53), 및 상기 게이트 스타트 펄스(GSP1)를 전송하기 위한 게이트 스타트 펄스 입력라인(L71)이 형성된다.

단, 상기 제 1 게이트 쉬프트 클럭(GSC1)은 상기 제 1 게이트 드라이브 IC(288a)에만 공급되며, 제 2 게이트 쉬프트 클럭(GSC2)은 상기 제 2 게이트 드라이브 IC(288b)에만 공급되며, 제 3 게이트 쉬프트 클럭(GSC3)은 상기 제 3 게이트 드라이브 IC(288c)에만 공급된다.

이와 같이, 상기 각 게이트 쉬프트 클럭을 각 게이트 드라이브 IC에 선택적으로 공급하기 위해서, 상기 제 1 내지 제 3 게이트 쉬프트 클럭 전송라인(L21 내지 L23)은 다음과 같이 구성된다.

즉, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 1 게이트 쉬프트 클럭 전송라인(L21)이 형성되지 않는다. 대신, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 2 게이트 쉬프트 클럭 전송라인(L22)이 형성된다. 이때, 상기 제 2 게이트 쉬프트 클럭 전송라인(L22)의 일측은 상기 제 1 게이트 TCP(211a)에 형성된 제 2 게이트 쉬프트 클럭 전송라인(L22)에 접속되며, 타측은 상기 제 2 게이트 TCP(211b)에 형성된 제 1 게이트 쉬프트 클럭 전송라인(L21)에 접속된다. 즉, 상기 제 2 게이트 쉬프트 클럭(GSC2)은 상기 제 2 게이트 드라이브 IC(288b)에 제 1 게이트 쉬프트 클럭(GSC1)으로서 입력되기 위해서, 제 2 게이트 쉬프트 클럭 전송라인(L22)이 아닌 제 1 게이트 쉬프트 클럭 전송라인(L21)에 입력된다.

또한, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 1 게이트 출력신호 전송라인(L11)이 형성되지 않는다. 대신, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 2 게이트 출력신호 전송라인(L12)이 형성된다. 이때, 상기 제 2 게이트 출력신호 전송라인(L12)의 일측은 상기 제 1 게이트 TCP(211a)에 형성된 제 2 게이트 출력신호 전송라인(L12)에 접속되며, 타측은 상기 제 2 게이트 TCP(211b)에 형성된 제 1 게이트 출력신호 전송라인(L11)에 접속된다. 즉, 상기 제 2 게이트 출력신호(GOE2)는 상기 제 2 게이트 드라이브 IC(288b)에 제 1 게이트 출력신호(GOE1)로서 입력되기 위해서, 제 2 게이트 출력신호 전송라인(L12)이 아닌 제 1 게이트 쉬프트 클럭 전송라인(L21)에 입력된다.

한편, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 3 게이트 쉬프트 클럭 전송라인(L23), 및 제 3 게이트 출력신호 전송라인(L13)이 형성된다. 이 제 3 게이트 쉬프트 클럭 전송라인(L23)은 상기 제 2 게이트 TCP(211b)의 제 3 게이트 쉬프트 클럭 입력라인(L63) 및 제 3 게이트 쉬프트 클럭 전송라인(L23)(제 2 게이트 TCP(211b)와 제 3 게이트 TCP(211c)간에 형성된 제 3 게이트 쉬프트 클럭 전송라인(L23))을 통해, 제 3 게이트 TCP(211c)의 제 1 게이트 쉬프트 클럭 입력라인(L61)에 접속된다. 그리고, 이 제 3 게이트 출력신호 전송라인(L13)은 상기 제 2 게이트 TCP(211b)의 제

3 게이트 출력신호 입력라인(L53) 및 제 3 게이트 출력신호 전송라인(L13)(제 2 게이트 TCP(211b)와 제 3 게이트 TCP(211c)간에 형성된 제 3 게이트 출력신호 전송라인(L13))을 통해, 제 3 게이트 TCP(211c)의 제 1 게이트 출력신호 입력라인(L51)에 접속된다.

이와 같은 방식으로, 상기 제 2 게이트 TCP(211b)와 제 3 게이트 TCP(211c)간에는 제 1 및 제 2 게이트 쉬프트 클럭 전송라인(L22), 그리고 제 1 및 제 2 게이트 출력신호 전송라인이 형성되지 않는다. 대신, 상기 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에는 제 3 게이트 쉬프트 클럭 전송라인(L23) 및 제 3 게이트 출력신호 전송라인(L13)이 형성된다. 이때, 상기 제 3 게이트 쉬프트 클럭 전송라인(L23)의 일측은 상기 제 2 게이트 TCP(211b)에 형성된 제 3 게이트 쉬프트 클럭 입력라인(L63)에 접속되며, 타측은 상기 제 3 게이트 TCP(211c)에 형성된 제 1 게이트 쉬프트 클럭 입력라인(L61)에 접속된다. 즉, 상기 제 3 게이트 쉬프트 클럭(GSC3)은 상기 제 3 게이트 드라이브 IC(288c)에 제 1 게이트 쉬프트 클럭(GSC1)으로서 입력되기 위해서, 제 3 게이트 쉬프트 클럭 입력라인(L63)이 아닌 제 1 게이트 쉬프트 클럭 입력라인(L61)에 입력된다. 또한, 상기 제 3 게이트 출력신호 전송라인(L13)의 일측은 상기 제 2 게이트 TCP(211b)에 형성된 제 3 게이트 출력신호 입력라인(L53)에 접속되며, 타측은 상기 제 3 게이트 TCP(211c)에 형성된 제 1 게이트 출력신호 입력라인(L51)에 접속된다. 즉, 상기 제 3 게이트 출력신호(GOE3)는 상기 제 3 게이트 드라이브 IC(288c)에 제 1 게이트 출력신호(GOE1)로서 입력되기 위해서, 제 3 게이트 출력신호 입력라인(L53)이 아닌 제 1 게이트 쉬프트 클럭 입력라인(L61)에 입력된다.

한편, 상기 게이트 스타트 펄스(GSP1)는 모든 게이트 드라이브 IC에 공통으로 입력되므로, 상기 펄스를 전송하는 게이트 스타트 펄스 전송라인(L31)은 제 1 게이트 TCP(211a)와 제 2 게이트 TCP(211b)간에 형성되고, 또한 제 2 게이트 TCP(211b)와 제 3 게이트 TCP(211c)간에 형성된다.

또 한편, 상기 제 1 게이트 드라이브 IC(288a)가 실장된 TCP와 첫 번째 데이터 TCP(222)간에 형성된 LOG형 신호전송라인들(272)은 제 1 내지 제 3 게이트 출력신호 전송라인(L11 내지 L13), 제 1 내지 제 3 게이트 쉬프트 클럭 전송라인(L21 내지 L23), 및 하나의 게이트 스타트 펄스 전송라인(L31)을 포함한다. 즉, 상기 제 1 게이트 TCP는 상기 제 1 내지 제 3 게이트 드라이브 IC(288a 내지 288c)에 필요한 모든 게이트 제어신호(제 1 내지 제 3 게이트 출력신호(GOE1 내지 GOE3), 제 1 내지 제 3 게이트 쉬프트 클럭(GSC1 내지 GSC3), 및 게이트 스타트 펄스(GSP1))를 상기 첫 번째 데이터 TCP(222)를 통해 타이밍 콘트롤러(252)로부터 공급받게 된다.

이와 같이, 본 발명에 따른 액정표시장치는, 다수개의 게이트 제어신호를 LOG형 신호전송라인(272)을 통해 각 게이트 드라이브 IC(288a 내지 288c)에 공급할 수 있다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같은 액정표시장치에는 다음과 같은 효과가 있다.

본 발명에 따른 액정표시장치는, 임펄시브 구동방식이 적용된 게이트 드라이버 IC에 LOG형 신호전송라인을 통해 게이트 제어신호를 공급한다.

따라서, 본 발명의 액정표시장치는, 종래의 임펄시브 구동방식의 액정표시장치에 비하여 더 작은 사이즈를 가질 수 있다.

도면의 간단한 설명

도 1은 일반적인 CRT에서 시간에 따른 광의 밀도(Light intensity)를 설명하기 위한 도면

도 2는 일반적인 액정표시장치에서 시간에 따른 광의 밀도를 설명하기 위한 도면

도 3은 일반적인 액정표시장치용 패널구성에 대한 개략도

도 4는 일반적인 액정표시장치에서, 게이트 펄스의 인가방식을 프레임별 타이밍 차트로 나타낸 도면

도 5는 기존의 홀드타입(hold type) 액정표시장치의 프레임별 화소 단위 화상정보 구성방식을 나타낸 도면

도 6은 도 5의 액정표시장치의 화면구성 방식을 나타낸 도면

도 7은 일반적인 CRT 표시장치의 광 발산 프로파일(light emission profiles)을 나타낸 도면

도 8은 일반적인 액정표시장치의 광 작동 곡선(lighting operation curve)을 나타낸 도면

도 9는 종래의 임펄시브 타입(impulsive type) 액정표시장치의 프레임 단위 화상정보 구성방식을 나타낸 도면

도 10은 상기 데이터 어드레싱(또는 데이터 블링킹(Data Blinking)이라 칭함) 방식의 임펄시브 구동을 설명하기 위한 도면

도 11은 일반적인 액정표시장치의 게이트 드라이브 IC에 공급되는 게이트 제어신호의 종류를 나타낸 도면

도 12는 임펄스 구동방식의 액정표시장치의 게이트 드라이브 IC에 공급되는 게이트 제어신호의 종류를 나타낸 도면

도 13은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면

도 14는 도 13의 LOG형 신호전송라인에 대한 상세 구성도

도 15는 도 13의 LOG형 신호전송라인에 대한 또 다른 상세 구성도

* 도면의 주요부에 대한 부호 설명

251 : 시스템 252 : 타이밍 콘트롤러

253 : 직류-직류 변환기 202 : PCB

201 : 액정패널 201a : 제 1 기관

201b : 제 2 기관 277 : 데이터 드라이브 IC

222 : 데이터 TCP 288 : 게이트 드라이브 IC

211 : 게이트 TCP 231, 231 : 링크라인

299 : 게이트 신호 입력라인 272 : LOG형 신호전송라인

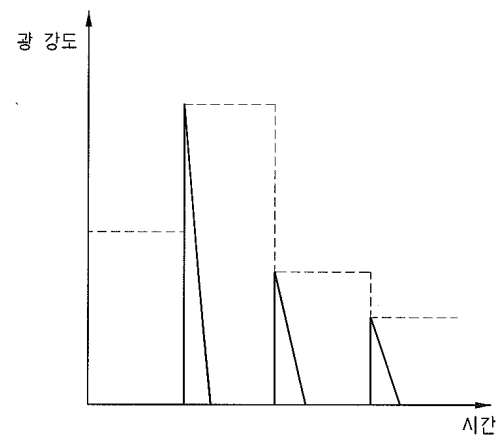
244a, 255a : 입력라인 244b, 255b : 출력라인

271 : 신호전송라인 GL : 게이트 라인

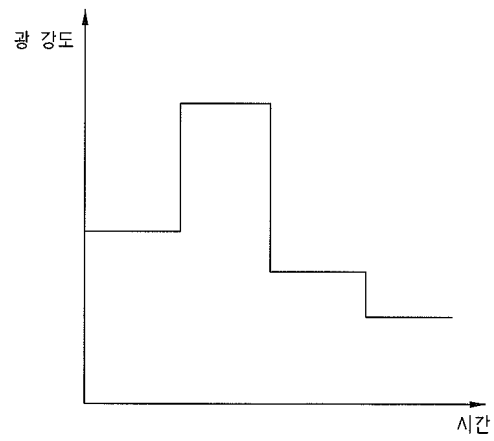
DL : 데이터 라인

도면

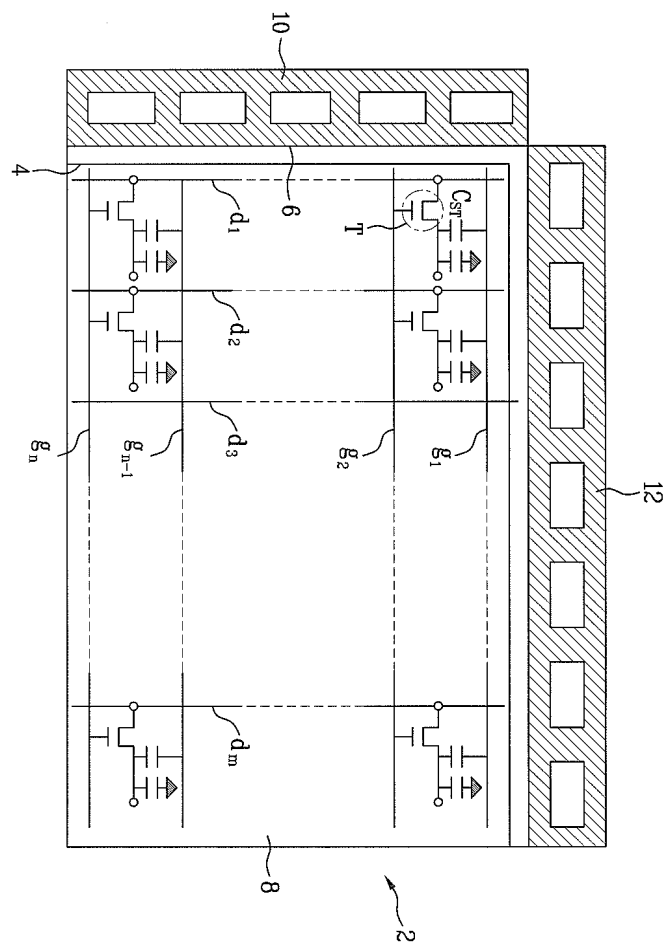
도면1



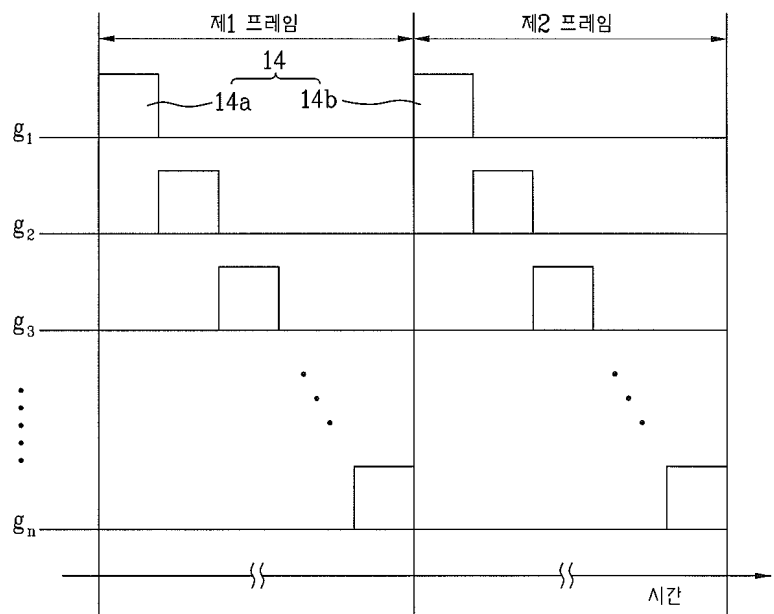
도면2



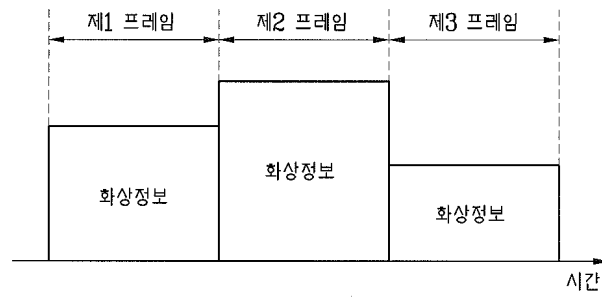
도면3



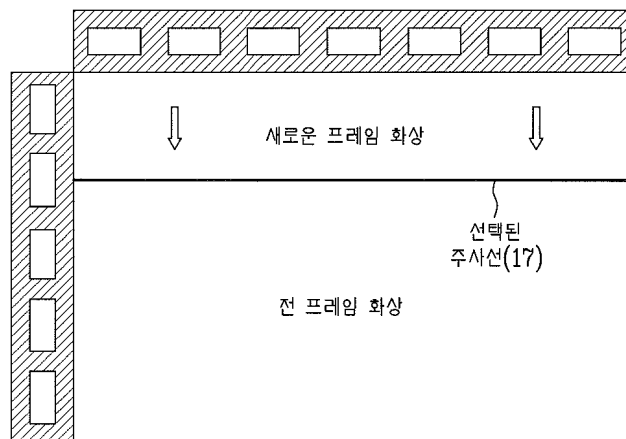
도면4



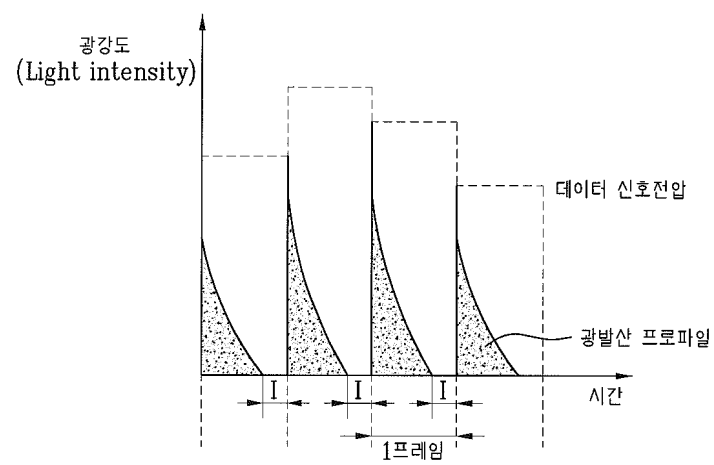
도면5



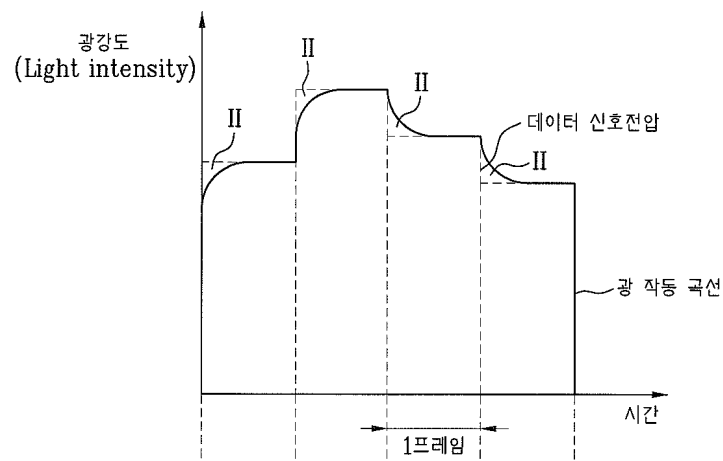
도면6



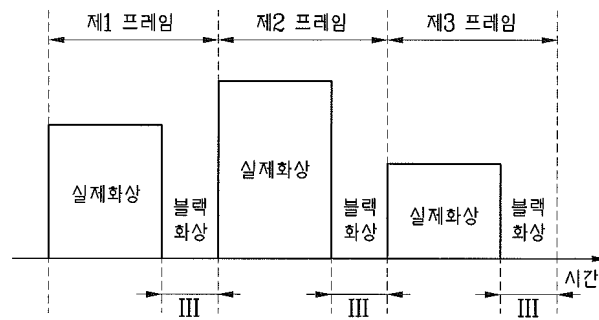
도면7



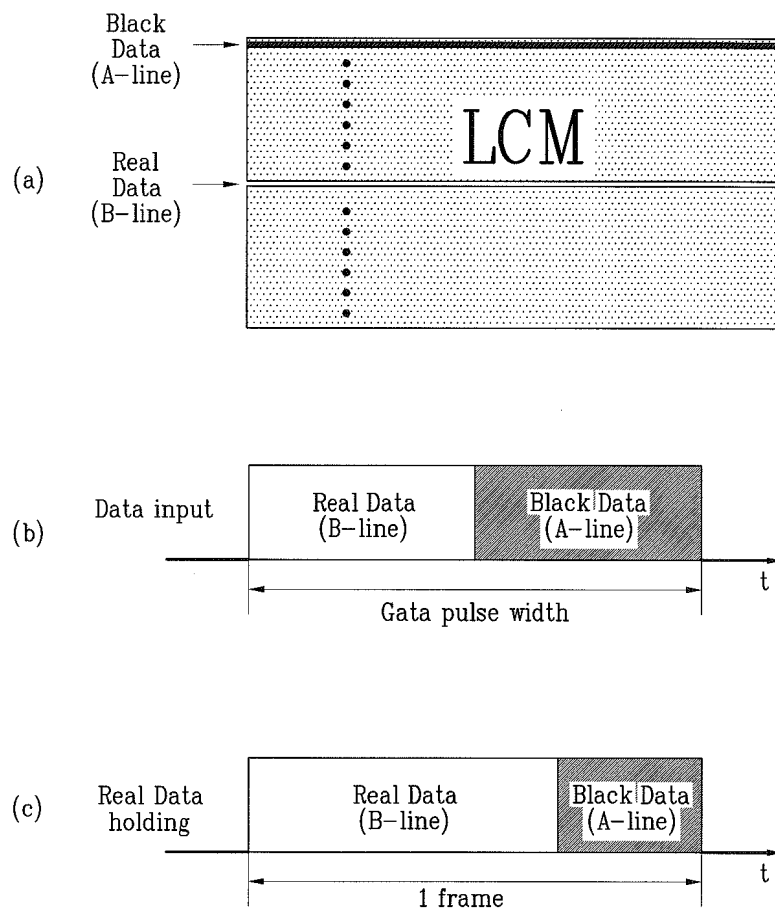
도면8



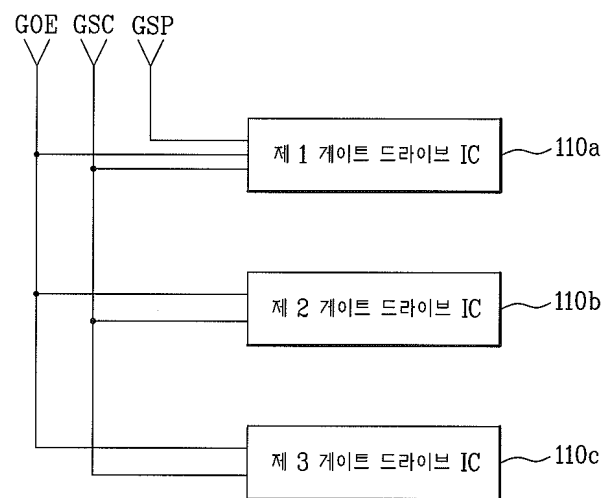
도면9



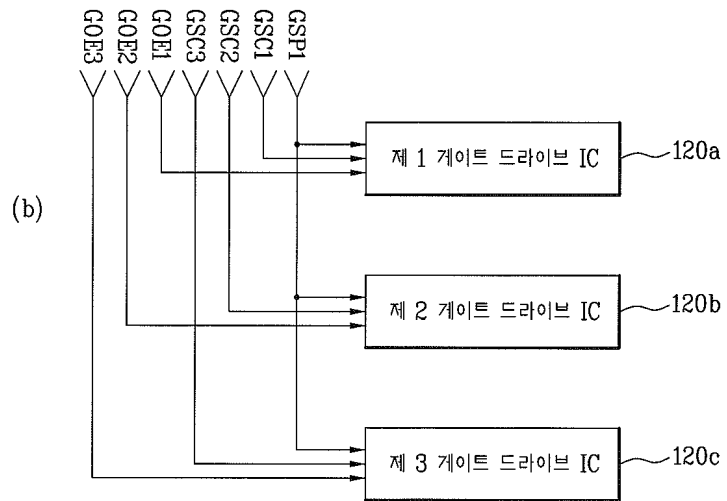
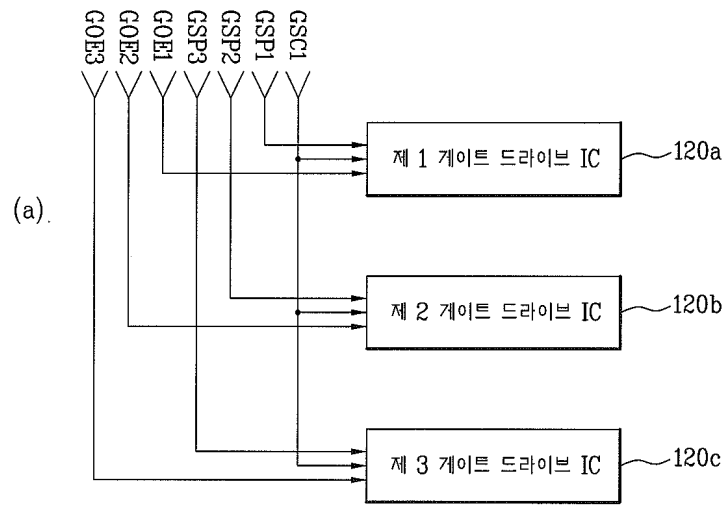
도면10



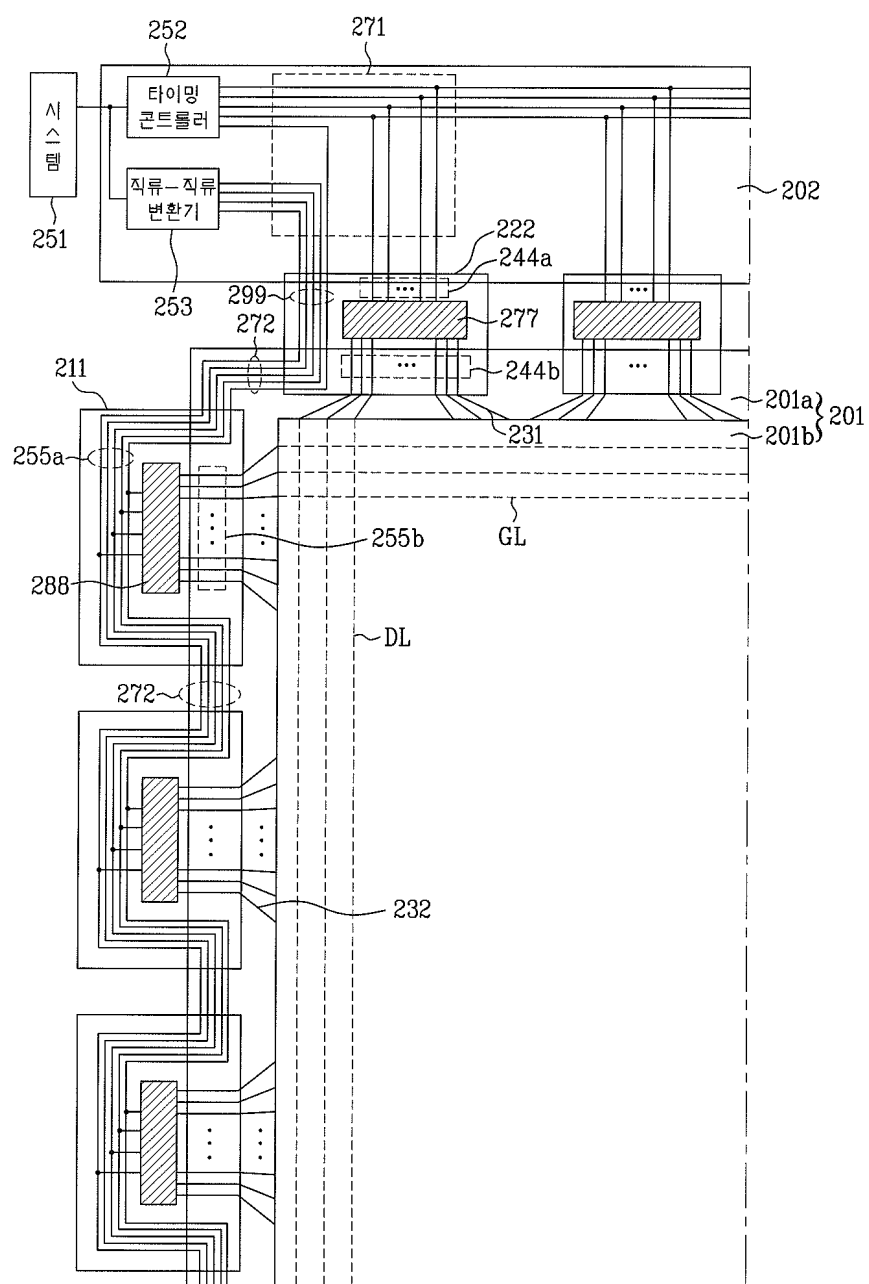
도면11



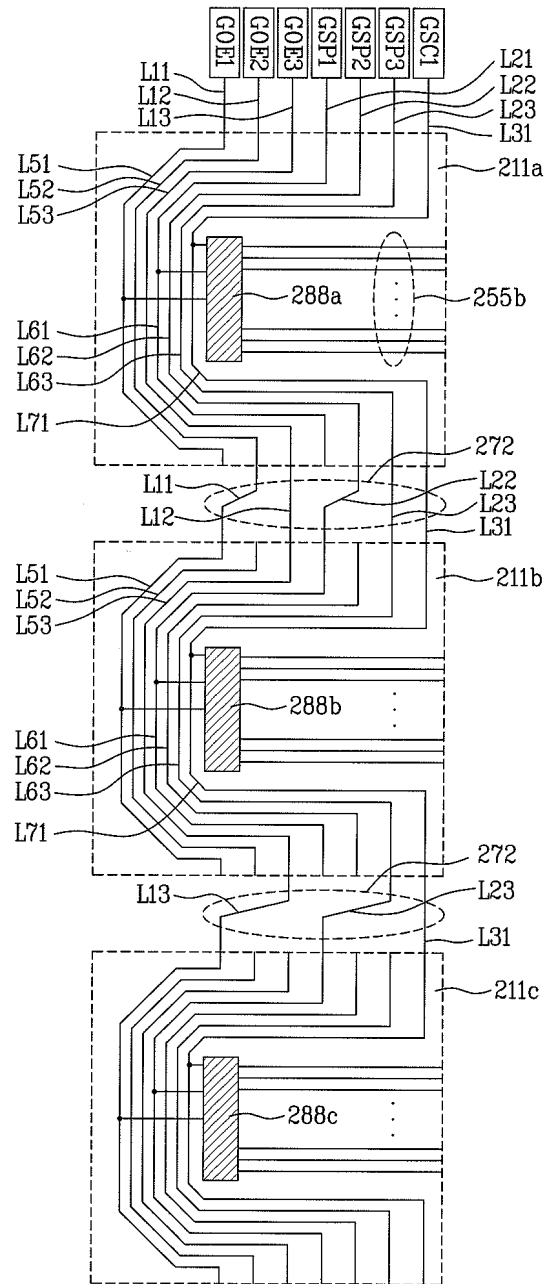
도면12



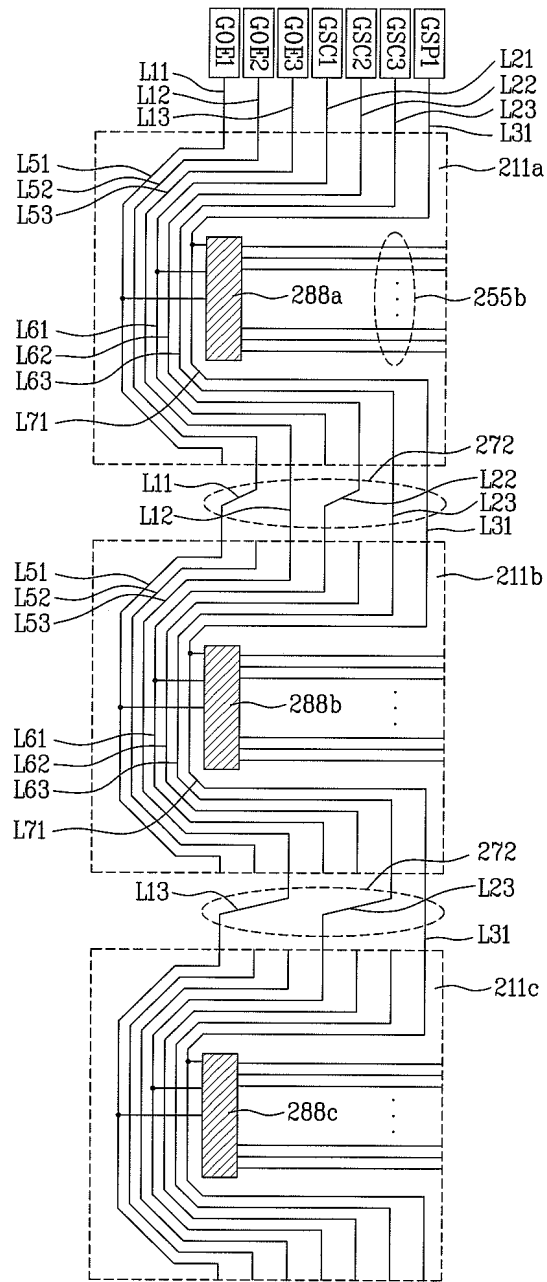
도면13



도면14



도면15



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070000836A	公开(公告)日	2007-01-03
申请号	KR1020050056478	申请日	2005-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEOK SU 김석수 YOON JEONG HWAN 윤정환		
发明人	김석수 윤정환		
IPC分类号	G02F1/133		
CPC分类号	G02F1/136286 G09G3/2092 G09G3/3611		
代理人(译)	金勇 新昌		
其他公开文献	KR101066497B1		
外部链接	Espacenet		

摘要(译)

用途：提供LCD，通过LOG (Line On Glass) 型信号传输线向脉冲型栅极驱动IC提供栅极控制信号，从而大大减小了LCD的尺寸。

