

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0076045
G02F 1/133 (2006.01) (43) 공개일자 2006년07월04일

(21) 출원번호 10-2004-0115733

(22) 출원일자 2004년12월29일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김부영
경북 칠곡군 북삼읍 인평리 화성타운 101동 207호

(74) 대리인 김영호

심사청구 : 없음

(54) 라인 온 글래스형 액정 표시 장치

요약

본 발명은 신호왜곡에 따른 화질 저하를 최소화할 수 있는 라인 온 글래스형 액정 표시 장치를 제공하는 것이다.

본 발명에 따른 라인 온 글래스형 액정 표시 장치는 액정셀 매트릭스를 갖는 액정패널과, 상기 액정패널을 구동하기 위한 적어도 두 개의 집적회로들과, 상기 집적회로들에 입력구동신호를 공급하기 위해 상기 액정패널의 기판 상에 직접 형성되는 신호라인들과; 상기 각 집적회로의 입력단에 형성되어 상기 입력 구동 신호의 전류 성분을 증폭시키는 전류 증폭기를 구비하는 것을 특징으로 한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 라인 온 글래스형 액정 표시 장치를 도시한 평면도이다.

도 2는 도 1에 도시된 액정 표시 장치에서의 가로선 줄무늬 현상을 설명하기 위한 도면이다.

도 3은 본 발명의 제1 실시 예에 따른 LOG형 액정 표시 장치를 도시한 도면이다.

도 4는 도 3에 도시된 게이트 드라이브 IC를 구체적으로 도시한 도면이다.

도 5는 도 4에 도시된 스테이지를 상세히 나타내는 도면이다.

도 6은 도 4에 도시된 전류 증폭기에 의해 감소된 각 게이트 드라이브 IC 간의 전압편차를 설명하기 위한 도면이다.

도 7은 본 발명의 제2 실시 예에 따른 LOG형 액정 표시 장치의 게이트 드라이브 IC를 상세히 나타내는 도면이다.

<도면의 주요부분에 대한 설명>

2,102 : 박막 트랜지스터 어레이 기판 4,104 : 칼라 필터 어레이 기판

6,106 : 액정패널 8,108 : 게이트 TCP

10,110 : 게이트 구동 IC 12,112 : 데이터 TCP

14,114 : 데이터 구동 IC 16,116 : 데이터 PCB

18,118 : FPC 20,120 : 메인 PCB

22,122 : 타이밍 제어부 24,124 : 전원부

26,126 : LOG 신호 라인군 32 : 가로선

150 : 스테이지 152 : 쉬프트 레지스터

154 : 레벨 쉬프터 156 : 버퍼

158,164 : 전류 증폭기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 신호왜곡에 따른 화질 저하를 최소화할 수 있는 라인 온 글래스형 액정 표시 장치에 관한 것이다.

액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스형으로 배열된 액정 표시 패널과, 액정 표시 패널을 구동하기 위한 구동 회로를 구비한다.

액정 표시 패널은 액정셀들이 화소 신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다.

구동 회로는 액정 표시 패널의 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어하기 위한 타이밍 제어부와, 상기 액정 표시 패널과 상기 구동 회로들의 구동에 필요한 전원 신호들을 공급하는 전원부를 구비한다.

데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit;이하, IC라 함)들로 분리되어 칩 형태로 제작된다. 집적화된 드라이브 IC들 각각은 TCP(Tape Carrier Package) 상에서 오픈된 IC 영역에 실장되거나 COF(Chip On Film) 방식으로 TCP의 베이스 필름 상에 실장되고, TAB(Tape Automated Bonding) 방식으로 액정 표시 패널과 전기적으로 접속된다. 또한 드라이브 IC는 COG(Chip On Glass) 방식으로 액정 표시 패널 상에 직접 실장되기도 한다. 타이밍 제어부와 전원부는 칩 형태로 제작되어 메인 PCB(Printed Circuit Board) 상에 실장된다.

TCP에 의해 액정 표시 패널과 접속되는 드라이브 IC들은 FPC(Flexible Printed Circuit)와 서브 PCB를 통해 메인 PCB의 타이밍 제어부 및 전원부와 접속된다. 구체적으로, 데이터 드라이브 IC들은 FPC와 데이터 PCB를 통해 메인 PCB에 실

장된 타이밍 제어부로부터의 데이터 제어 신호들 및 화소 데이터와, 전원부로부터의 전원 신호들을 공급받게 된다. 게이트 드라이브 IC들은 게이트 FPC와 게이트 PCB를 통해 메인 PCB 상에 실장된 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다.

COG 방식으로 액정 표시 패널에 실장되는 드라이브 IC들은 FPC와 액정 표시 패널에 형성되는 라인 온 글래스(Line On Glass; 이하 LOG라 함)형 신호 라인들을 통해 메인 PCB에 실장된 타이밍 제어부로부터의 제어 신호들 및 화소 데이터와 전원부로부터의 전원 신호들을 공급받게 된다.

최근에는 드라이브 IC들이 TCP를 통해 액정 표시 패널과 접속되는 경우에도 LOG형 신호 라인들을 채택하여 PCB를 제거함으로써 액정 표시 장치가 더욱 박형화되게 하고 있다. 특히, 상대적으로 적은 신호를 전달하는 게이트 PCB를 제거하고 게이트 드라이브 IC들에 게이트 제어 신호들 및 전원 신호들을 공급하는 신호 라인들을 LOG형으로 액정 표시 패널 상에 형성하고 있다. 이에 따라, TCP에 실장된 게이트 드라이브 IC들은 메인 PCB->FPC->데이터 PCB->데이터 TCP->LOG 신호 라인->게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다. 이 경우, 게이트 드라이브 IC에 공급되는 게이트 제어 신호들과 게이트 전원 신호들이 LOG 신호 라인들의 라인 저항에 의해 왜곡됨으로써 액정 표시 패널에 표시되는 화상의 품질이 저하되는 문제가 발생하게 된다.

구체적으로, 게이트 PCB가 제거된 LOG형 액정 표시 장치는 도 1에 도시된 바와 같이 타이밍 제어부(22)와 전원부(24)를 포함하는 메인 PCB(20)와, FPC(18)를 통해 메인 PCB(20)와 접속된 데이터 PCB(16)와, 데이터 구동 IC(14)를 실장하여 데이터 PCB(16)와 액정 표시 패널(6) 사이에 접속된 데이터 TCP(12)와, 게이트 구동 IC(10)를 실장하여 액정 표시 패널(6)에 접속된 게이트 TCP(8)를 구비한다.

액정 표시 패널(6)은 박막 트랜지스터 어레이 기관(2)과, 칼러 필터 어레이 기관(4)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(6)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다.

데이터 드라이브 IC들(14)은 데이터 TCP(12) 및 액정 표시 패널(6)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(14)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(14)은 데이터 PCB(16)와 FPC(18)를 통해 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(10)은 게이트 TCP(8) 및 액정 표시 패널(6)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.

이를 위하여, 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터의 게이트 제어 신호들과 전원 신호들은 FPC(18)와 데이터 PCB(16)를 경유하여 데이터 TCP(12)에 공급된다. 데이터 TCP(12)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(2)의 가장자리 영역에 형성된 LOG 신호 라인군(26)을 경유하여 게이트 TCP(8)에 공급된다. 게이트 TCP(8)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 입력 단자들을 통해 게이트 드라이브 IC(10) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 출력 단자들을 통해 출력되어 게이트 TCP(8)와 LOG 신호 라인군(26)을 경유하여 다음 게이트 TCP(8)에 실장된 게이트 드라이브 IC(10)로 공급된다.

LOG 신호라인군(26)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(24)로부터 공급되는 직류 구동 전압들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

이러한 LOG 신호 라인군(26)은 박막 트랜지스터 어레이 기관(2)의 한정된 패드 영역에 게이트 라인들과 동일한 게이트 금속층을 이용하여 미세 패턴으로 형성된다. 또한, LOG 신호 라인군(26)은 게이트 TCP(8)와 ACF 본딩(Bonding)을 통해 접촉됨에 따라 그 게이트 TCP(8)와의 접촉 부분(A)이 증가하여 접촉 저항이 커지게 된다. 이에 따라, LOG 신호 라인군(26)은 기존의 게이트 PCB의 신호 라인들 보다 큰 라인 저항을 가지게 된다. 이러한 라인 저항으로 인하여 LOG 신호 라인

군(26)을 통해 전송되는 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 왜곡됨으로써 가로 줄무늬, 얼룩 등이 발생되고 도트 패턴의 크로스트크, 그리니쉬(Greenish) 등과 같은 화질 저하 현상이 심해지게 된다.

예를 들면, 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)을 공급하는 LOG 신호 라인군(26)들은 도 2에 도시된 바와 같이 게이트 TCP들(8) 사이 각각에 접속되는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)으로 구성된다. 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3) 각각은 그 라인길이에 비례하는 라인 저항($l\Omega$, $m\Omega$, $n\Omega$)을 갖고 게이트 TCP(8)와 게이트 드라이브 IC(10)를 경유하여 직렬로 연결된다. 이러한 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)으로 인하여 게이트 드라이브 IC(10) 마다 입력되는 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM) 간에 레벨 차가 발생하게 된다. 이 결과, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 수평라인 블록들(A 내지 C) 간에 휘도차가 발생되어 가로선 줄무늬(32)가 생기게 된다.

구체적으로, 제1 게이트 드라이브 IC(10)에는 제1 LOG 신호 라인군(LOG1)의 제1 라인 저항($l\Omega$)에 의해, 제2 게이트 드라이브 IC(10)에는 제1 및 제2 LOG 신호 라인군(LOG1, LOG2)의 제1 및 제2 라인 저항($l\Omega + m\Omega$)에 의해, 제3 게이트 드라이브 IC(10)에는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 제1 내지 제3 라인 저항($l\Omega + m\Omega + n\Omega$)에 의해 전압 강하된 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 공급된다. 이에 따라, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 제1 내지 제3 수평 블록(A 내지 C)의 게이트 라인들에 공급되는 게이트 신호들(VG1 내지 VG4) 간에 차이가 발생함에 따라 그 수평 라인 블록(A 내지 C) 간에 가로선 줄무늬(32)가 발생하게 된다.

이러한 게이트 드라이브 IC(10) 단위의 게이트전압 차이는 LOG 신호 라인군(26)의 단면적을 라인길이에 반비례하게 증가시키는 방법 등을 이용하여 보상할 수 있다. 그러나 LOG 신호라인군(26)이 형성되는 액정패널(6)의 외곽영역은 한정되어 있으므로 단면적을 증가시키는데 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 신호왜곡에 따른 화질 저하를 최소화할 수 있는 LOG형 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 라인 온 글래스형 액정 표시 장치는 액정셀 매트릭스를 갖는 액정패널과, 상기 액정패널을 구동하기 위한 적어도 두 개의 집적회로들과, 상기 집적회로들에 입력구동신호를 공급하기 위해 상기 액정패널의 기판 상에 직접 형성되는 신호라인들과; 상기 각 집적회로의 입력단에 형성되어 상기 입력 구동 신호의 전류 성분을 증폭시키는 전류 증폭기를 구비하는 것을 특징으로 한다.

상기 라인 온 글래스형 액정 표시 장치는 상기 각 집적회로의 첫번째 출력라인에 형성되는 제2 전류 증폭기를 더 구비하는 것을 특징으로 한다.

상기 집적회로는 액정 패널 상에 형성되는 게이트라인에 게이트신호를 공급하는 게이트 집적회로인 것을 특징으로 한다.

상기 라인 온 글래스형 액정 표시 장치는 상기 게이트 집적회로 내에서 상기 게이트라인들을 순차적으로 구동하는 다수개의 스테이지의 입력단에 접속되는 적어도 하나의 입력라인에 각 스테이지마다 일정한 비율로 증가하는 입력라인저항을 더 구비하는 것을 특징으로 한다.

상기 입력라인은 상기 게이트 하이 전압 입력라인과 게이트 로우 전압 입력라인 중 적어도 어느 하나인 것을 특징으로 한다.

상기 입력라인은 다수개의 게이트 제어 신호 입력라인 중 적어도 어느 하나인 것을 특징으로 한다.

상기 라인 온 글래스형 액정 표시 장치는 상기 게이트라인과 교차되게 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로를 추가로 구비하는 것을 특징으로 한다.

상기 입력구동신호는 게이트신호의 하이논리전압, 게이트신호의 로우논리전압, 베이스 공통 전압, 그라운드전압 및 공통 전압 중 적어도 어느 하나인 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3은 본 발명의 제1 실시 예에 따른 LOG형 액정표시장치를 나타내는 도면이다.

도 3을 참조하면, 본 발명의 제1 실시 예에 따른 LOG형 액정표시장치는 액정셀 매트릭스를 갖는 액정패널(106)과, 액정패널(106)의 게이트라인들(GL)을 구동하기 위한 게이트 드라이브 IC(110)와, 액정패널(106)의 데이터라인들(DL)을 구동하기 위한 데이터 드라이브 IC(114)와, 게이트 드라이브 IC(110) 및 데이터 드라이브 IC(114)를 제어하기 위한 타이밍 제어부(122)와, 액정표시장치의 구동에 필요한 구동전압을 발생하는 전원부(124)를 구비한다.

전원부(124)는 시스템 전원부(도시하지 않음)로부터 입력되는 전압을 이용하여 액정표시장치의 구동에 필요한 구동전압들(게이트 하이전압(VGH), 게이트 로우 전압신호(VGL), 기준 감마전압, 공통전압(VCOM) 등)을 발생하여 타이밍 제어부(122), 데이터 드라이브 IC(114) 및 게이트 드라이브 IC(110) 등에 공급한다.

타이밍 제어부(122)는 그래픽 카드로부터의 비디오데이터(R, G, B)를 중계하여 데이터 드라이브 IC(114)에 공급한다. 아울러, 타이밍 제어부(122)는 그래픽카드로부터의 제어신호에 응답하여 데이터 및 게이트 드라이브 IC(114, 110)의 타이밍을 제어하기 위한 타이밍 신호들과 제어신호들을 발생하게 된다.

액정패널(106)은 박막 트랜지스터 어레이 기관(102)과, 컬러 필터 어레이 기관(104)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정패널(106)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다.

데이터 드라이브 IC들(114)은 데이터 TCP(112) 및 액정패널(106)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(114)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(114)은 데이터 PCB(116)와 FPC(118)를 통해 메인 PCB(120) 상의 타이밍 제어부(122) 및 전원부(124)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(110)은 게이트 TCP(108) 및 액정패널(106)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(110)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(110)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.

이를 위하여, 타이밍 제어부(122) 및 전원부(124)로부터의 게이트 제어 신호들과 전원 신호들은 데이터 PCB(116)를 경유하여 데이터 TCP(112)에 공급된다. 데이터 TCP(112)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(102)의 가장자리 영역에 형성된 LOG 신호 라인군(126)을 경유하여 게이트 TCP(108)에 공급된다. 게이트 TCP(108)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(110)의 입력 단자들을 통해 게이트 드라이브 IC(110) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(110)의 출력 단자들을 통해 출력되어 게이트 TCP(108)와 LOG 신호 라인군(126)을 경유하여 다음 게이트 TCP(108)에 실장된 게이트 드라이브 IC(110)로 공급된다.

LOG형 신호 라인군(126)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(미도시)로부터 공급되는 게이트 전원 신호들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(미도시)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

한편, LOG형 신호라인군(126)은 그의 라인길이에 비례하여 라인저항값을 가지게 됨에 따라 라인길이에 비례하여 게이트 구동신호가 감소하게 된다. 이러한 LOG형 신호라인군(126)의 라인저항에 의해 게이트 드라이브 IC(110) 단위로 공급되는 게이트 구동신호의 전압차를 보상하기 위해 각 게이트 드라이브 IC(110)의 입력단에 전류 증폭기(158)가 형성된다.

전류 증폭기(158)는 각 게이트 드라이브 IC(110)의 입력단에 형성되어 각 게이트 드라이브 IC(110)의 첫번째 입력라인의 신호레벨을 증가시켜 라인 저항에 의해 이전 게이트 드라이브 IC(110)의 마지막 출력라인과의 출력단차를 줄인다.

예를 들어, 제i 번째 게이트 드라이브 IC의 마지막 출력 단자들을 통해 출력되는 게이트 구동 신호는 게이트 TCP(108)와 LOG 신호 라인군(126)을 경유하여 제i+1 번째 게이트 TCP(108)에 실장된 게이트 드라이브 IC(110)로 공급된다. 이 때, 게이트 구동 신호는 LOG 신호라인군(126)에 포함된 라인저항에 의해 감소된다. 감소된 게이트 구동 신호는 전류 증폭기(158)를 통해 라인저항에 의해 저하된 전류성분을 보상하게 된다. 보상된 게이트 구동 신호는 제i+1 번째 게이트 드라이브 IC(110)의 첫번째 입력단자에 공급된다. 이에 따라, 제i 번째 게이트 드라이브 IC(110)의 마지막번째 게이트라인에 공급된 게이트 구동 전압과 제i+1 번째 게이트 드라이브 IC(110)의 첫번째 게이트라인에 공급된 게이트 구동 전압과의 단차는 줄어든다.

한편, 게이트 드라이브 IC(110)는 k개의 게이트라인들(GL1 내지 GLk)을 순차적으로 구동하는 제1 내지 제k 스테이지들(150)로 구성된다.

제1 내지 제k 스테이지(150)들은 도 4에 도시된 바와 같이 게이트라인들(GL)을 순차적으로 구동하기 위해 쉬프트 레지스터(152)와, 레벨 쉬프터(154)와, 출력버퍼(156)를 구비한다.

쉬프트 레지스터(152)는 쉬프트 클럭신호(GSC)에 응답하여 게이트 스타트 펄스 신호(GSP)를 쉬프트시켜 게이트라인(GL)을 순차적으로 인에이블 시킨다. 또한, 한 프레임의 게이트라인들(GL)의 인에이블 동작이 완료되면 캐리(Carry)값을 보낸 후, 다음 프레임의 게이트라인들(GL)의 인에이블 동작을 반복한다. 이 쉬프트 레지스터(152) 중 각 게이트 드라이브 IC(110)의 제1 쉬프트 레지스터의 입력단에는 상술한 전류증폭기(158)가 형성된다.

레벨 쉬프터(154)는 게이트라인(GL)에 인가될 스캔펄스를 순차적으로 레벨 쉬프트시켜 버퍼(156)로 출력한다. 즉, 게이트 쉬프트 클럭신호(GSC)가 하이논리인 경우에는 게이트 인에이블 신호(GOE)에 응답하여 하이 논리의 스캔펄스(VGH)를 버퍼(156)에 공급하며, 게이트 쉬프트 클럭신호(GSC)가 로우논리인 경우에는 게이트 인에이블 신호(GOE)에 응답하여 로우 논리의 스캔펄스(VGL)를 버퍼(156)에 공급한다.

버퍼(156)는 레벨 쉬프터(154)로부터 입력되는 스캔펄스와 동일한 전압레벨 및 극성을 가지는 출력전압을 생성하고 그 출력전압의 변동을 억제하여 게이트라인(GL)에 공급한다. 이러한 버퍼(156)를 통해서 출력된 스캔펄스는 해당 게이트라인(GL1 내지 GLk)에 순차적으로 공급된다.

이러한 제1 내지 제k 스테이지 사이마다 보상저항(R1 내지 Rk)이 형성되어 게이트 제어신호 및 게이트 전원신호를 공급하는 입력라인(160,162)의 길이에 비례하여 입력라인저항이 일정한 비율로 증가하도록 한다. 특히, 게이트라인(GL) 각각에 직접 공급되어 화질에 직접적인 영향을 미치는 게이트 하이 전압(VGH)과 게이트 로우전압(VGL)을 공급하는 입력라인(162)에 보상저항이 형성된다. 이에 따라, 제2 게이트 라인(GL2)에는 제1 게이트라인(GL1)보다 제1 보상저항(R1)에 비례하여 전압강하된 게이트 제어 신호 및 게이트 전원 신호가 제2 스테이지(150)를 통해 공급되고, 제3 게이트라인(GL3)에는 제1 및 제2 보상저항(R1+R2)에 비례하여 전압강하된 게이트 제어신호 및 게이트 전원신호가 제3 스테이지(150)를 통해 공급된다. 이러한 방법으로 제4 내지 제k 게이트라인(GL4 내지 GLk)에는 제4 내지 제k 스테이지의 입력단에 접속된 입력라인(160,162)의 라인 저항에 비례하여 전압강하된 게이트 제어신호 및 게이트 전원신호가 공급된다. 이에 따라, 게이트 드라이브 IC 내부에서 게이트라인들에 대한 입력라인저항이 선형적으로 증가하게 되므로 화질에는 영향을 미치지 않게 된다. 그리고, 첫번째 게이트 드라이브 IC(110)의 입력단에는 LOG형 라인 저항의 합보다 큰 저항값이 상대적으로 큰 감쇄저항이 형성될 수 있다.

이와 같이, 본 발명의 제1 실시 예에 따른 액정 표시 장치는 제i 번째 게이트 드라이브 IC(110)의 마지막 게이트라인(GL)에 공급되는 게이트 신호와 제i+1 번째 게이트 드라이브 IC(110)의 첫번째 게이트라인(GL)에 공급되는 게이트 신호의 편차(ΔV)가 도 6에 도시된 바와 같이 줄어든다. 그러므로, 게이트 드라이브 IC(110)간의 휘도차가 방지되어 수평 라인 ब्लек간의 가로선 줄무늬 불량현상을 방지할 수 있다.

도 7은 본 발명의 제2 실시 예에 따른 LOG형 액정표시장치를 나타내는 도면이다.

도 7에 도시된 LOG형 액정 표시 장치는 도 3에 도시된 액정 표시 장치와 대비하여 각 게이트드라이브 IC(110)의 첫번째 출력단에 제2 전류 증폭기(164)를 더 구비하는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

제2 전류 증폭기(164)는 각 게이트 드라이브 IC(110)의 제1 스테이지의 출력단에 위치하게 된다. 즉, 제2 전류 증폭기(164)는 제1 스테이지의 버퍼 다음단에 위치하게 된다. 이러한 제2 전류증폭기(164)는 각 게이트 드라이브 IC(110)의 첫 번째 출력라인의 신호레벨을 증가시켜 라인 저항에 의해 이전 게이트 드라이브 IC(110)의 마지막 출력라인과의 출력단차를 줄인다.

이러한 제2 전류 증폭기(164)를 가지는 게이트 드라이브 IC(110)의 동작과정을 살펴보면 다음과 같다. 제 i 번째 게이트 드라이브 IC(110)의 마지막 출력 단자들을 통해 출력되는 게이트 구동 신호는 게이트 TCP(108)와 LOG 신호 라인군(126)을 경유하여 제 $i+1$ 번째 게이트 TCP(108)에 실장된 게이트 드라이브 IC(110)로 공급된다. 이 때, 게이트 구동 신호는 LOG 신호라인군(126)에 포함된 라인저항에 의해 감소된다. 감소된 게이트 구동 신호는 제1 전류 증폭기(158)를 통해 라인저항에 의해 저하된 전류성분을 보상하게 된다. 보상된 게이트 구동 신호는 제 $i+1$ 번째 게이트 드라이브 IC(110)의 첫 번째 입력단자에 공급된다. 이 보상된 게이트 구동신호가 입력된 제 $i+1$ 번째 게이트 드라이브 IC(110)는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)을 게이트 라인(GL)에 공급한다. 특히, 각 게이트 드라이브 IC(110)의 첫 번째 게이트 라인에는 제2 전류 증폭기(164)를 이용하여 전류가 증폭된 게이트 로우 전압(VGL)과 게이트 하이 전압(VGH)이 공급된다. 이에 따라, 제 i 번째 게이트 드라이브 IC(110)의 마지막 번째 게이트라인(GL)에 공급된 게이트 구동 전압과 제 $i+1$ 번째 게이트 드라이브 IC(110)의 첫 번째 게이트라인(GL)에 공급된 게이트 구동 전압과의 단차는 줄어든다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 LOG형 액정 표시 장치는 각 게이트 드라이브 IC의 입력단에 전류 증폭기를 형성한다. 이에 따라, 본 발명의 제1 실시 예에 따른 액정 표시 장치는 제 i 번째 게이트 드라이브 IC의 마지막 게이트라인에 공급되는 게이트 신호와 제 $i+1$ 번째 게이트 드라이브 IC의 첫 번째 게이트라인에 공급되는 게이트 신호의 편차가 줄어든다. 그러므로, 게이트 드라이브 IC간의 휘도차가 방지되어 수평 라인 블럭간의 가로선 줄무늬 불량현상을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

액정셀 매트릭스를 갖는 액정패널과,

상기 액정패널을 구동하기 위한 적어도 두 개의 집적회로들과,

상기 집적회로들에 입력구동신호를 공급하기 위해 상기 액정패널의 기판 상에 직접 형성되는 신호라인들과;

상기 각 집적회로의 입력단에 형성되어 상기 입력 구동 신호의 전류 성분을 증폭시키는 전류 증폭기를 구비하는 것을 특징으로 하는 라인 온 글래스형 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 각 집적회로의 첫 번째 출력라인에 형성되는 제2 전류 증폭기를 더 구비하는 것을 특징으로 하는 라인 온 글래스형 액정 표시 장치.

청구항 3.

제 1 항에 있어서,

상기 집적회로는 액정 패널 상에 형성되는 게이트라인에 게이트신호를 공급하는 게이트 집적회로인 것을 특징으로 하는 라인 온 글래스형 액정 표시 장치.

청구항 4.

제 3 항에 있어서,

상기 게이트 집적회로 내에서 상기 게이트라인들을 순차적으로 구동하는 다수개의 스테이지의 입력단에 접속되는 적어도 하나의 입력라인에 각 스테이지마다 일정한 비율로 증가하는 입력라인저항을 더 구비하는 것을 특징으로 하는 라인 온 글래스형 액정 표시 장치.

청구항 5.

제 4 항에 있어서,

상기 입력라인은 상기 게이트 하이 전압 입력라인과 게이트 로우 전압 입력라인 중 적어도 어느 하나인 것을 특징으로 하는 라인 온 글래스형 액정 표시 장치.

청구항 6.

제 5 항에 있어서,

상기 입력라인은 다수개의 게이트 제어 신호 입력라인 중 적어도 어느 하나인 것을 특징으로 하는 라인 온 글래스형 액정 표시 장치.

청구항 7.

제 3 항에 있어서,

상기 게이트라인과 교차되게 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로를 추가로 구비하는 것을 특징으로 하는 라인 온 글래스형 액정 표시 장치.

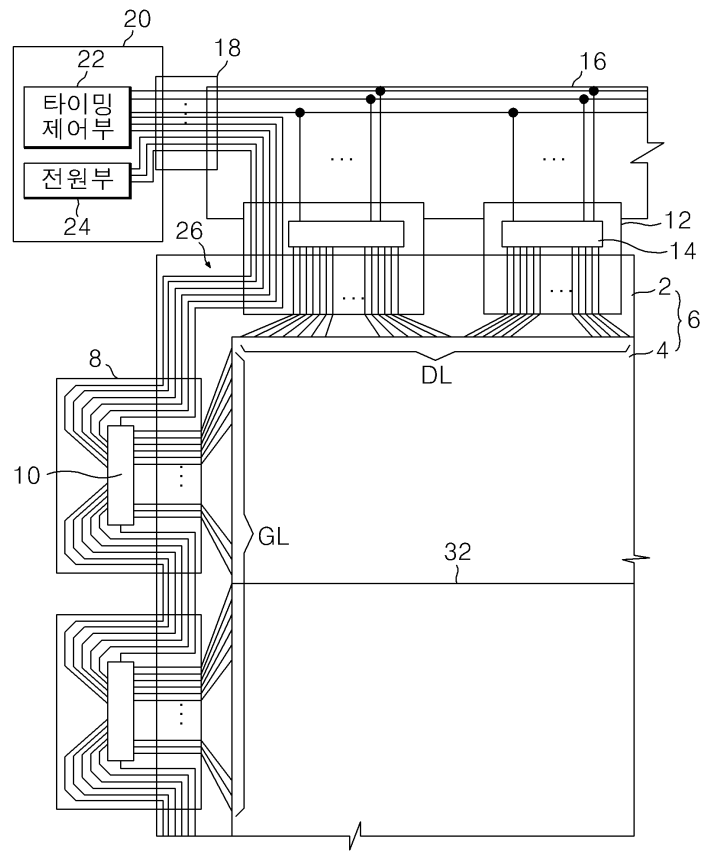
청구항 8.

제 1 항에 있어서,

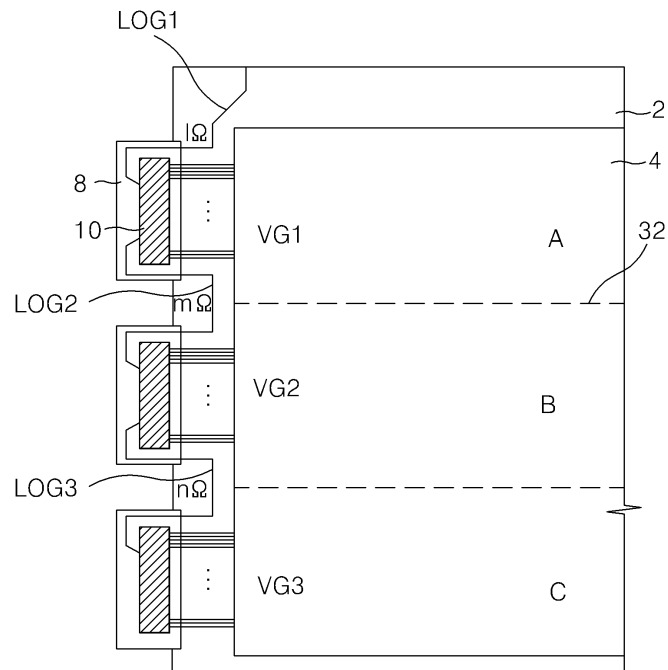
상기 입력구동신호는 게이트신호의 하이논리전압, 게이트신호의 로우논리전압, 베이스 공통 전압, 그라운드전압 및 공통 전압 중 적어도 어느 하나인 것을 특징으로 하는 라인 온 글래스형 액정 표시 장치.

도면

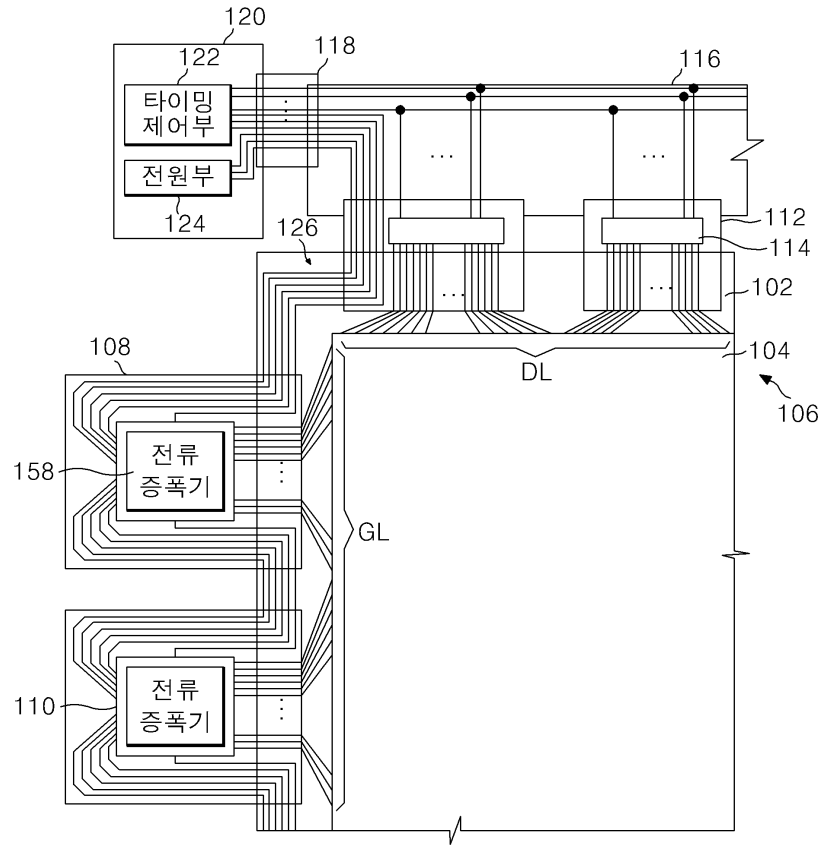
도면1



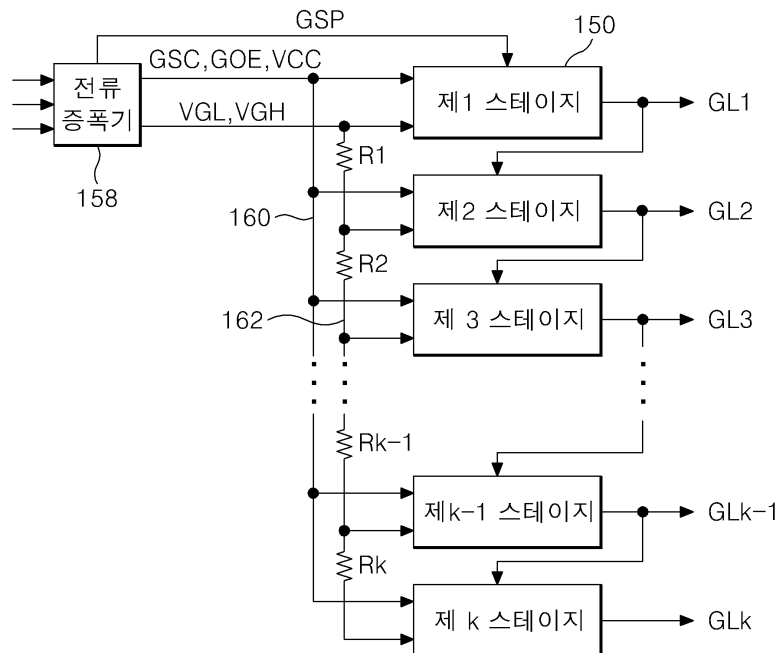
도면2



도면3

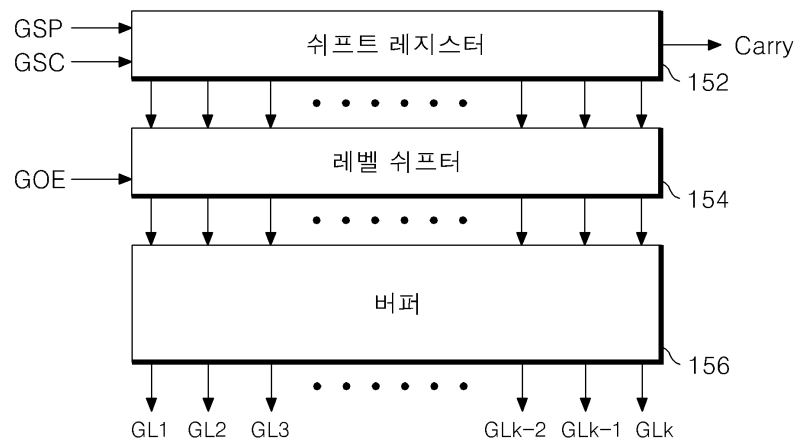


도면4

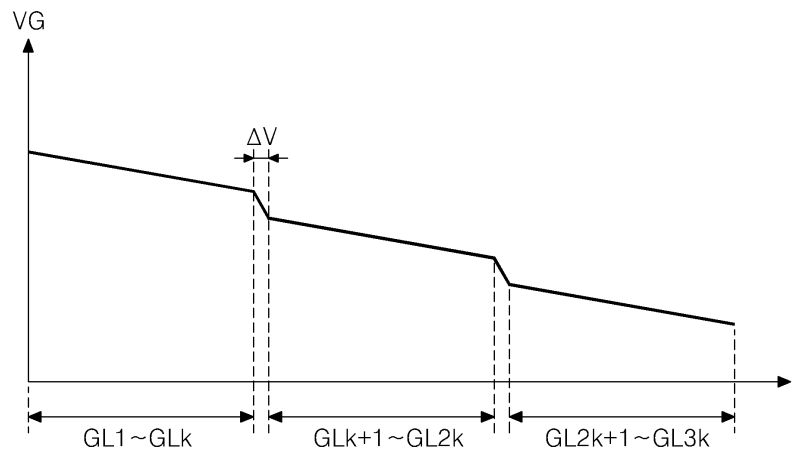


도면5

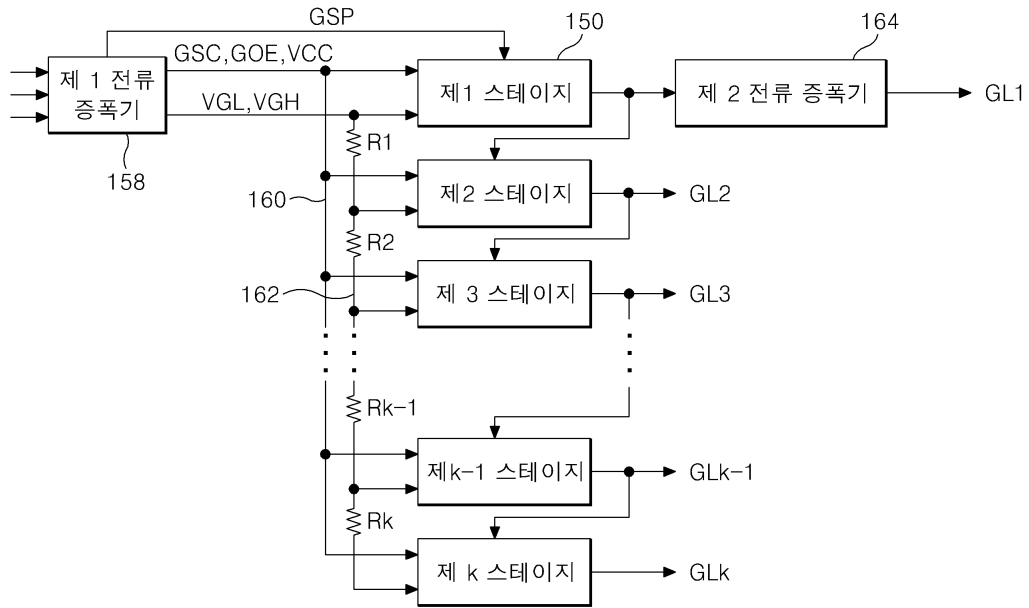
150



도면6



도면7



专利名称(译)	线上玻璃型液晶显示器		
公开(公告)号	KR1020060076045A	公开(公告)日	2006-07-04
申请号	KR1020040115733	申请日	2004-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BOOYOUNG		
发明人	KIM,BOOYOUNG		
IPC分类号	G02F1/133		
CPC分类号	G02F1/13452 G09G3/3648 G09G3/3688		
其他公开文献	KR101147831B1		
外部链接	Espacenet		

摘要(译)

用途：提供LOG（玻璃上线）型LCD，通过在每个栅极驱动IC（集成电路）的输入端形成电流放大器，最大限度地降低信号失真导致的图像质量下降。

