

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0051997

(43) 공개일자 2006년05월19일

(21) 출원번호 10-2005-0092907

(22) 출원일자 2005년10월04일

(30) 우선권주장 JP-P-2004-00292419 2004년10월05일 일본(JP)

(71) 출원인 알프스 덴키 가부시키키가이샤
일본국 도쿄도 오타구 유키가야 오츠카쵸 1반 7고

(72) 발명자 후지요시 다즈미
일본국 도쿄도 오타구 유키가야 오츠카쵸 1-7, 알프스 덴키가부시키키
가이샤 내

(74) 대리인 김양오
강웅선
송재련

심사청구 : 있음

(54) 액정표시장치의 구동 회로

요약

본 발명은, 액정표시장치를 구동하는 게이트 드라이버를 구성하는 시프트 레지스터가 가지는 레지스터 회로 내의 출력 트랜지스터에 있어서, 문턱값 전압의 시프트를 방지할 수 있는 액정표시장치의 구동 회로를 실현하는 것이다.

이를 위하여 본 발명에서는 트랜지스터(M6)와 커패시터(C2)의 세트는, 액정표시장치를 구동하는 출력 트랜지스터(M1)의 게이트에 인가되는 전압을, 출력 트랜지스터(M1)의 오프 기간에 있어서, 음의 바이어스 전압으로 강하한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 본 발명의 각 실시 형태에 관한 시프트 레지스터(10)의 구성을 나타내는 블록도,

도 2는 본 발명의 제 1 실시 형태에 관한 레지스터 회로(11)의 내부 구성을 나타내는 블록도,

도 3은 도 2에 나타나는 레지스터 회로(11)의 동작을 설명하기 위한 타이밍 차트,

도 4는 본 발명의 제 1 실시 형태에 관한 레지스터 회로(11)의 다른 내부 구성을 나타내는 블록도,

도 5는 본 발명의 제 2 실시 형태에 관한 레지스터 회로(11)의 내부 구성을 나타내는 블록도,

도 6은 도 5에 나타나는 레지스터 회로(11)의 동작을 설명하기 위한 타이밍 차트이다.

※ 도면의 주요 부분에 대한 부호의 설명

10 : 시프트 레지스터 11 : 레지스터 회로

M1 : 출력 트랜지스터 M6, M7 : 트랜지스터

C2, C3 : 커패시터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정표시장치의 구동 회로에 관한 것이다.

종래의 액정표시장치의 구동 회로에 관한 기술로서는, 예를 들면 특허 문헌 1에 기재되어 있는 기술이 알려져 있다. 이 특허 문헌 1에 기재된 종래의 기술에서는, 액정표시장치를 구동하는 게이트 드라이버를, 다단 접속된 복수의 트랜지스터 회로를 가지는 시프트 트랜지스터에 의해 구성하고 있다. 그리고, 그 1단분의 레지스터 회로에 있어서는, 바로 앞 단의 레지스터 회로의 출력 펄스에 의해 입력 트랜지스터 스위치가 온 되고, 출력 트랜지스터의 게이트에 관련되는 커패시터를 충전함으로써, 상기 출력 트랜지스터가 온 되기 위해 충분한 양의 게이트 전압(V_{gs})을 확보한다. 이어서, 계속되는 단의 레지스터 회로의 출력 펄스에 의해 클램핑 트랜지스터가 온 되고, 상기 커패시터를 방전하여 출력 트랜지스터가 온 되지 않은 양의 게이트 전압(V_{gs})을 확보한다.

[특허문헌 1]

일본국 특개평8-87897호 공보 (제 4~5페이지, 도 3)

발명이 이루고자 하는 기술적 과제

그러나, 상기한 종래의 기술에서는, 출력 트랜지스터가 자신의 게이트 전압(V_{gs})에 의해 스트레스를 받음으로써 문턱값 전압(V_{th})이 시프트 하고, 이 문턱값 전압(V_{th})의 시프트가 진행됨으로써, 스위치로서의 기능을 충분히 할 수 없게 되는 경우가 있다. 예를 들면, 아몰퍼스 실리콘(a-Si)을 이용하여 액정표시장치의 액티브 매트릭스 기관에 있어서의 TFT(Thin Film Transistor:박막 트랜지스터)를 형성하고, 이 TFT에 의해 게이트 드라이버를 액티브 매트릭스 기관상에 내장화 하는 경우에, 상기한 문턱값 전압 시프트의 문제가 생기고 있다. a-Si는 저렴한 제조 공정으로서 주목받고 있고, 상기한 문턱값 전압 시프트의 문제를 해결하여 액정표시장치의 동작 수명을 개선하는 것이 중요한 과제가 되고 있다.

본 발명은, 이와 같은 사정을 고려하여 이루어진 것으로, 그 목적은 액정표시장치를 구동하는 게이트 드라이버를 구성하는 시프트 레지스터가 가지는 레지스터 회로 내의 출력 트랜지스터에 있어서, 문턱값 전압의 시프트를 방지할 수 있는 액정표시장치의 구동 회로를 제공하는 것에 있다.

발명의 구성 및 작용

상기 과제를 해결하기 위해, 본 발명에 관한 액정표시장치의 구동 회로는, 다단 접속된 복수의 레지스터 회로를 가지는 시프트 레지스터를 구비하고, 상기 레지스터 회로는, 액정표시장치를 구동하는 출력 트랜지스터와, 상기 출력 트랜지스터의 게이트에 인가되는 전압을 제어하는 전압 제어 회로를 가지고, 상기 전압 제어 회로는, 상기 출력 트랜지스터의 오프 기간에 있어서, 음의 바이어스 전압을 상기 출력 트랜지스터의 게이트에 인가하는 것을 특징으로 한다.

이 구성에 의하면, 출력 트랜지스터의 게이트에 소스, 드레인에 대하여 음의 바이어스 전압을 인가하는 기간을 설정할 수 있기 때문에, 출력 트랜지스터를 온 하기 위한 양의 게이트 전압에 의해 발생한 양의 시프트량을, 음의 게이트 전압에 의해 발생하는 음의 시프트량으로 상쇄할 수 있다.

본 발명에 관한 액정표시장치의 구동 회로에 있어서는, 상기 레지스터 회로는, 전단의 레지스터 회로의 출력 펄스에 의해 상기 출력 트랜지스터를 온 시키기 위한 양의 전압을 발생하고, 후단의 레지스터 회로의 출력 펄스에 의해 상기 양의 전압을, 상기 출력 트랜지스터를 오프시키는 전압으로 하는 전압 발생 회로를 더욱 가지고, 상기 전압 제어 회로는, 상기 전압 발생 회로로부터 공급되는 전압을 일정 값만큼 강하시켜, 상기 출력 트랜지스터의 게이트에 인가하는 전압 강하 수단을 가지는 것을 특징으로 한다.

이 구성에 의하면, 출력 트랜지스터를 온/오프시키는 전압을 강하시킴으로써, 음의 바이어스 전압을 발생시킬 수 있다.

본 발명에 관한 액정표시장치의 구동 회로에 있어서는, 상기 전압 강하 수단은, 전압 강하용 트랜지스터와, 이 전압 강하용 트랜지스터의 소스 및 드레인 사이에 설정된 커패시터와의 조합으로 이루어지는 것을 특징으로 한다.

이 구성에 의하면, 트랜지스터의 문턱값 전압을 이용함으로써, 간단한 구성으로 전압 강하 수단을 실현할 수 있다.

본 발명에 관한 액정표시장치의 구동 회로에 있어서는, 상기 레지스터 회로는, 전단의 레지스터 회로의 출력 펄스에 의해 상기 출력 트랜지스터를 온 시키기 위한 양의 전압을 발생하고, 후단의 레지스터 회로의 출력 펄스에 의해 상기 양의 전압을, 상기 출력 트랜지스터를 오프시키는 전압으로 하는 전압 발생 회로를 더욱 가지고, 상기 전압 제어 회로는, 상기 후단의 출력 펄스에 의해 상기 음의 바이어스 전압의 발생을 개시하는 바이어스 전압 발생 수단을 가지는 것을 특징으로 한다.

이 구성에 의하면, 후단의 출력 펄스를 이용함으로써, 출력 트랜지스터의 오프 기간에 있어서 음의 바이어스 전압의 발생을 개시할 수 있다.

본 발명에 관한 액정표시장치의 구동 회로에 있어서는, 상기 출력 트랜지스터는, 아몰퍼스 실리콘을 이용하여 형성되는 것을 특징으로 한다.

이 구성에 의하면, 아몰퍼스 실리콘(a-Si)을 이용하여 액정표시장치의 액티브 매트릭스 기판에 있어서의 TFT를 형성하고, 이 TFT에 의해 게이트 드라이버를 액티브 매트릭스 기판상에 내장화하는 경우에 생기는, 문턱값 전압 시프트의 문제를 해결하여 동작 수명의 개선을 도모할 수 있다.

이하, 도면을 참조하여, 본 발명의 각 실시형태에 대해 순차적으로 설명한다.

도 1은, 본 발명의 각 실시 형태에 관한 시프트 레지스터(10)의 구성을 나타내는 블록도이다. 이 시프트 레지스터(10)는, 액정표시장치를 구동하는 게이트 드라이버를 구성하는 것이다. 이 게이트 드라이버는, 액정표시장치의 액티브 매트릭스 기판에 있어서의 TFT에 의해 액티브 매트릭스 기판상에 내장화되어 있다. 또한, 이 액티브 매트릭스 기판에 있어서의 TFT는, a-Si를 이용하여 형성되어 있다.

도 1에 나타내는 바와 같이, 시프트 레지스터(10)는, 복수의 레지스터 회로(11)를 가지고, 이들 복수의 레지스터 회로(11)가 다단 접속되어 있다. 시프트 레지스터(10)에는, 도시 생략한 클럭 발생 회로로부터, 스타트 펄스(STP) 및 클럭(CK1, CK2)이 입력된다.

스타트 펄스(STP) 및 클럭(CK1, CK2)은, 도 3에 나타나는 파형을 가진다. 스타트 펄스(STP)는, 도 1의 1단짜(초단)의 레지스터 회로(1_11)로부터 출력 펄스(Output)를 출력 개시하기 위한 신호이고, 레지스터 회로(1_11)에 입력되어 있다. 클럭(CK1, CK2)은, 2상 클럭으로, 차례로 후단의 레지스터 회로(11)로 데이터를 전송하기 위한 신호이다. 클럭(CK1)은, 홀수 단짜의 레지스터 회로(11)에 입력되어 있다. 클럭(CK2)은, 짝수단짜의 레지스터 회로(11)에 입력되어 있다.

각 레지스터 회로(11)의 출력 펄스(Gout1, Gout2, Gout3, Gout4,...)는, 게이트 드라이버로서의 출력 신호이다. 이들 출력 펄스는, 액정표시장치의 액티브 매트릭스 기관상의 각 화소에 대응하는 TFT를 차례로 구동한다

[제 1 실시형태]

도 2는, 본 발명의 제 1 실시 형태에 관한 레지스터 회로(11)의 내부 구성을 나타내는 블럭도이다. 이 도 2에는, 시프트 레지스터(10)의 n단째의 레지스터 회로(11)를 나타내고 있다. 도 3은, 도 2에 나타나는 레지스터 회로(11)의 동작을 설명하기 위한 타이밍 차트이다. 이후, 도 3의 타이밍 차트를 참조하면서, 2단째의 레지스터 회로(2_11)를 예로 들어 레지스터 회로(11)의 구성 및 동작을 설명한다.

도 2에 있어서, 우선, 전단인 1단째의 레지스터 회로(1_11)의 출력 펄스(Gout1)가 레지스터 회로(2_11)에 입력되면(T1 시점), 트랜지스터(M2 및 M4)가 온 되고, 커패시터(C1)의 양 전극 사이에는 [(Gout1의 파고치) - (M2의 문턱값 전압)]의 전위차가 발생한다. 이때, 트랜지스터(M6)는 온 되고, 커패시터(C2)의 양 전극 사이에는 트랜지스터(M6)의 순방향의 문턱값 전압의 전위차가 발생한다. 이에 따라, 출력 트랜지스터(M1)의 게이트 전압[Vgs(M1)]은,

$$V_{gs}(M1) = (Gout1 \text{의 파고치}) - (M2 \text{의 문턱값 전압}) - (M6 \text{의 문턱값 전압})$$

이 된다.

이때, 출력 트랜지스터(M1)의 게이트 전압[Vgs(M1)]은, 출력 트랜지스터(M1)가 출력 펄스(Gout2)를 발생하기 위하여 필요한 전류를 흐르게 하는데 충분한 것으로서 확보한다. 이 조건을 만족시키도록, 클럭(CK1, CK2)의 파고치의 설정을 행한다.

이어서, 클럭(CK2)이 입력되면(T2 시점), 출력 트랜지스터(M1)는 온 되어 있기 때문에, 이 클럭(CK2)의 파형이 그대로 출력 펄스(Gout2)로서 나타난다. 이에 따라, 커패시터(C1)의 양 전극 사이의 전위차는 유지되기 때문에, 커패시터(C1)의 트랜지스터(M2)측의 전극은 클럭(CK2)의 파고치의 전위만큼 상승한다. 이어서, 클럭(CK2)의 파형이 하강함으로써(T2' 시점), 커패시터(C1)의 양 전극 사이의 전위차는 유지된 채로 출력 펄스(Gout2)의 파형도 하강한다.

이어서, 후단인 3단째의 레지스터 회로(3_11)의 출력 펄스(Gout3)가 입력되면(T3 시점), 트랜지스터(M3 및 M5)가 온 되고, 커패시터(C1)의 양 전극 사이의 전위는 접지 전위(Vss)에 리셋 된다. 이때, 커패시터(C2)의 양 전극 사이는, 트랜지스터(M6)에 의한 다이오드 접속의 역방향의 전위가 되기 위해 컷오프하고, 이 커패시터(C2)의 양 전극 사이의 전위차는 그대로 유지된다.

이에 따라, 출력 트랜지스터(M1)의 게이트 전압[Vgs(M1)]은, 접지 전위(Vss) 보다, 트랜지스터(M6)의 순방향의 문턱값 전압의 전위차분만큼 낮은 전위가 된다. 즉, 출력 트랜지스터(M1)의 게이트에는, 소스, 드레인에 대해 음의 바이어스 전압이 인가된다. 이 상태는, 다음의 펄스 출력 동작의 개시 시점[출력 펄스(Gout1)의 입력 시점(T1 시점)]까지 계속된다. 즉, 출력 트랜지스터(M1)의 오프 기간에 있어서, 출력 트랜지스터(M1)의 게이트에는, 소스, 드레인에 대해 음의 바이어스 전압이 계속 인가된다. 이에 따라, 출력 트랜지스터(M1)의 문턱값 전압에 관하여, 양의 게이트 전압에 의해 발생한 양의 시프트량을, 상기 음의 게이트 전압에 의해 발생하는 음의 시프트량으로 상쇄할 수 있다.

이와 같이 제 1 실시 형태에 의하면, 출력 트랜지스터(M1)의 게이트에 소스, 드레인에 대해 음의 바이어스 전압을 인가하는 기간을 설정할 수 있기 때문에, 출력 트랜지스터(M1)를 온 하기 위한 양의 게이트 전압에 의해 발생한 양의 시프트량을, 음의 게이트 전압에 의해 발생하는 음의 시프트량으로 상쇄할 수 있다. 이에 따라, 출력 트랜지스터(M1)의 문턱값 전압의 시프트를 대폭 억제할 수 있게 되어 시프트 레지스터(10)의 동작 수명을 개선할 수 있다. 이 결과, 액정 표시 장치의 동작 수명이 개선된다.

또한, 실제의 구동 상태에 있어서는, 출력 트랜지스터(M1)의 게이트에 인가하는 전압의 양/음의 듀티비는 [양:음=1:100 이상]이기 때문에, 음의 전압 레벨은 1~2V 정도이어도 충분히 효과를 얻을 수 있다.

또, 출력 트랜지스터(M1)의 문턱값 전압의 시프트를 더 한층 억제하고 싶은 경우에는, 음의 바이어스 전압을 크게 하면 된다. 구체적으로는, 도 4에 나타내는 바와 같이, 트랜지스터(M7)(전압 강하용 트랜지스터) 및 커패시터(C3)의 세트를 트랜지스터(M6)(전압 강하용 트랜지스터) 및 커패시터(C2)의 세트에 직렬 접속하여 삽입함으로써, 음의 바이어스 전압을 크게 할 수 있다. 또, 필요에 따라 이 트랜지스터 및 커패시터의 세트를 증감함으로써, 출력 트랜지스터(M1)의 문턱값 전압

의 시프트의 억제 능력을 제어할 수 있다. 이때, 출력 트랜지스터(M1)의 게이트 전압[Vgs(M1)]은, 상기 트랜지스터 및 커패시터의 세트의 수에 따라 저하하나, 클럭(CK1, CK2)의 파고치를 변경하거나, 출력 트랜지스터(M1)의 W/L을 변경함으로써, 게이트 전압[Vgs(M1)]을 필요한 전압으로 조정할 수 있다.

[제 2 실시 형태]

도 5는, 본 발명의 제 2 실시 형태에 관한 레지스터 회로(11)의 내부 구성을 나타내는 블록도이다. 이 도 5에는, 시프트 레지스터(10)의 n단째의 레지스터 회로(11)를 나타내고 있다. 도 6은, 도 5에 나타내는 레지스터 회로(11)의 동작을 설명하기 위한 타이밍 차트이다. 이후, 도 6의 타이밍 차트를 참조하면서, 2단째의 레지스터 회로(2_11)를 예로 들어 레지스터 회로(11)의 구성 및 동작을 설명한다.

제 2 실시 형태에서는, 도 5에 나타내는 바와 같이, 출력 트랜지스터(M1)의 게이트에 접속되는 노드에, 커패시터(C2)와 트랜지스터(M6)를 직렬로 접속함으로써, 출력 트랜지스터(M1)의 게이트에 음의 바이어스 전압을 인가한다.

트랜지스터(M6)에 있어서, 커패시터(C2)와 접속되어 있는 단자와는 반대쪽의 단자는, 하이레벨의 전압(Vgh)으로 설정한다. 예를 들면 클럭(CK1, CK2)의 하이레벨의 전압으로 설정한다.

또한, 출력 트랜지스터(M1)의 출력 펄스(Gout2)가 출력되기까지(T2 시점)의 동작은, 상기한 제 1 실시 형태와 같기 때문에, 여기서는 그 설명을 생략한다.

후단인 3단째의 레지스터 회로(3_11)의 출력 펄스(Gout3)가 레지스터 회로(2_11)에 입력되면(T3 시점), 트랜지스터(M3)가 온 되고, 출력 트랜지스터(M1)의 게이트 전압[Vgs(M1)]은 접지 전위(Vss)에 클램프 된다. 이때, 트랜지스터(M6)도 온 되기 때문에, 커패시터(C2)의 양 전극 사이에는 [전압(Vgh) - (M6의 문턱값 전압)]의 전위차가 발생한다.

이어서, 레지스터 회로(3_11)의 출력 펄스(Gout3)의 파형이 하강하면, 트랜지스터(M6)가 오프된다. 이어서, 4단째의 레지스터 회로(4_11)의 출력 펄스(Gout4)가 입력되면(T4 시점), 트랜지스터(M7)가 온 되고, 커패시터(C2)에 충전되어 있는 전하에 의해, 출력 트랜지스터(M1)의 게이트 전압[Vgs(M1)]이 마이너스 전위에 클램프된다. 이 마이너스 전위는, 트랜지스터(M2, M3)가 오프가 되는 문턱값 전압[Vth(M2, M3)]에 의해 제한된다. 이 상태는, 다음의 펄스 출력 동작의 개시 시점[출력 펄스(Gout1)의 입력 시점(T1 시점)]까지 계속된다. 즉, 출력 트랜지스터(M1)의 오프 기간에 있어서, 출력 트랜지스터(M1)의 게이트에는, 소스, 드레인에 대해 음의 바이어스 전압이 계속하여 인가된다. 이에 따라, 출력 트랜지스터(M1)의 문턱값 전압에 관하여, 양의 게이트 전압에 의해 발생한 양의 시프트량을, 상기 음의 게이트 전압에 의해 발생하는 음의 시프트량으로 상쇄할 수 있다.

이와 같이 제 2 실시 형태에 의하면, 출력 트랜지스터(M1)의 게이트에 소스, 드레인에 대하여 음의 바이어스 전압을 인가하는 기간을 설정할 수 있기 때문에, 출력 트랜지스터(M1)를 온 하기 위한 양의 게이트 전압에 의해 발생한 양의 시프트량을, 음의 게이트 전압에 의해 발생하는 음의 시프트량으로 상쇄할 수 있다. 이에 따라, 제 1 실시 형태와 마찬가지로, 출력 트랜지스터(M1)의 문턱값 전압의 시프트를 대폭 억제할 수 있게 되어 시프트 레지스터(10)의 동작 수명을 개선할 수 있다. 이 결과, 액정표시장치의 동작 수명이 개선된다.

이상, 본 발명의 실시 형태를 도면을 참조하여 상세하게 설명하였으나, 구체적인 구성은 이 실시 형태에 한정되는 것이 아니고, 본 발명의 요지를 일탈하지 않는 범위의 설계 변경 등도 포함된다.

발명의 효과

본 발명의 의하면, 출력 트랜지스터의 게이트에 소스, 드레인에 대하여 음의 바이어스 전압을 인가하는 기간을 설정할 수 있기 때문에, 출력 트랜지스터를 온 하기 위한 양의 게이트 전압에 의해 발생한 양의 시프트량을, 음의 게이트 전압에 의해 발생하는 음의 시프트량으로 상쇄할 수 있다.

이에 따라, 출력 트랜지스터의 문턱값 전압의 시프트를 대폭 억제할 수 있게 되어 시프트 레지스터의 동작 수명을 개선할 수 있다. 이 결과, 액정표시장치의 동작 수명이 개선된다.

(57) 청구의 범위

청구항 1.

다단 접속된 복수의 레지스터 회로를 가지는 시프트 레지스터를 구비하고,

상기 레지스터 회로는,

액정표시장치를 구동하는 출력 트랜지스터와,

상기 출력 트랜지스터의 게이트에 인가되는 전압을 제어하는 전압 제어 회로를 가지고,

상기 전압 제어 회로는,

상기 출력 트랜지스터의 오프 기간에 있어서, 음의 바이어스 전압을 상기 출력 트랜지스터의 게이트에 인가하는 것을 특징으로 하는 액정표시장치의 구동 회로.

청구항 2.

제 1항에 있어서,

상기 레지스터 회로는,

전단의 레지스터 회로의 출력 펄스에 의해 상기 출력 트랜지스터를 온 시키기 위한 양의 전압을 발생하고, 후단의 레지스터 회로의 출력 펄스에 의해 상기 양의 전압을, 상기 출력 트랜지스터를 오프시키는 전압으로 하는 전압 발생 회로를 더욱 가지고,

상기 전압 제어 회로는,

상기 전압 발생 회로로부터 공급되는 전압을 일정 값만큼 강하시켜 상기 출력 트랜지스터의 게이트에 인가하는 전압 강하 수단을 가지는 것을 특징으로 하는 액정표시장치의 구동 회로.

청구항 3.

제 2항에 있어서,

상기 전압 강하 수단은,

전압 강하용 트랜지스터와, 상기 전압 강하용 트랜지스터의 소스 및 드레인 사이에 설정된 커패시터와의 조합으로 이루어지는 것을 특징으로 하는 액정표시장치의 구동 회로.

청구항 4.

제 1항에 있어서,

상기 레지스터 회로는,

전단의 레지스터 회로의 출력 펄스에 의해 상기 출력 트랜지스터를 온 시키기 위한 양의 전압을 발생하고, 후단의 레지스터 회로의 출력 펄스에 의해 상기 양의 전압을, 상기 출력 트랜지스터를 오프시키는 전압으로 하는 전압 발생 회로를 더욱 가지고,

상기 전압 제어 회로는,

상기 후단의 출력 펄스에 의해, 상기 음의 바이어스 전압의 발생을 개시하는 바이어스 전압 발생 수단을 가지는 것을 특징으로 하는 액정표시장치의 구동 회로.

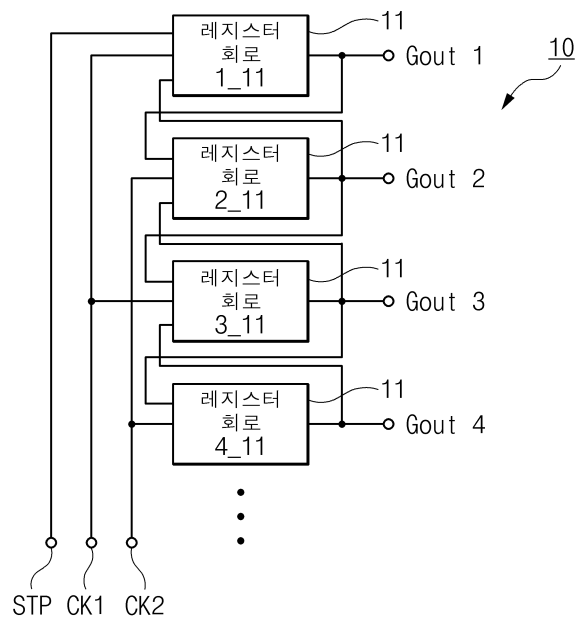
청구항 5.

제 1항 내지 4항 중, 어느 한 항에 있어서,

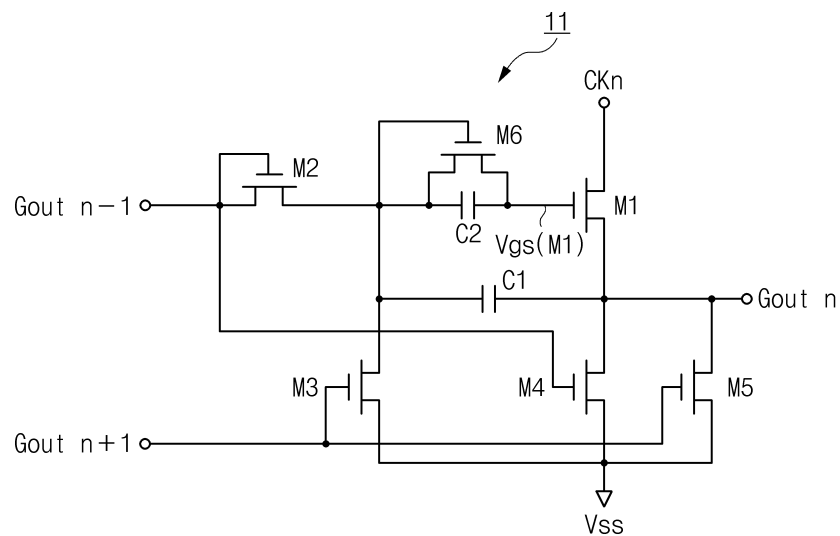
상기 출력 트랜지스터는, 아몰퍼스 실리콘을 이용하여 형성되는 것을 특징으로 하는 액정표시장치의 구동 회로.

도면

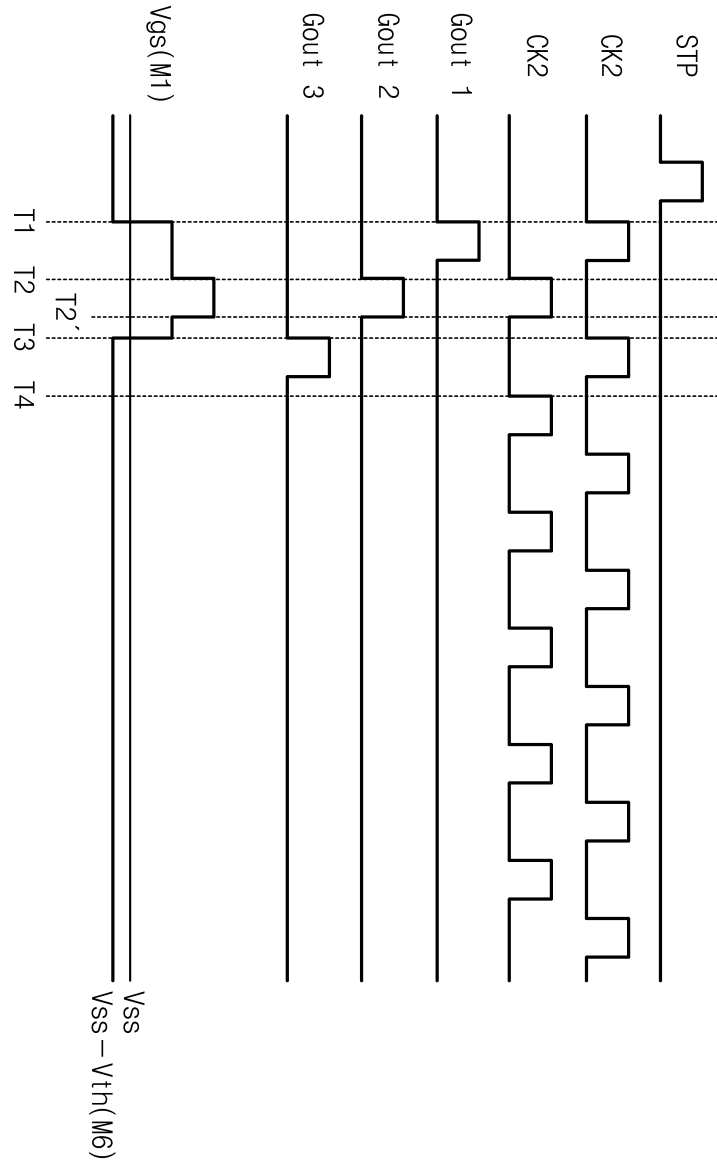
도면1



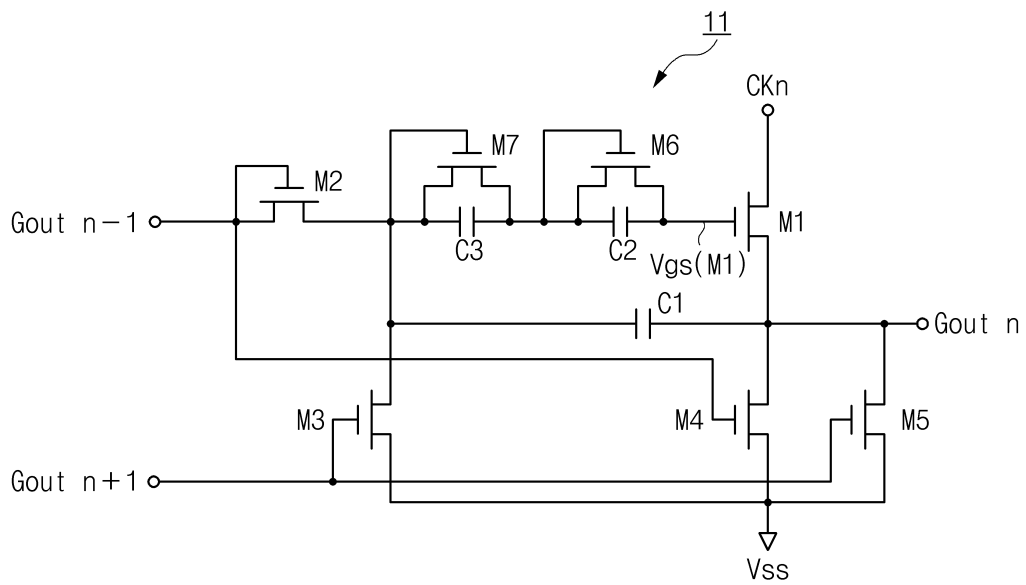
도면2



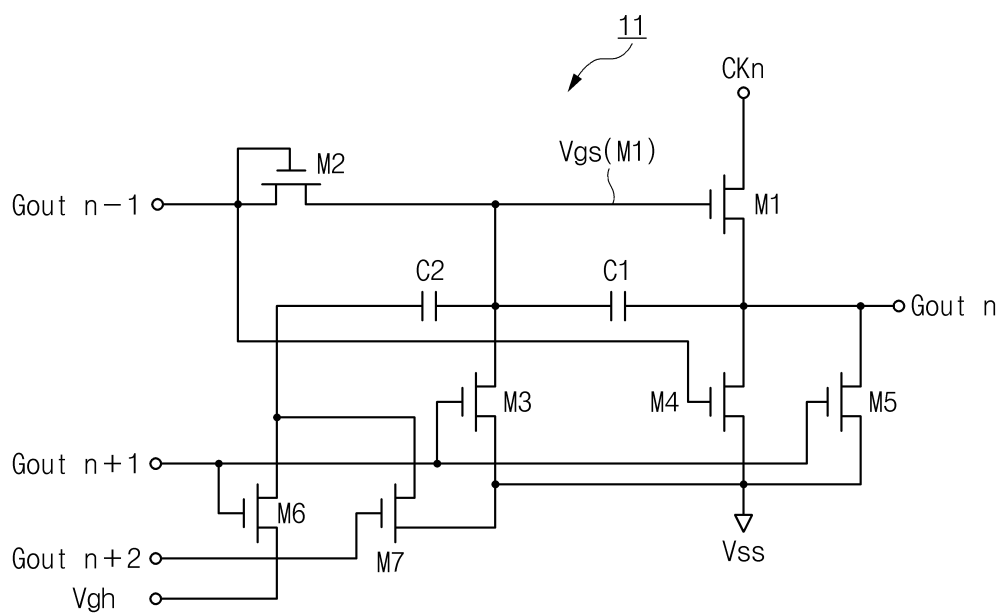
도면3



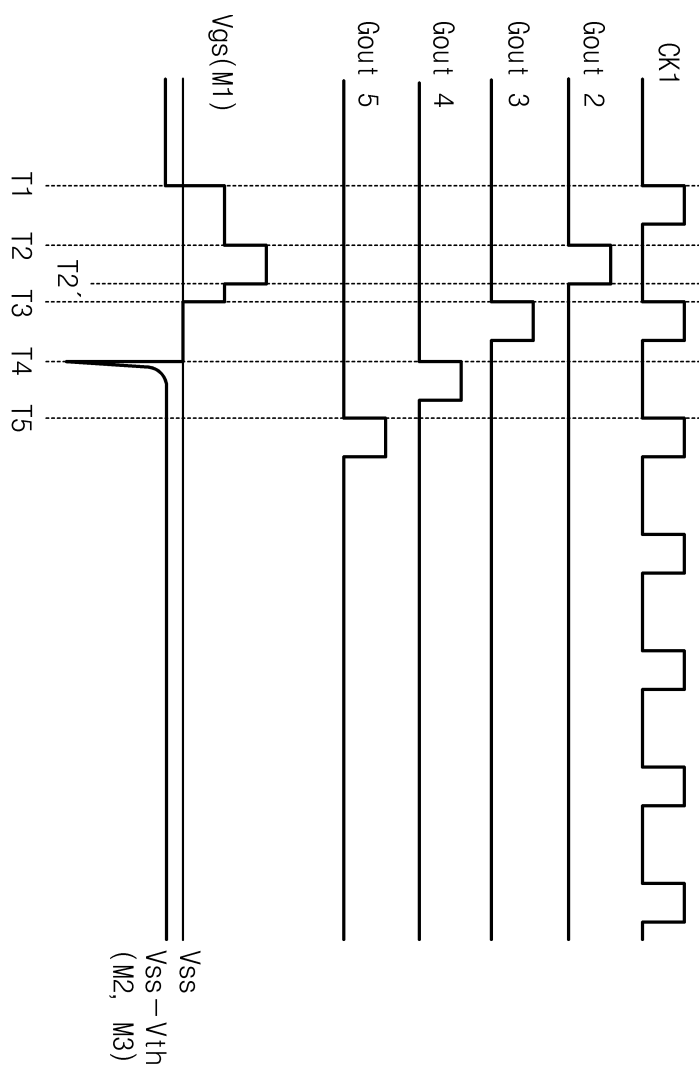
도면4



도면5



도면6



专利名称(译)	液晶显示装置的驱动电路		
公开(公告)号	KR1020060051997A	公开(公告)日	2006-05-19
申请号	KR1020050092907	申请日	2005-10-04
[标]申请(专利权)人(译)	阿尔卑斯电气株式会社		
申请(专利权)人(译)	阿尔卑斯电气有限公司		
当前申请(专利权)人(译)	阿尔卑斯电气有限公司		
[标]发明人	FUJIYOSHI TATSUMI		
发明人	FUJIYOSHI, TATSUMI		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0286 G11C19/184		
优先权	2004292419 2004-10-05 JP		
外部链接	Espacenet		

摘要(译)

对于其中包括当前驱动的栅极驱动器的移位寄存器具有本发明的液晶显示器的寄存器电路内的功率晶体管，实现了能够防止阈值电压偏移的液晶显示器的驱动电路。为此，在本发明中，电容器 (C2) 和晶体管 (M6) 的组落于当前驱动功率晶体管 (M1) 的栅极中施加的液晶显示器的电压关于该关断时段的电压。功率晶体管 (M1) 本质上是负原理的偏置电压。

