

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁸
G02F 1/1345 (2006.01)

(11) 공개번호 10-2006-0000967
(43) 공개일자 2006년01월06일

(21) 출원번호 10-2004-0049966
(22) 출원일자 2004년06월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 길왕섭
대전광역시 동구 신흥동 22-31번지

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 액정표시장치

요약

첫 번째 게이트라인(제 1 게이트라인)의 밝음 현상에 대응할 수 있는 액정표시장치를 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 액정표시장치는 액정패널과; 소오스 PCB와 상기 액정패널의 일측 사이에 접속되어진 다수개의 데이터 TCP들과; 상기 액정패널의 다른 측에 접속되어진 다수개의 게이트 TCP들과; 상기 데이터 TCP들 각각에 실장되어진 데이터 드라이브 IC들과; 상기 게이트 TCP들 각각에 실장되어진 게이트 드라이브 IC들과; 상기 액정패널의 제 1 게이트라인에만 독립적으로 연결된 제 1 게이트 로우전압 인가라인(Vgl1)과, 상기 제 1 게이트 로우전압 인가라인과 분리되어 나머지 게이트인가라인들에 게이트 로우전압을 인가하도록 연결된 제 2 게이트 로우전압 인가라인(Vgl2)을 포함하여 구성됨을 특징으로 한다.

대표도

도 5

색인어

제 1 게이트라인, 밝음, Vgl, Vgh

명세서

도면의 간단한 설명

도 1은 종래 액정표시장치의 전극배치도

도 2는 도 1에 도시된 액정셀의 등가회로도

도 3은 도 2에 도시된 액정셀의 구동파형 및 충전 특성도

도 4는 종래 기술에 따른 액정표시장치의 평면도 및 단위 화소영역의 계략적 구성도

도 5는 본 발명의 실시예에 따른 액정표시장치의 평면도

* 도면의 주요 부분에 대한 부호의 설명 *

50 : 액정패널 51 : 소오스 PCB

52 : 게이트 TCP 53 : 게이트 드라이브 IC

54 : 제 1 게이트 로우전압 인가라인

55 : 제 2 게이트 로우전압 인가라인

56 : 화상표시부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display)에 대한 것으로, 특히 첫 번째 게이트라인의 밝음 현상을 방지할 수 있는 액정표시장치에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비하게 된다.

실제로, 액정표시장치는 도 1에 도시된 바와 같이 게이트라인들(GL1, GL2, ...)과 데이터라인들(DL1, DL2, ...)이 교차하게 배열된 액정패널을 구비한다. 게이트라인들(GL1, GL2, ...)과 데이터라인들(DL1, DL2, ...) 사이의 셀영역에는 화소전극(8)이 마련된다. 화소전극(8)은 스위치 소자인 박막트랜지스터(Thin Film Transistor; 이하, TFT라 함)(10)의 소오스 및 드레인 전극(4, 6)을 경유하여 데이터라인들(DL1, DL2, ...) 중 어느 하나에 접속되게 된다. TFT(10)의 게이트전극(2)은 화소전압신호가 1라인분씩의 화소전극들(8)에게 인가되게끔 하는 게이트라인들(GL1, GL2, ...)중 어느 하나에 접속되게 된다. TFT(10)는 게이트라인(GL1, GL2, ...)에 공급되는 게이트하이전압(Vgh)에 응답하여 데이터라인(DL1, DL2, ...)에 공급되는 화소전압이 해당 화소전극(8)에 충전되게 한다. 액정셀들은 해당 화소전극(8)에 공급되는 화소전압에 따라 화소전극(8)과 공통전극(도시하지 않음) 사이의 액정에 인가되는 전계에 의해 그 액정이 구동되어 광투과율을 조절함으로써 화상을 표시하게 된다. 이 경우, 액정셀들은 TFT(10)가 게이트라인(GL1, GL2, ...)에 순차적으로 공급되는 게이트 하이전압(Vgh)에 의해 턴-온된 때에 데이터라인(DL1, DL2, ...)으로부터의 해당 화소전압을 충전하여 다시 TFT(10)가 턴-온될 때까지 충전전압을 유지하게 된다. 임의의 n번째 주사라인의 액정셀에 충전된 화소전압은 해당 화소전극(8)과 이전단 게이트라인(GLn-1)과의 중첩에 의해 형성되어진 스토리지 캐패시터(12)에 의해 유지되게 된다. 프레임마다 게이트라인들(GL1, GL2, ...) 각각에는 통상 해당 주사라인이 구동되는 시점, 즉 화소전극(8)에 화소전압이 인가되게 하는 1수평주기(1H) 동안에만 게이트하이전압(Vgh)이 공급되고 나머지 기간에는 게이트 로우전압(Vgl)이 공급된다. 스토리지 캐패시터(12)는 이전단 게이트라인(Gn-1)에 공급되는 게이트 로우전압(Vgl)에 의해 현재단 화소전극(8)에 충전된 전압을 홀딩(Holding)하여 유지되게 한다. 이 경우, 첫 번째 주사라인에 포함되는 액정셀들에 스토리지 캐패시터(12)를 형성하기 위하여 제 1 게이트라인(GL1)의 위쪽에는 더미 게이트라인(Dummy Gate Line; DGL)이 더 형성된다. 이 더미 게이트라인(DGL)에는 상기 게이트 로우전압(Vgl)에 대응되는 직류전압이 공급된다. 이에 따라, 더미 게이트라인(DGL)을 포함하는 첫 번째 주사라인의 스토리지 캐패시터(12)에는 항상 직류전압이 공급되는 반면에, 이전단 게이트라인(Gn-1)을 포함하는 나머지 주사라인들의 스토리지 캐패시터들(12)에는 게이트 하이전압(Vgh)과 게이트 로우전압(Vgl)이 공급된다. 이로 인하여, 첫 번째 주사라인을 제외한 나머지 주사라인들에서는 게이트 하이전압(Vgh)이 공급되어질 때 신호 간섭이 발생함으로써 첫 번째 주사라인에 포함되는 액정셀과 나머지 주사라인들에 포함되는 액정셀들에 실제로 충전되는 실효전압(Vrms)에 차이가 나타나게 된다. 이러한 첫 번째 주사라인과 나머지 주사라인들과의 실효전압(Vrms)의 차이는 첫 번째 주사라인이 다른 주사라인들에 비하여 밝게 보이게 되는 휘선 형태로 나타나게 된다.

상기 액정셀들은 도 2에 도시된 바와 같은 등가회로를 가지게 된다. 도 2의 액정셀은 게이트라인(GLn), 데이터라인(DLn) 사이에 접속되어진 TFT와, TFT의 드레인단자(화소전극)와 공통전극(도시하지 않음) 사이에 접속된 액정 캐패시터(Clc)와, TFT의 드레인단자(화소전극)와 이전단 게이트라인(Gn-1)에 접속된 스토리지 캐패시터(Cst)로 구성된다. 더불어, 액정셀은 TFT의 게이트단자와 소오스단자, 게이트단자와 드레인단자 사이에 중첩 부분이 존재하여 각각 기생 캐패시터(Cgs, Cgd)를 갖게 됨과 아울러 소오스단자와 드레인단자 사이에 존재하는 기생저항(Rtft) 등이 포함된다. 기생저항(Rtft)은 TFT가 턴-오프되는 동안의 등가저항으로서 일정하게 고정되어 있는 것은 아니다.

액정캐패시터(Clc)는 도 3에 도시된 바와 같이 게이트라인(GLn)에 공급되는 게이트 하이전압(Vgh)에 의해 TFT가 턴-온되는 기간동안(Ton) 데이터라인(DLn)으로부터 공급되는 데이터전압과 공통전압의 차전압에 해당하는 화소전압(Vlc)을 충전하고 게이트로우전압(Vgl)에 의해 TFT가 턴-오프되는 기간동안(Toff) 충전된 화소전압(Vlc)을 유지하게 된다. 이 경우, 게이트 하이전압(Vgh)이 게이트 로우전압(Vgl)으로 하강할 때 기생 캐패시터(Cgs, Cgd)에 의해 화소전압(Vlc)이 피드 트로우 전압(Feed Through Voltage)(ΔVp)만큼 감소하게 된다. 여기서, 피드 트로우 전압(ΔVp)은 근사적으로 다음 수식 1과 같이 표현된다.

수학식 1

$$\Delta Vp = \frac{Cgd}{Cgd + Clc + Cst} (Vgh - Vgl)$$

여기서, ΔVp는 액정셀에 인가되는 전압의 변화량이고, Cgd는 게이트전극(G)와 드레인전극(D) 사이의 캐패시터이다. 또한, Cst는 스토리지 캐패시터이고, Clc는 액정셀의 캐패시터이며, Vgh는 게이트 하이전압, Vgl은 게이트 로우전압을 나타낸다.

이러한 피드 트로우 전압(ΔVp)의 크기는 첫 번째 주사라인의 액정셀과 나머지 주사라인들의 액정셀들 사이에서 소정의 차이를 가지고 있다. 이는 더미 게이트라인(DGL)을 포함하는 첫 번째 주사라인의 액정셀들에 포함되는 스토리지 캐패시터에는 항상 직류전압이 공급되는 반면에 이전단 게이트라인(Gn-1)을 포함하는 나머지 주사라인들의 액정셀들에 포함되는 스토리지 캐패시터들에는 게이트하이전압(Vgh)과 게이트로우전압(Vgl)이 공급됨으로써 게이트하이전압(Vgh)이 공급되어질 때 신호간섭이 발생함에 기인한다. 이 결과, 첫 번째 주사라인에 포함되는 액정셀과 나머지 주사라인들에 포함되는 액정셀들에 충전되는 실효전압(Vrms)의 크기에 차이가 나타나게 된다. 이러한 첫 번째 주사라인과 나머지 주사라인들과의 실효전압(Vrms)의 차는 첫 번째 주사라인이 다른 주사라인들에 비하여 밝게 보이게 되는 휘선 형태로 나타남으로써 휘선 불량에 의한 화질저하 문제가 초래되고 있다.

이하, 첨부 도면을 참조하여 종래 기술에 따른 액정표시장치에 대하여 설명한다.

도 4는 종래 기술에 따른 액정표시장치의 평면도 및 단위 화소영역의 계략적 구성도이다.

종래의 액정표시장치는 도 4에 도시한 바와 같이, LOG(Line On Glass) 타입으로써, 게이트 PCB 없이 게이트 TCP(42)내에 게이트 드라이버 IC(43)가 실장되어 있고, 소오스 PCB(41)에 접속된 데이터 TCP(미도시)내에 데이터 드라이버 IC(미도시)가 실장되어 있는 구조이다. 미설명 부호 '47'은 실제 화상이 구현되는 화상표시부이다.

상기와 같이 구성된 종래의 LOG 타입의 경우, 제 1 게이트라인(1st G/L)에는 항상 게이트 로우전압(Vgl) 인가라인(46)이 연결되어 게이트 로우전압(Vgl)이 인가되고, 제 2 게이트라인(2nd G/L)부터 마지막 게이트 라인까지는 제 1 게이트라인과 연결된 게이트 로우전압(Vgl) 인가라인에 연결된 Vgl 신호와, 이에 기초한 Vgh 신호가 주기적으로 들어오게 된다.

그러므로, 제 1 게이트라인과 나머지 게이트라인들은 상술한 바와 같이 실효전압(Vrms) 차에 의해서 제 1 게이트라인이 밝게 보이는 현상이 발생한다.

이와 같이 제 1 게이트라인이 다른 영역보다 밝게 보이는 현상을 방지하기 위해서, 도 4의 하부에 도시한 바와 같이, 제 1 게이트라인의 개구부에 해당하는 R,G,B 화소영역(44a, 44b, 44c)들의 일영역을 블랙매트릭층(45)으로 가려주기도 한다.

그러나, 이와 같이 블랙매트릭층을 사용하여 제 1 게이트라인이 다른 영역보다 밝은 현상을 방지하는 방법은 제 1 게이트라인의 개구부를 50%이상 가릴 경우에는 액정모듈의 패턴 검사시 패턴이 불량한 것으로 나타나는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 본 발명의 목적은 첫 번째 게이트라인(제 1 게이트라인)의 밝음 현상에 대응할 수 있는 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 액정패널과; 소오스 PCB와 상기 액정패널의 일측 사이에 접속되어진 다수개의 데이터 TCP들과; 상기 액정패널의 다른 측에 접속되어진 다수개의 게이트 TCP들과; 상기 데이터 TCP들 각각에 실장되어진 데이터 드라이브 IC들과; 상기 게이트 TCP들 각각에 실장되어진 게이트 드라이브 IC들과; 상기 액정패널의 제 1 게이트라인에만 독립적으로 연결된 제 1 게이트 로우전압 인가라인(Vgl1)과, 상기 제 1 게이트 로우전압 인가라인과 분리되어 나머지 게이트인가라인들에 게이트 로우전압을 인가하도록 연결된 제 2 게이트 로우전압 인가라인(Vgl2)을 포함하여 구성됨을 특징으로 한다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

액정패널에는 게이트라인들과 데이터라인들이 교차 배열되고 그 게이트라인들과 데이터라인들이 교차하여 정의된 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 형성되어 있다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소오스 및 드레인 단자들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다. TFT의 게이트전극은 화소전압신호가 1라인분씩의 화소전극들에게 인가되게끔 하는 게이트라인들 중 어느 하나에 접속되게 된다. TFT는 게이트라인에 공급되는 게이트하이전압(Vgh)에 응답하여 데이터라인에 공급되는 화소전압이 해당 화소전극에 충전되게 한다. 즉, 액정셀들은 TFT가 게이트라인에 순차적으로 공급되는 게이트하이전압(Vgh)에 의해 턴-온될 때에 데이터라인으로부터의 해당 화소전압을 충전하여 다시 TFT가 턴-온될 때까지 충전전압을 유지하게 된다. 임의의 n번째 게이트라인의 액정셀에 충전된 화소전압은 해당 화소전극과 이전단 게이트라인과의 중첩에 의해 형성되어진 스토리지 캐패시터(Cst)에 의해 유지되게 된다. 프레임마다 게이트라인들 각각에는 통상 해당 게이트라인이 구동되는 시점, 즉 화소전극에 화소전압이 인가되게 하는 1수평주기(1H) 동안에만 게이트 하이전압(Vgh)이 공급되고 나머지 기간에는 게이트로우전압(Vgl)이 공급된다. 스토리지 캐패시터(Cst)는 이전단 게이트라인에 공급되는 게이트로우전압(Vgl)에 의해 현재단 화소전극에 충전된 전압을 유지하게 된다.

구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 타이밍 제어부와, 액정표시장치에서 사용되는 여러가지의 구동전압들을 공급하는 전원공급부를 구비한다. 타이밍 제어부는 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어함과 아울러 데이터 드라이버에 화소데이터 신호를 공급한다. 전원공급부는 입력 전원을 이용하여 액정표시장치에서 필요하는 공통전압(Vcom), 게이트 하이전압(Vgh), 게이트 로우전압(Vgl) 등과 같은 구동전압들을 생성한다.

게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 스캐닝신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.

이들 중 액정패널과 직접 접속되는 데이터 드라이버와 게이트 드라이버는 다수개의 IC(Integrated Circuit)들로 집적화된다. 집적화된 데이터 드라이브 IC와 게이트 드라이브 IC 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정패널에 접속되거나 COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.

여기서 TCP를 통해 TAB 방식으로 액정패널에 접속되는 드라이브 IC들은 TCP에 접속되어진 PCB(Printed CircuitBoard)에 실장되어진 신호라인들을 통해 외부로부터 입력되는 제어신호들 및 직류전압들을 공급받음과 아울러 상호 접속된다. 상세히 하면, 데이터 드라이브 IC들은 소오스 PCB에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들 및 화소 데이터 신호와 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다. 게이트 드라이브 IC들은 게이트 PCB에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들과 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다.

COG 방식으로 액정패널에 실장되는 드라이브 IC들은 신호라인들이 액정패널, 즉 하부기판 상에 실장되는 라인 온 글래스(Line On Glass; 이하 LOG라 함) 방식으로 상호 접속됨과 아울러 타이밍 제어부 및 전원공급부로부터의 제어신호들 및 구동전압들을 공급받게 된다.

최근에는 드라이브 IC들이 TAB 방식으로 액정패널에 접속되는 경우에도 LOG방식을 채택하여 PCB를 제거함으로써 액정 표시장치가 더욱 박형화될 수 있게 하고 있다. 특히, 상대적으로 적은 신호라인들을 필요로 하는 게이트 드라이브 IC들에 접속되는 신호라인들을 LOG 방식으로 액정패널 상에 형성함으로써 게이트 PCB를 제거하고 있다. 다시 말하여 TAB 방식의 게이트 드라이브 IC들은 액정패널의 하부기판 상에 실장되는 신호라인들을 통해 직렬로 접속됨과 아울러 제어신호들 및 구동전압신호들(이하, 게이트 구동신호들이라 함)을 공통적으로 공급받게 된다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치에 대하여 설명하기로 한다.

도 5는 본 발명의 실시예에 따른 액정표시장치의 평면도이다.

실제로, 게이트 드라이브 IC들에 접속되는 신호라인들을 LOG 방식으로 액정패널에 형성하여 게이트 PCB를 제거한 본 발명의 액정표시장치는, 도 5에 도시된 바와 같이, 액정패널(50)과, 액정패널(50)의 일측과 소오스 PCB(51) 사이에 접속되어진 다수개의 데이터 TCP들(미도시)과, 액정패널(50)의 다른 측에 접속되어진 다수개의 게이트 TCP들(52)과, 데이터 TCP들 각각에 실장되어진 데이터 드라이브 IC(미도시)들과, 게이트 TCP들(52) 각각에 실장되어진 게이트 드라이브 IC들(53)을 구비한다. 미설명 부호 '56'은 실제 화상이 구현되는 화상표시부이다.

상기와 같이 구성된 본 발명의 LOG 방식의 경우, 종래와 다르게 액정패널(50)의 제 1 게이트라인(1st G/L)에만 독립적으로 조절가능한 제 1 게이트 로우전압(Vgl1)이 항상 인가되고, 제 2 게이트라인(2nd G/L)부터 마지막 게이트 라인까지는 제 1 게이트라인으로 들어오는 제 1 게이트 로우전압(Vgl1)과는 별개의 제 2 게이트 로우전압(Vgl2)과 게이트 하이전압(Vgh)이 주기적으로 인가된다.

다시말해서, 제 1 게이트라인만 소오스 PCB(51)로부터 제어되는 제 1 게이트 로우전압(Vgl1) 인가라인(54)에 연결되어 독립적으로 제 1 게이트 로우전압(Vgl1)을 인가 받고, 제 2 게이트라인부터 마지막 게이트라인까지는 제 2 게이트 로우전압(Vgl2) 인가라인(55)에 연결되어 게이트 드라이버 IC(53)를 통해서 제 2 게이트 로우전압(Vgl2)과 게이트 하이전압(Vgh)을 인가 받는다.

이와 같이 제 1 게이트라인이 독립적으로 제 1 게이트 로우전압(Vgl1) 인가라인에 연결되어 있고, 상기 제 1 게이트 로우전압 인가라인에 인가되는 게이트 전압은 소오스 PCB(51)에서 출력을 조정함으로써, 게이트 첫라인 밝음에 대응할 수 있다. 이때 제 1 게이트 로우전압이 제 1 게이트 로우전압보다 그 값을 크게 조정하난.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

발명의 효과

상기와 같은 본 발명의 액정표시장치는 다음과 같은 효과가 있다.

첫째, 2개의 독립된 게이트 로우전압 라인을 구성하여, 제 1 게이트라인만 다른 게이트라인들과는 독립적으로 제 1 게이트 로우전압 인가라인에 연결시키고, 다른 게이트라인들은 제 2 게이트 로우전압 인가라인에 연결시킴으로써, 게이트 첫라인 밝음에 대응할 수 있다.

둘째, 제 1 게이트라인의 개구부에 해당하는 화소의 일영역을 블랙매트릭층으로 가릴 필요가 없으므로, 액정모듈의 패턴 검사시 패턴이 불량한 것으로 나타나는 문제를 방지할 수 있다.

(57) 청구의 범위

청구항 1.

액정패널과;

소오스 PCB와 상기 액정패널의 일측 사이에 접속되어진 다수개의 데이터 TCP들과;

상기 액정패널의 다른 측에 접속되어진 다수개의 게이트 TCP들과;

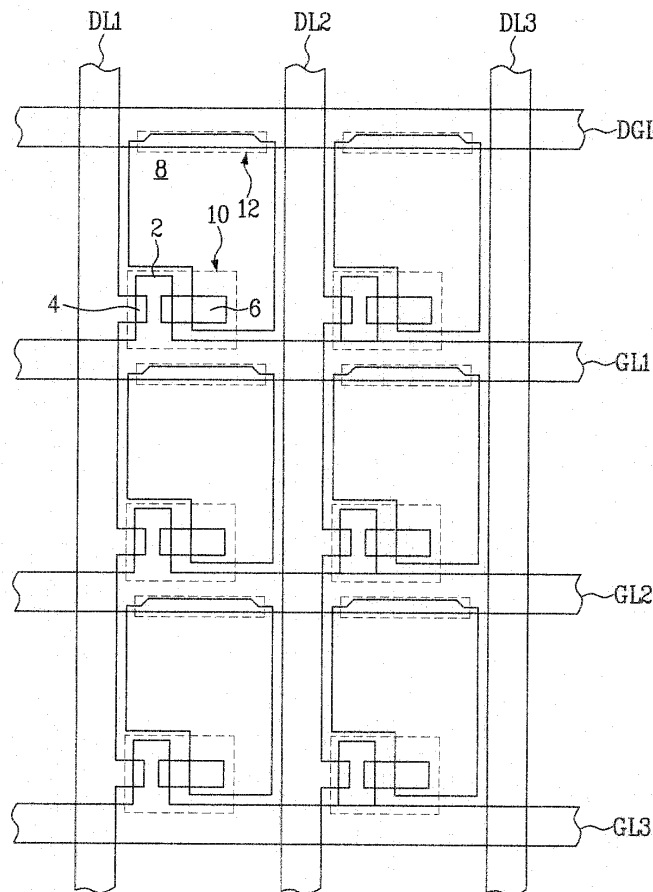
상기 데이터 TCP들 각각에 실장되어진 데이터 드라이브 IC들과;

상기 게이트 TCP들 각각에 실장되어진 게이트 드라이브 IC들과;

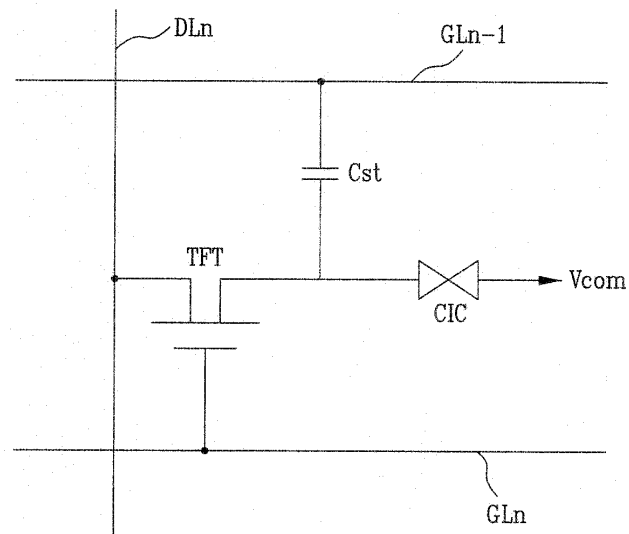
상기 액정패널의 제 1 게이트라인에만 독립적으로 연결된 제 1 게이트 로우전압 인가라인(Vg11)과, 상기 제 1 게이트 로우전압 인가라인과 분리되어 나머지 게이트인가라인들에 게이트 로우전압을 인가하도록 연결된 제 2 게이트 로우전압 인가라인(Vgl2)을 포함하여 구성됨을 특징으로 하는 액정표시장치.

도면

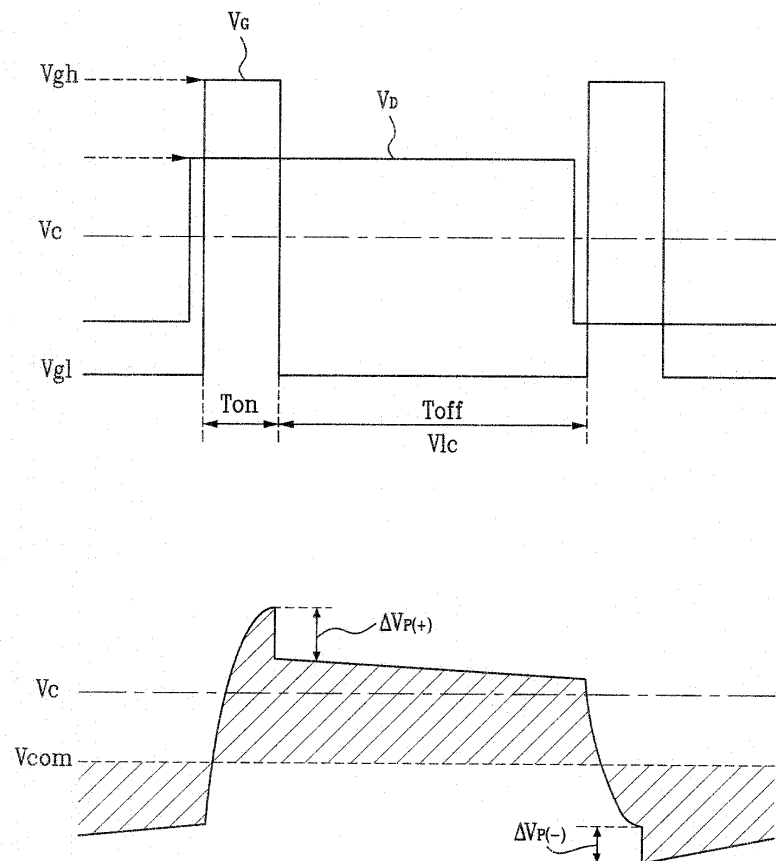
도면1



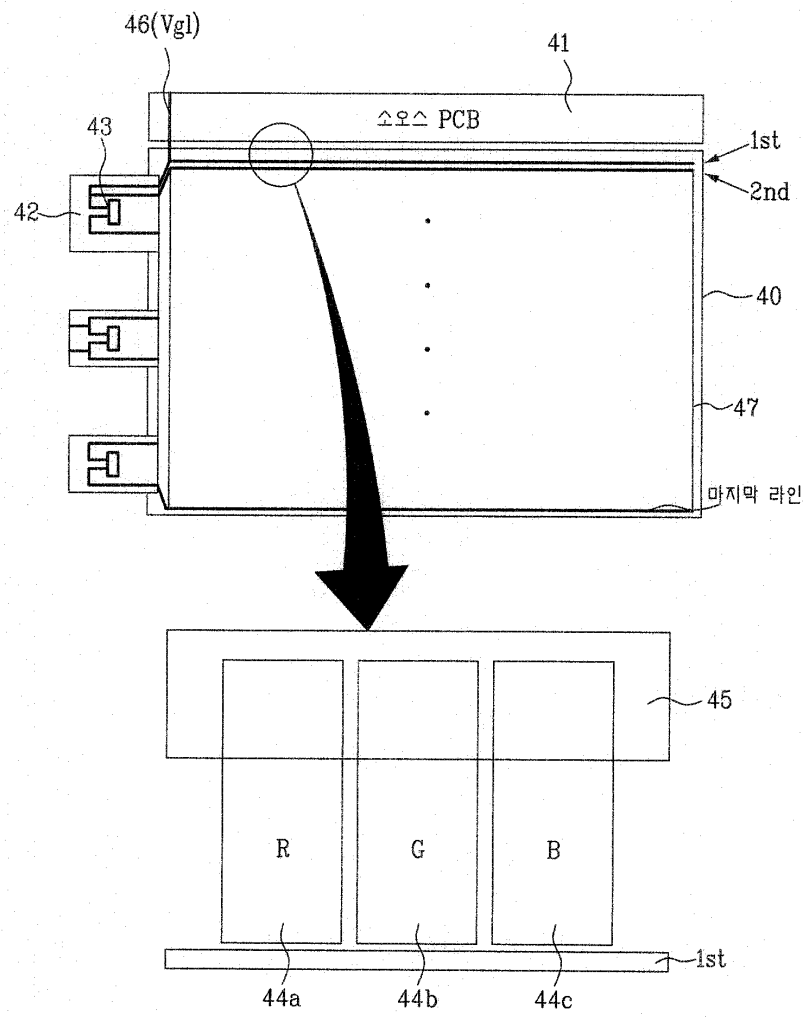
도면2



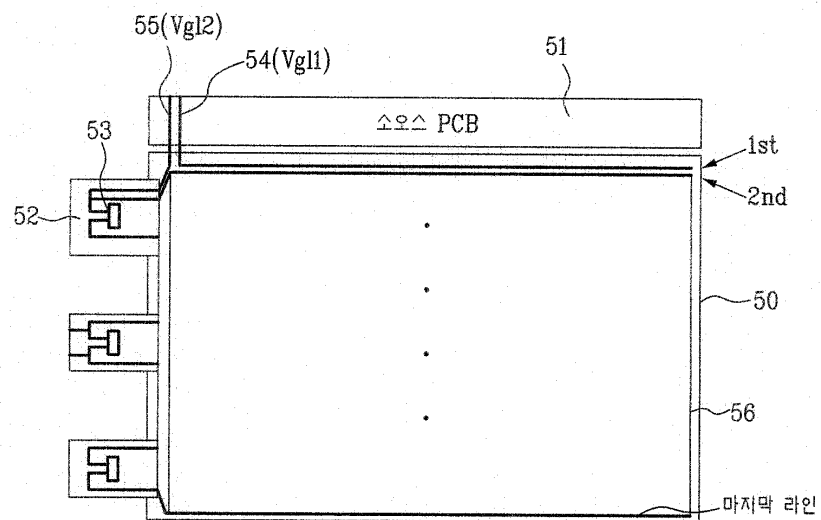
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020060000967A	公开(公告)日	2006-01-06
申请号	KR1020040049966	申请日	2004-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIL WANGSEOB		
发明人	KIL,WANGSEOB		
IPC分类号	G02F1/1345		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101016283B1		
外部链接	Espacenet		

摘要(译)

本发明的第一方面是提供一种能够响应第一栅极线（第一栅极线）的亮度现象的液晶显示装置。多个数据TCP连接在源PCB和液晶面板的一侧之间；多个栅极TCP连接到液晶面板的另一侧；数据驱动IC安装在每个数据TCP上；栅极驱动IC安装在每个栅极TCP上；在施加所述第一栅极低电压被独立地仅连接到液晶面板和第二连接1从栅极低电压线分开的第一栅极线（VGL1）到栅极低电压施加到施加剩余的栅极线和栅极低压施加线（Vgl2）。五 指数方面 第一条栅极线，亮度，Vgl，Vgh

