

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁸
G02F 1/1345 (2006.01)

(11) 공개번호 10-2006-0000289
(43) 공개일자 2006년01월06일

(21) 출원번호 10-2004-0049033
(22) 출원일자 2004년06월28일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이영훈
서울시 노원구 상계3동 대림아파트 101동 1101호

(74) 대리인 김영호

심사청구 : 없음

(54) 라인 온 글래스형 액정 표시 장치

요약

본 발명은 신호왜곡에 따른 화질 저하를 최소화할 수 있는 라인 온 글래스형 액정 표시 장치를 제공하는 것이다.

본 발명에 따른 라인 온 글래스형 액정 표시 장치는 액정셀 매트릭스를 갖는 액정패널과, 상기 액정패널을 구동하기 위한 적어도 두 개의 집적회로들과, 상기 집적회로들에 입력구동신호를 공급하기 위해 상기 액정패널의 기판 상에 직접 형성되는 제1 신호라인들과; 상기 집적회로들에서 생성된 출력구동신호를 상기 액정패널에 공급하며 상기 적어도 두 개의 집적회로별로 서로 다른 저항값을 가지도록 상기 적어도 두 개의 집적회로별로 선폭 및 두께 중 어느 하나가 다른 제2 신호라인들을 구비한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 라인 온 글래스형 액정 표시 장치를 도시한 평면도이다.

도 2는 도 1에 도시된 액정 표시 장치에서의 가로선 줄무늬 현상을 설명하기 위한 도면이다.

도 3은 본 발명의 실시 예에 따른 LOG형 액정 표시 장치를 도시한 평면도이다.

도 4는 도 3에 도시된 액정표시패널을 상세히 나타내는 평면도이다.

도 5는 종래와 본 발명에 따른 게이트링크의 라인저항을 나타내는 도면이다.

<도면의 주요부분에 대한 설명>

2,102 : 박막 트랜지스터 어레이 기판 4,104 : 칼라 필터 어레이 기판

6,106 : 액정 패널 8,108 : 게이트 TCP

10,110 : 게이트 구동 IC 12,112 : 데이터 TCP

14,114 : 데이터 구동 IC 16,116 : 데이터 PCB

18,118 : FPC 20,120 : 메인 PCB

22,122 : 타이밍 제어부 24,124 : 전원부

26,126 : LOG 신호 라인군 32 : 가로선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 신호왜곡에 따른 화질 저하를 최소화할 수 있는 라인 온 글래스형 액정 표시 장치에 관한 것이다.

액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스형으로 배열된 액정 표시 패널과, 액정 표시 패널을 구동하기 위한 구동 회로를 구비한다.

액정 표시 패널은 액정셀들이 화소 신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다.

구동 회로는 액정 표시 패널의 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어하기 위한 타이밍 제어부와, 상기 액정 표시 패널과 상기 구동 회로들의 구동에 필요한 전원 신호들을 공급하는 전원부를 구비한다.

데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit; 이하, IC라 함)들로 분리되어 칩 형태로 제작된다. 집적화된 드라이브 IC들 각각은 TCP(Tape Carrier Package) 상에서 오픈된 IC 영역에 실장되거나 COF(Chip On Film) 방식으로 TCP의 베이스 필름 상에 실장되고, TAB(Tape Automated Bonding) 방식으로 액정 표시 패널과 전기적으로 접속된다. 또한 드라이브 IC는 COG(Chip On Glass) 방식으로 액정 표시 패널 상에 직접 실장되기도 한다. 타이밍 제어부와 전원부는 칩 형태로 제작되어 메인 PCB(Printed Circuit Board) 상에 실장된다.

TCP에 의해 액정 표시 패널과 접속되는 드라이브 IC들은 FPC(Flexible Printed Circuit)와 서브 PCB를 통해 메인 PCB의 타이밍 제어부 및 전원부와 접속된다. 구체적으로, 데이터 드라이브 IC들은 FPC와 데이터 PCB를 통해 메인 PCB에 실장된 타이밍 제어부로부터의 데이터 제어 신호들 및 화소 데이터와, 전원부로부터의 전원 신호들을 공급받게 된다. 게이트 드라이브 IC들은 게이트 FPC와 게이트 PCB를 통해 메인 PCB 상에 실장된 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다.

COG 방식으로 액정 표시 패널에 실장되는 드라이브 IC들은 FPC와 액정 표시 패널에 형성되는 라인 온 글래스(Line On Glass; 이하 LOG라 함)형 신호 라인들을 통해 메인 PCB에 실장된 타이밍 제어부로부터의 제어 신호들 및 화소 데이터와 전원부로부터의 전원 신호들을 공급받게 된다.

최근에는 드라이브 IC들이 TCP를 통해 액정 표시 패널과 접속되는 경우에도 LOG형 신호 라인들을 채택하여 PCB를 제거함으로써 액정 표시 장치가 더욱 박형화되게 하고 있다. 특히, 상대적으로 적은 신호를 전달하는 게이트 PCB를 제거하고 게이트 드라이브 IC들에 게이트 제어 신호들 및 전원 신호들을 공급하는 신호 라인들을 LOG형으로 액정 표시 패널 상에 형성하고 있다. 이에 따라, TCP에 실장된 게이트 드라이브 IC들은 메인 PCB->FPC->데이터 PCB->데이터 TCP->LOG

신호 라인->게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다. 이 경우, 게이트 드라이브 IC에 공급되는 게이트 제어 신호들과 게이트 전원 신호들이 LOG 신호 라인들의 라인 저항에 의해 왜곡됨으로써 액정 표시 패널에 표시되는 화상의 품질이 저하되는 문제가 발생하게 된다.

구체적으로, 게이트 PCB가 제거된 LOG형 액정 표시 장치는 도 1에 도시된 바와 같이 타이밍 제어부(22)와 전원부(24)를 포함하는 메인 PCB(20)와, FPC(18)를 통해 메인 PCB(20)와 접속된 데이터 PCB(16)와, 데이터 구동 IC(14)를 실장하여 데이터 PCB(16)와 액정 표시 패널(6) 사이에 접속된 데이터 TCP(12)와, 게이트 구동 IC(10)를 실장하여 액정 표시 패널(6)에 접속된 게이트 TCP(8)를 구비한다.

액정 표시 패널(6)은 박막 트랜지스터 어레이 기관(2)과, 칼러 필터 어레이 기관(4)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(6)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다.

데이터 드라이브 IC들(14)은 데이터 TCP(12) 및 액정 표시 패널(6)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(14)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(14)은 데이터 PCB(16)와 FPC(18)를 통해 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(10)은 게이트 TCP(8) 및 액정 표시 패널(6)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.

이를 위하여, 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터의 게이트 제어 신호들과 전원 신호들은 FPC(18)와 데이터 PCB(16)를 경유하여 데이터 TCP(12)에 공급된다. 데이터 TCP(12)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(2)의 가장자리 영역에 형성된 LOG 신호 라인군(26)을 경유하여 게이트 TCP(8)에 공급된다. 게이트 TCP(8)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 입력 단자들을 통해 게이트 드라이브 IC(10) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 출력 단자들을 통해 출력되어 게이트 TCP(8)와 LOG 신호 라인군(26)을 경유하여 다음 게이트 TCP(8)에 실장된 게이트 드라이브 IC(10)로 공급된다.

LOG 신호라인군(26)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(24)로부터 공급되는 직류 구동 전압들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

이러한 LOG 신호 라인군(26)은 박막 트랜지스터 어레이 기관(2)의 한정된 패드 영역에 게이트 라인들과 동일한 게이트 금속층을 이용하여 미세 패턴으로 형성된다. 또한, LOG 신호 라인군(26)은 게이트 TCP(8)와 ACF 본딩(Bonding)을 통해 접촉됨에 따라 그 게이트 TCP(8)와의 접촉 부분(A)이 증가하여 접촉 저항이 커지게 된다. 이에 따라, LOG 신호 라인군(26)은 기존의 게이트 PCB의 신호 라인들 보다 큰 라인 저항을 가지게 된다. 이러한 라인 저항으로 인하여 LOG 신호 라인군(26)을 통해 전송되는 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 왜곡됨으로써 가로 줄무늬, 얼룩 등이 발생되고 도트 패턴의 크로스트크, 그리니쉬(Greenish) 등과 같은 화질 저하 현상이 심해지게 된다.

예를 들면, 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)을 공급하는 LOG 신호 라인군(26)들은 도 2에 도시된 바와 같이 게이트 TCP들(8) 사이 각각에 접속되는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)으로 구성된다. 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3) 각각은 그 라인길이에 비례하는 라인 저항($I\Omega$, $m\Omega$, $n\Omega$)을 갖고 게이트 TCP(8)와 게이트 드라이브 IC(10)를 경유하여 직렬로 연결된다. 이러한 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)으로 인하여 게이트 드라이브 IC(10) 마다 입력되는 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM) 간에 레벨 차가 발생하게 된다. 이 결과, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 수평라인 블록들(A 내지 C) 간에 휘도차가 발생되어 가로선 줄무늬(32)가 생기게 된다.

구체적으로, 제1 게이트 드라이브 IC(10)에는 제1 LOG 신호 라인군(LOG1)의 제1 라인 저항($l\Omega$)에 의해, 제2 게이트 드라이브 IC(10)에는 제1 및 제2 LOG 신호 라인군(LOG1, LOG2)의 제1 및 제2 라인 저항($l\Omega + m\Omega$)에 의해, 제3 게이트 드라이브 IC(10)에는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 제1 내지 제3 라인 저항($l\Omega + m\Omega + n\Omega$)에 의해 전압 강하된 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 공급된다. 이에 따라, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 제1 내지 제3 수평 블록(A 내지 C)의 게이트 라인들에 공급되는 게이트 신호들(VG1 내지 VG4) 간에 차이가 발생함에 따라 그 수평 라인 블록(A 내지 C) 간에 가로선 줄무늬(32)가 발생하게 된다.

이러한 게이트 드라이브 IC(10) 단위의 게이트전압 차이는 LOG 신호 라인군(26)의 단면적을 라인길이에 반비례하게 증가시키는 방법 등을 이용하여 보상할 수 있다. 그러나 LOG 신호라인군(26)이 형성되는 액정패널(6)의 외곽영역은 한정되어 있으므로 단면적을 증가시키는데 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 신호왜곡에 따른 화질 저하를 최소화할 수 있는 LOG형 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 라인 온 글래스형 액정 표시 장치는 액정셀 매트릭스를 갖는 액정패널과, 상기 액정패널을 구동하기 위한 적어도 두 개의 집적회로들과, 상기 집적회로들에 입력구동신호를 공급하기 위해 상기 액정패널의 기판 상에 직접 형성되는 제1 신호라인들과; 상기 집적회로들에서 생성된 출력구동신호를 상기 액정패널에 공급하며 상기 적어도 두 개의 집적회로별로 서로 다른 저항값을 가지도록 상기 적어도 두 개의 집적회로별로 선폭 및 두께 중 어느 하나가 다른 제2 신호라인들을 구비하는 것을 특징으로 한다.

상기 제2 신호라인의 선폭 및 두께 중 적어도 어느 하나는 상기 제1 신호라인의 라인저항값에 반비례하는 것을 특징으로 한다.

상기 적어도 두개의 집적회로 중 첫번째 집적회로의 출력단과 접속되는 상기 제2 신호라인의 선폭은 가장 좁고, 상기 적어도 두개의 집적회로 중 마지막 집적회로의 출력단과 접속되는 제2 신호라인의 선폭은 가장 넓은 것을 특징으로 한다.

상기 적어도 두개의 집적회로 중 첫번째 집적회로의 출력단과 접속되는 상기 제2 신호라인의 두께는 가장 얇고, 상기 적어도 두개의 집적회로 중 마지막 집적회로의 출력단과 접속되는 제2 신호라인의 두께는 가장 두꺼운 것을 특징으로 한다.

상기 라인 온 글래스형 액정표시장치는 상기 액정패널 상에 형성되는 게이트라인을 추가로 구비하며, 상기 집적회로는 제2 신호라인을 통해 상기 게이트라인에 게이트신호를 공급하는 게이트 집적회로인 것을 특징으로 한다.

상기 라인 온 글래스형 액정표시장치는 상기 게이트라인과 교차되게 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로를 추가로 구비하는 것을 특징으로 한다.

상기 입력구동신호는 게이트신호의 하이논리전압, 게이트신호의 로우논리전압, 베이스 공통 전압, 그라운드전압 및 공통 전압 중 적어도 어느 하나가 상기 제1 신호라인을 통해 상기 집적회로에 공급되는 것을 특징으로 한다.

상기 출력구동신호는 상기 제2 신호라인을 통해 상기 게이트라인에 공급되는 게이트하이전압 및 게이트로우전압인 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3은 본 발명에 따른 LOG형 액정표시장치를 나타내는 도면이다.

도 3을 참조하면, 본 발명에 따른 LOG형 액정표시장치는 액정셀 매트릭스를 갖는 액정패널(106)과, 액정패널(106)의 게이트라인들(GL)을 구동하기 위한 게이트 드라이브 IC(110)와, 액정패널(106)의 데이터라인들(DL)을 구동하기 위한 데이터 드라이브 IC(114)와, 게이트 드라이브 IC(110) 및 데이터 드라이브 IC(114)를 제어하기 위한 타이밍 제어부(122)와, 액정표시장치의 구동에 필요한 구동전압을 발생하는 전원부(124)를 구비한다.

전원부(124)는 시스템 전원부(도시하지 않음)로부터 입력되는 전압을 이용하여 액정표시장치의 구동에 필요한 구동전압들(게이트 하이전압(VGH), 게이트 로우 전압신호(VGL), 기준 감마전압, 공통전압(VCOM) 등)을 발생하여 타이밍 제어부(122), 데이터 드라이브 IC(114) 및 게이트 드라이브 IC(110) 등에 공급한다.

타이밍 제어부(122)는 그래픽 카드로부터의 비디오데이터(R, G, B)를 중계하여 데이터 드라이브 IC(114)에 공급한다. 아울러, 타이밍 제어부(122)는 그래픽카드로부터의 제어신호에 응답하여 데이터 및 게이트 드라이브 IC(114,110)의 타이밍을 제어하기 위한 타이밍 신호들과 제어신호들을 발생하게 된다.

액정패널(106)은 박막 트랜지스터 어레이 기판(102)과, 컬러 필터 어레이 기판(104)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정패널(106)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다.

데이터 드라이브 IC들(114)은 데이터 TCP(112) 및 액정패널(106)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(114)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(114)은 데이터 PCB(116)와 FPC(118)를 통해 메인 PCB(120) 상의 타이밍 제어부(122) 및 전원부(124)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(110)은 게이트 TCP(108) 및 액정패널(106)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(110)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(110)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.

이를 위하여, 타이밍 제어부(122) 및 전원부(124)로부터의 게이트 제어 신호들과 전원 신호들은 데이터 PCB(116)를 경유하여 데이터 TCP(112)에 공급된다. 데이터 TCP(112)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기판(102)의 가장자리 영역에 형성된 LOG 신호 라인군(126)을 경유하여 게이트 TCP(108)에 공급된다. 게이트 TCP(108)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(110)의 입력 단자들을 통해 게이트 드라이브 IC(110) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(110)의 출력 단자들을 통해 출력되어 게이트 TCP(108)와 LOG 신호 라인군(126)을 경유하여 다음 게이트 TCP(108)에 실장된 게이트 드라이브 IC(110)로 공급된다.

LOG형 신호 라인군(126)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(미도시)로부터 공급되는 게이트 전원 신호들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(미도시)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

한편, LOG형 신호라인군(126)은 그의 라인길이에 비례하여 라인저항값을 가지게 됨에 따라 라인길이에 비례하여 게이트 구동신호가 감소하게 된다.

이러한 LOG형 신호라인군(126)의 라인저항에 의해 게이트 드라이브 IC(110) 단위로 공급되는 게이트 구동신호의 전압차를 보상하기 위해 게이트 드라이브 IC(110)의 출력단의 선폭 또는 두께를 LOG형 신호라인군(126)의 라인길이에 대응되게 형성한다. 즉, LOG형 신호라인군(126)의 라인길이가 길어질수록 게이트 드라이브 IC(110) 출력단의 선폭을 넓게 형성한다. 또는 LOG형 신호라인군(126)의 라인길이가 길어질수록 게이트 드라이브 IC(110) 출력단의 두께를 두껍게 형성한다.

한편, 게이트 드라이브 IC(110)의 출력단은 게이트 드라이브 IC(110)가 실장된 게이트 TCP(108)의 출력패드, 게이트 TCP(108)의 출력패드와 접속되는 게이트패드(152) 및 게이트패드(152)와 접속되는 게이트링크(150) 중 적어도 어느 하나이다. 이 중 게이트 드라이브 IC(110)의 출력단이 게이트링크(150)인 경우를 예를 들어 게이트 링크의 선폭을 조절하여 게이트구동신호의 전압차를 보상하는 방법을 도 4를 결부하여 상세히 설명하기로 한다.

제1 게이트 TCP(108A)에 실장된 제1 게이트 드라이브 IC(110A)와 게이트패드(152)를 통해 접속되는 제1 게이트링크(150A)는 제1 선폭(W1)을 가지도록 형성된다. 제1 선폭(W1)을 가지는 제1 게이트링크(150A)의 라인저항($a\Omega$)에 비례하여 전압강하된 제1 게이트구동신호(VG1)는 게이트라인들에 공급된다.

제2 게이트 TCP(108B)에 실장된 제2 게이트 드라이브 IC(110B)와 게이트패드(152)를 통해 접속되는 제2 게이트링크(150B)는 제1 선폭(W1)보다 폭이 넓은 제2 선폭(W2)을 가지도록 형성된다. 제1 선폭(W1)보다 폭이 넓은 제2 선폭(W2)을 가지는 제2 게이트링크(150B)의 라인저항($b\Omega, b\Omega < a\Omega$)에 비례하여 전압강하된 제2 게이트구동신호(VG2)는 게이트라인들에 공급된다. 여기서, 제2 게이트 드라이브 IC(110B)는 LOG형 신호라인군(126)에 의해 제1 게이트 드라이브 IC(110A)에서 생성된 제1 게이트구동신호(VG1)보다 상대적으로 전압레벨이 낮은 제2 게이트구동신호(VG2)를 생성하게 된다. 이 제2 게이트구동신호(VG2)는 제1 게이트링크(150A)의 선폭보다 넓은 제2 게이트링크(150B)를 통해 제1 게이트구동신호(VG1)보다 전압강하량이 적다. 이에 따라, 제2 게이트링크(150B)를 통해 게이트라인에 공급되는 제2 게이트구동신호(VG2)는 제1 게이트링크(150A)를 통해 게이트라인에 공급되는 제1 게이트구동신호(VG1)와 전압레벨이 유사하다.

제3 게이트 TCP(108C)에 실장된 제3 게이트 드라이브 IC(110C)와 게이트패드(152)를 통해 접속되는 제3 게이트링크(150C)는 제2 선폭(W2)보다 폭이 넓은 제3 선폭(W3)을 가지도록 형성된다. 제3 선폭(W3)을 가지는 제3 게이트링크(150C)의 라인저항($c\Omega, c\Omega < b\Omega$)에 비례하여 전압강하된 게이트구동신호는 게이트라인들에 공급된다. 여기서, 제3 게이트 드라이브 IC(110C)는 LOG형 신호라인군(126)에 의해 제2 게이트 드라이브 IC(110B)에서 생성된 제2 게이트구동신호(VG2)보다 상대적으로 전압레벨이 낮은 제3 게이트구동신호(VG3)를 생성하게 된다. 이 제3 게이트구동신호(VG3)는 제2 게이트링크(150B)의 선폭보다 넓은 제3 게이트링크(150C)를 통해 제2 게이트구동신호(VG2)보다 전압강하량이 적다. 이에 따라, 제3 게이트링크(150C)를 통해 게이트라인에 공급되는 제3 게이트구동신호(VG3)는 제2 게이트링크(150B)를 통해 게이트라인에 공급되는 제2 게이트구동신호(VG2)와 전압레벨이 유사하다.

도 5는 종래와 본 발명에 따른 게이트링크의 라인저항을 측정한 도면이다. 도 5에서 가로축은 게이트 링크의 위치를 나타내며, 세로축은 게이트 링크의 라인저항을 나타낸다.

도 5를 참조하면, 종래 제i 번째 게이트 드라이브 IC의 마지막 출력단과 접속된 마지막 링크(I)의 라인저항값과 제i+1 번째 게이트 드라이브 IC의 첫번째 출력단과 접속된 첫번째 링크(II)의 라인저항값의 차이가 두드러지게 크다. 이러한 라인저항값의 차이에 따라 제i 번째 게이트 드라이브 IC의 마지막 출력단과 접속된 게이트라인에 공급된 게이트구동신호와 제i+1 번째 게이트 드라이브 IC의 첫번째 출력단과 접속된 게이트라인에 공급된 게이트구동신호가 차이가 난다. 이에 따라, 제i 번째 게이트 드라이브 IC의 마지막 출력단과 제i+1 번째 게이트 드라이브 IC의 첫번째 출력단 사이에서 가로선 줄무늬가 두드러지게 나타난다.

반면에 본원 발명은 제i 번째 게이트 드라이브 IC의 마지막 출력단과 접속된 마지막 링크(I)의 라인저항값과 제i+1 번째 게이트 드라이브 IC의 첫번째 출력단과 접속된 첫번째 링크(II)의 라인저항값의 차이가 거의 없다. 이에 따라, 제i 번째 게이트 드라이브 IC의 마지막 출력단과 제i+1 번째 게이트 드라이브 IC의 첫번째 출력단 사이에서 가로선 줄무늬 현상이 나타나지 않는다.

한편, 본 발명의 제k 게이트 드라이브 IC에 접속된 게이트링크의 선폭은 동일한 것으로 설명하였지만 제k 게이트 드라이브 IC에 접속된 게이트링크의 선폭을 소정의 범위에서 차등적으로 설계할 수 있다. 예를 들어, 게이트링크는 제k 게이트 드라이브 IC의 중앙 출력단에서 외부 출력단으로 갈수록 선폭이 점진적으로 커지게 형성되거나 두께가 점진적으로 높게 형성된다. 또한, 본 발명은 게이트 PCB가 제거된 구조를 예를 들어 설명하였지만 데이터 PCB가 제거된 구조에서도 적용할 수 있다. 즉, 데이터 구동신호를 공급하기 위한 LOG형 신호라인에 의한 가로선 줄무늬 불량 발생시 데이터 드라이브 IC의 출력단에 위치하는 데이터링크의 선폭을 데이터 드라이브 IC별로 차등적으로 형성한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 LOG형 액정 표시 장치는 제1 게이트 드라이브 IC의 출력단에 위치하는 게이트링크의 선폭을 차등적으로 형성하거나 게이트링크의 높이를 차등적으로 형성함으로써 동일한 게이트 구동신호를 게이트라인에 공급한다. 이에 따라, 인접한 게이트 드라이브 IC의 게이트 구동신호의 차이를 보상함으로써 수평 라인 블록간의 가로선 줄무늬 불량현상을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

액정셀 매트릭스를 갖는 액정패널과,

상기 액정패널을 구동하기 위한 적어도 두 개의 집적회로들과,

상기 집적회로들에 입력구동신호를 공급하기 위해 상기 액정패널의 기관 상에 직접 형성되는 제1 신호라인들과;

상기 집적회로들에서 생성된 출력구동신호를 상기 액정패널에 공급하며 상기 적어도 두 개의 집적회로별로 서로 다른 저항값을 가지도록 상기 적어도 두 개의 집적회로별로 선폭 및 두께 중 어느 하나가 다른 제2 신호라인들을 구비하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 제2 신호라인의 선폭 및 두께 중 적어도 어느 하나는 상기 제1 신호라인의 라인저항값에 반비례하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 적어도 두개의 집적회로 중 첫번째 집적회로의 출력단과 접속되는 상기 제2 신호라인의 선폭은 가장 좁고, 상기 적어도 두개의 집적회로 중 마지막 집적회로의 출력단과 접속되는 제2 신호라인의 선폭은 가장 넓은 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 4.

제 2 항에 있어서,

상기 적어도 두개의 집적회로 중 첫번째 집적회로의 출력단과 접속되는 상기 제2 신호라인의 두께는 가장 얇고, 상기 적어도 두개의 집적회로 중 마지막 집적회로의 출력단과 접속되는 제2 신호라인의 두께는 가장 두꺼운 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 액정패널 상에 형성되는 게이트라인을 추가로 구비하며,

상기 집적회로는 제2 신호라인을 통해 상기 게이트라인에 게이트신호를 공급하는 게이트 집적회로인 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 게이트라인과 교차되게 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로를 추가로 구비하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 7.

제 1 항에 있어서,

상기 입력구동신호는 게이트신호의 하이논리전압, 게이트신호의 로우논리전압, 베이스 공통 전압, 그라운드전압 및 공통 전압 중 적어도 어느 하나가 상기 제1 신호라인을 통해 상기 집적회로에 공급되는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

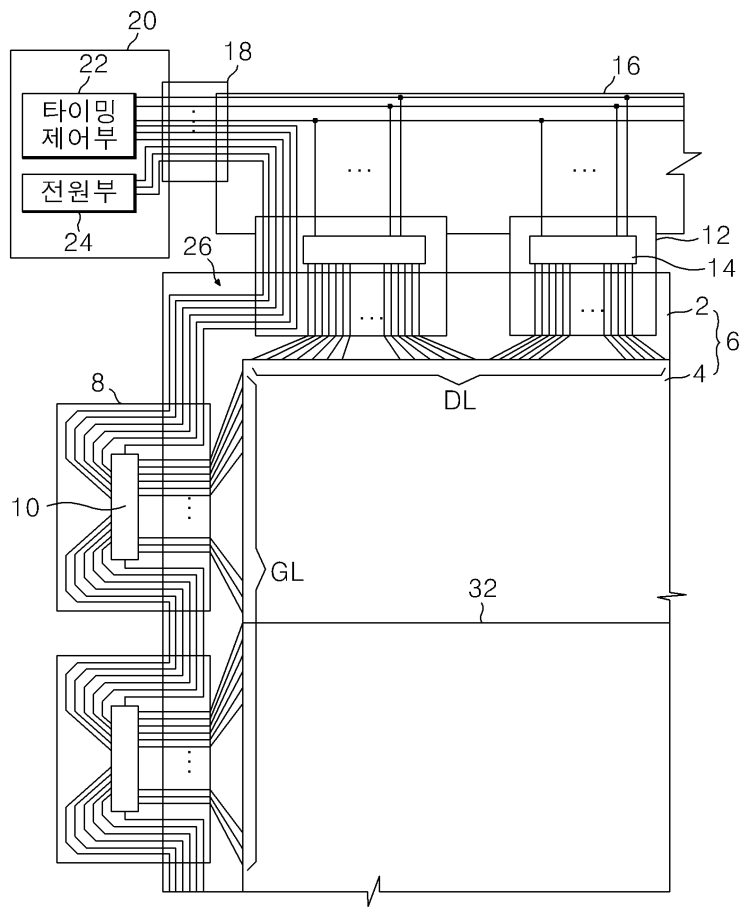
청구항 8.

제 1 항에 있어서,

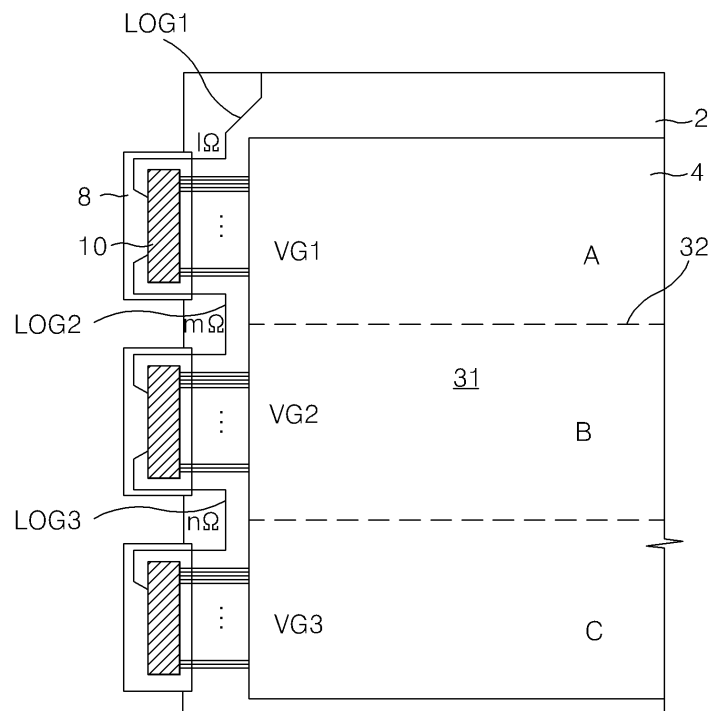
상기 출력구동신호는 상기 제2 신호라인을 통해 상기 게이트라인에 공급되는 게이트하이전압 및 게이트로우전압인 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

도면

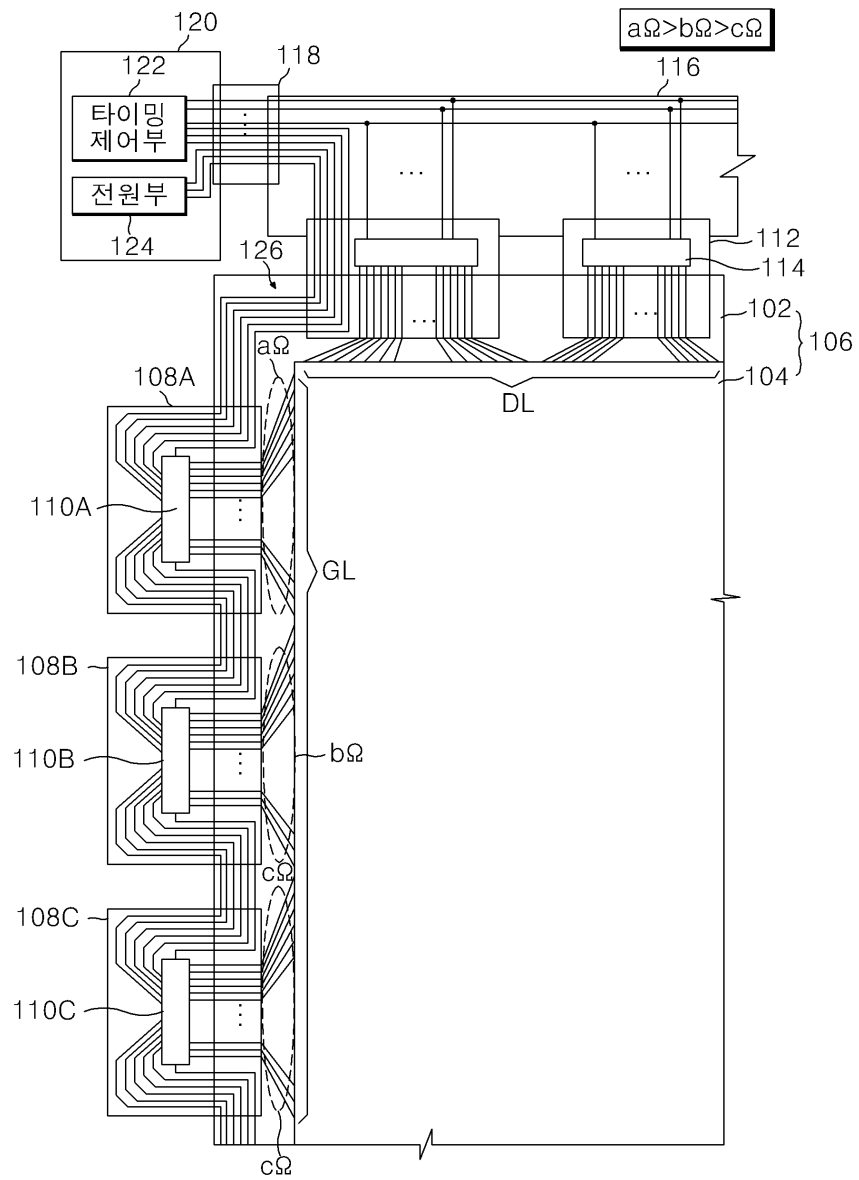
도면1



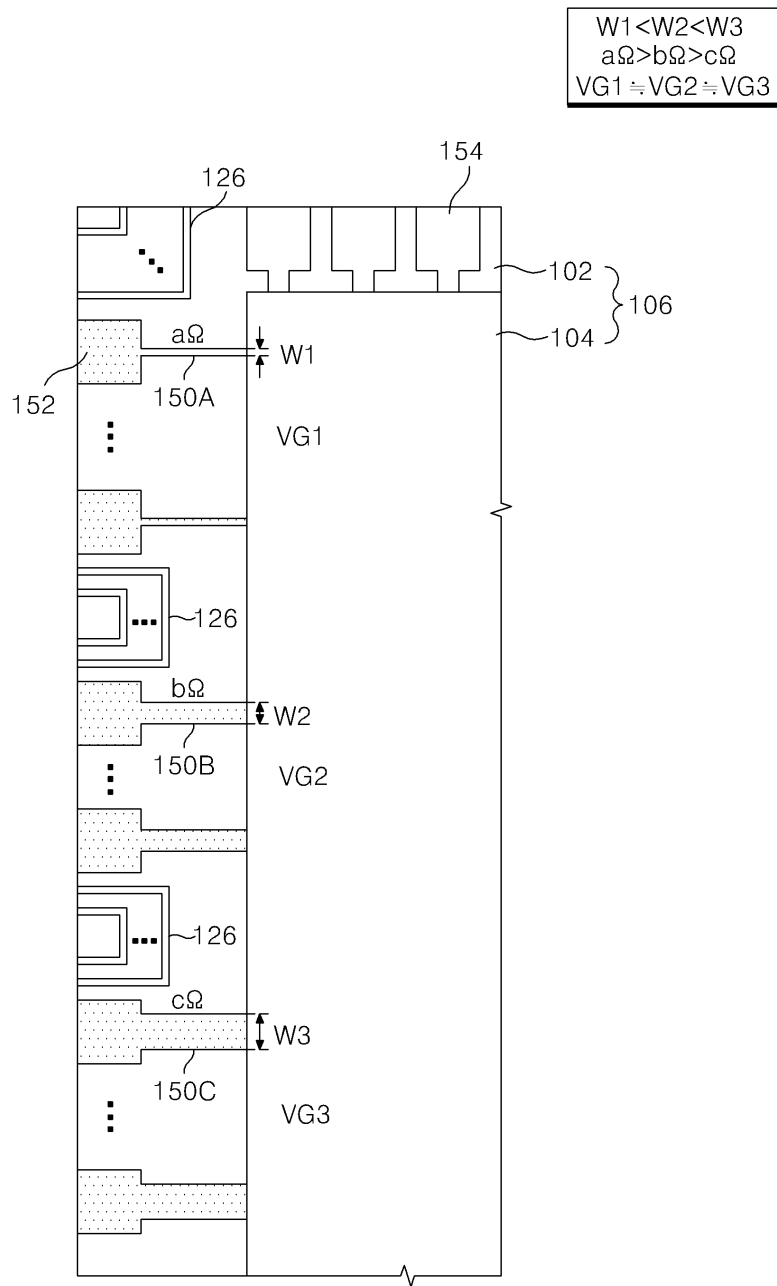
도면2



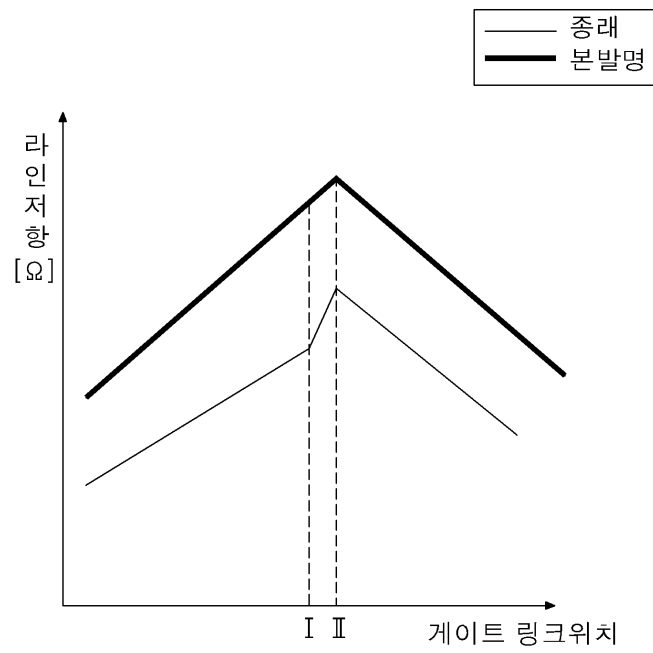
도면3



도면4



도면5



专利名称(译)	线上玻璃型液晶显示器		
公开(公告)号	KR1020060000289A	公开(公告)日	2006-01-06
申请号	KR1020040049033	申请日	2004-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YOUNGHUN		
发明人	LEE,YOUNGHUN		
IPC分类号	G02F1/1345 G02F1/13 G02F1/1343		
CPC分类号	G02F1/13452 G02F1/1345		
其他公开文献	KR101034717B1		
外部链接	Espacenet		

摘要(译)

用途：提供LOG（玻璃上线）型LCD，通过差分地形成位于第一栅极驱动IC（集成芯片）输出端的栅极链路宽度或差分方式，向栅极线提供相同的栅极驱动信号形成栅极链路的高度，从而最小化根据信号失真的图像质量的劣化。

