

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G02F 1/136(11) 공개번호 10-2005-0070784
(43) 공개일자 2005년07월07일(21) 출원번호 10-2003-0101009
(22) 출원일자 2003년12월30일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 장상민
경기도안양시동안구관양동현대I-Space1412호
최수석
경기도하남시초일동224-5번지(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 반투과형 액정표시소자의 제조방법

요약

본 발명은 저마스크 기술을 이용한 반투과형 액정표시소자의 제조방법에 관한 것으로서, 절연기관 상에 제 1, 2 반도체층을 형성하는 단계; 상기 반도체층을 포함한 전면에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 게이트 전극 및 스토리지 전극을 형성하는 단계; 상기 게이트 전극을 마스크로 하여 상기 제 1 반도체층에 n형 불순물을 주입하여 n형 TFT의 소스/드레인 영역을 형성하는 단계; 상기 게이트 전극을 포함한 전면에 층간 절연막을 형성하는 단계; 상기 층간 절연막 상에 투과전극을 형성하는 단계; 상기 투과전극을 포함한 전면에 보호막을 형성하는 단계; 상기 n형 TFT 영역 및 투과전극이 위치한 보호막 상에 요철패턴을 형성하는 단계; 상기 게이트 전극을 마스크로 하여 상기 제 2 반도체층에 p형 불순물을 주입하여 p형 TFT의 소스/드레인 영역을 형성하는 단계; 상기 요철패턴의 표면을 따라 유기절연막을 형성하는 단계; 상기 소스/드레인 영역 및 투과전극이 각각 노출되는 콘택홀 및 오픈영역을 형성하는 단계; 상기 콘택홀을 통해 상기 소스/드레인 영역에 접속하는 소스/드레인 전극과 상기 오픈영역을 통해 상기 투과전극에 접속하는 반사전극을 동시에 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

대표도

도 2i

색인어

저마스크, CMOS TFT, 반투과형, 반사요철

명세서

도면의 간단한 설명

도 1a 내지 도 1l은 종래 기술에 의한 반투과형 액정표시소자의 공정단면도.

도 2a 내지 도 2i는 본 발명에 의한 반투과형 액정표시소자의 제조공정을 설명하기 위한 공정단면도 및 II-II 선상의 평면도.

*도면의 주요 부분에 대한 부호설명

211 : 절연기관 212 : 게이트 전극

214 : 채널층 215a, 215b : 소스/드레인 영역

215c, 215d : 소스/드레인 전극 217a : 반사전극

217b : 투과전극 219 : 스토리지 전극

231 : 제 1 포토레지스트

254 : 반도체층 271 : 제 1 콘택홀

281 : 투과부 오픈영역 288 : LDD 도핑층

290 : 요철패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자(LCD ; Liquid Crystal Display Device)에 관한 것으로, 특히 저마스크 기술을 이용한 CMOS-TFT 어레이 기판의 제조방법에 관한 것이다.

액정표시소자는 콘트라스트(contrast) 비가 크고, 계조 표시나 동화상 표시에 적합하며 전력소비가 적다는 특징 때문에 평판 디스플레이 중에서도 그 비중이 증대되고 있다.

이러한 액정표시소자는 동작 수행을 위해 기판에 구동소자 또는 배선 등의 여러 패턴들을 형성하는데, 패턴을 형성하기 위해 사용되는 기술 중 일반적인 것이 포토식각기술(photolithography)이다.

상기 방법은 패턴이 형성될 기판에 자외선으로 감광하는 재료인 포토 레지스트를 코팅하고, 광 마스크에 형성된 패턴을 포토 레지스트 위에 노광하여 현상하고, 이와 같이 패터닝된 포토 레지스트를 마스크로 활용하여 원하는 물질층을 식각한 후 포토 레지스트를 스트립핑하는 일련의 복잡한 과정으로 이루어진다.

그래서, 포토리소그래피 공정의 횟수를 최소한으로 줄여 생산성을 높이고 공정 마진을 확보하고자 하는 기술에 대한 연구가 활발하게 진행되고 있다.

한편, 액정표시소자는 각 화소의 화소전극에 신호를 선택적으로 인가하기 위한 박막트랜지스터(TFT:Thin Film Transistor)와, 각 화소가 차후 어드레싱(addressing)될 때까지 충전 상태를 유지하게 하는 스토리지가 구비된 TFT 어레이 기판과, 색상 구현을 위한 컬러필터층이 구비된 컬러필터 기판과, 상기 두 기판 사이에 봉입된 액정층과, 상기 TFT 어레이 기판을 구동하기 위한 구동회로를 구비하여 각종 외부신호에 의해 화상을 표시한다.

이 때, 반투과형 액정표시소자인 경우엔, 각 화소가 투과부와 반사부로 구분되어 상기 투과부에는 투과전극이 형성되어 있고, 상기 반사부에는 반사전극이 형성되어 있어 액정에 일정한 전압을 인가한다.

상기 투과부는 하부기판을 통해 입사하는 백라이트에 의한 광을 액정층으로 입사시켜 화상을 표시하고, 상기 반사부는 외부 자연광이 밝을 때 상부기판을 통해 입사하는 외부 광을 반사시켜 화상을 표시하는 점에서 차이가 있다.

그리고, 상기 구동회로는 별도의 PCB 기판에 형성되어 TCP에 의해 상기 TFT 기판에 연결된다. 그러나, 최근에는 상기 구동회로를 별도의 PCB에 형성하지 않고 상기 TFT 어레이 기판에 형성하는 방법이 제안되었다.

또한, 상기 박막트랜지스터는 액티브 영역에서 각 화소를 구동하는 화소구동용 박막트랜지스터와, 상기 화소구동용 박막트랜지스터를 작동하여 게이트 배선(gate line)과 데이터 배선(data line)에 신호를 인가하는 패드부 영역의 구동회로용 박막트랜지스터로 구분된다.

이 때, 상기 화소구동용 박막트랜지스터는 고속 동작이 가능한 n형 TFT로 하고, 상기 구동회로용 박막트랜지스터는 상기 n형 TFT와 더불어 소비 전력이 우수한 p형 TFT로 하여 CMOS(Complementary Metal-Oxide Semiconductor) 박막트랜지스터를 구현한다.

이하, 도면을 참조로 CMOS 박막트랜지스터를 가지는 종래의 반투과형 액정표시소자의 제조방법에 대해 설명하면 다음과 같다.

우선, 도 1a에서와 같이, 절연기판(11) 상에 버퍼층(52)을 형성하고, 상기 버퍼층(52) 상에 다결정 실리콘층을 형성한다. 그리고, 상기 다결정 실리콘층 위에 제 1 포토레지스트(도면에는 도시하지 않음)를 증착하고, 제 1 마스크를 이용한 포토식각기술로서 제 1, 제 2, 제 3 반도체층(54 ; 54a, 54b, 54c)을 형성한다.

상기 다결정 실리콘층을 형성하는 방법은 다결정실리콘을 직접 증착하는 방법과, 비정질 실리콘(Amorphous Silicon)을 증착한 후 다결정으로 결정화하는 방법이 있다.

전자의 방법으로는 550℃ 이상의 고온상태에서 증착하여야 하는 저압화학기상증착법(LPCVD법 : Low Pressure Chemical Vapor Deposition)과, 400℃ 이하에서 SiF₄/SiH₄/H₂ 혼합가스를 사용하여 증착하는 플라즈마 화학기상증착(PECVD법 : Plasma Enhanced Chemical Vapor Deposition) 등이 있으며, 후자의 방법으로는 고온에서 장시간 열처리하여 결정화하는 고상결정화법(SPC법 : Solid Phase Crystallization), 250℃ 정도로 가열하면서 엑시머 레이저를 가하여 결정화하는 엑시머 레이저 어닐링법(ELA법 : Eximer Lazer Annealing), 비정질 실리콘층 상부에 금속을 증착하여 결정화를 유도하는 금속유도결정화법(Metal Induced Crystallization) 등이 있다.

상기 반도체층(54)은 세 종류의 섬(island) 모양으로 패터닝되는데, 그 중 제 1, 제 3 반도체층(54a, 54c)에는 후공정을 통해 각각 n형 박막트랜지스터(TFT)와 p형 박막트랜지스터(TFT)가 형성되고, 제 2 반도체층(54b)에는 후공정을 통해 스토리지가 형성된다.

다음, 도 1b에서와 같이, 절연기판(11) 전면에 제 2 포토레지스트(31)을 도포한 후, 제 2 마스크를 이용한 노광 및 현상 공정으로 n형 TFT영역의 제 1 반도체층(54a)과, p형 TFT영역의 제 3 반도체층(54c)를 커버하도록 상기 제 2 포토레지스트(31)를 이용하여 패터닝한다.

그 후, 기판 전면에 스토리지 도핑을 수행하여, 스토리지 영역의 제 2 반도체층(54b)에 대해서 스토리지 도핑층을 형성한다.

이어서, 도 1c에서와 같이, 상기 제 2 포토레지스트(31) 패턴을 제거하고, 절연기판(11) 전면에 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x) 등의 무기 절연물질을 통상, 플라즈마 강화형 화학 증기 증착(PECVD: plasma enhanced chemical vapor deposition) 방법으로 증착하여 게이트 절연막(13)을 형성한다.

그리고, 상기 게이트 절연막(13) 상에 저저항 금속층 일례로, 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등을 증착하고, 그 위에 제 3 포토레지스트(도시하지 않음)를 증착한 후, 제 3 마스크를 이용한 포토식각기술로 상기 각 반도체층(54a, 54b, 54c) 상에 제 1, 제 2 게이트(12, 22) 및 스토리지 전극(19)을 형성한다.

이 때, 상기 제 1, 제 2 게이트(12, 22)는 이후 형성될 n형 TFT영역과 p형 TFT영역에서의 제 1, 제 2 채널층(14, 24)과 겹치도록 소정 영역에 형성하고, 스토리지 전극(19)은 스토리지 영역에서의 제 2 반도체층(54b)과 겹치도록 형성한다.

다음, 상기 제 1, 제 2 게이트 전극(12, 22)을 마스크로 하여 상기 반도체층(54a, 54c)에 저농도의 n형 불순물 이온을 도핑하여, 상기 제 1, 제 2 게이트 전극(12, 22) 양측의 반도체층(54a, 54c)에 LDD(Lightly Doped Drain) 도핑층(88)을 형성한다. 이 때, n형 불순물이 도핑이 되지 않은 제 1, 제 2 반도체층(54a, 54c) 영역이 제 1, 제 2 채널층(14, 24)이 된다.

이와 같이, 반도체층의 일정 부분을 저농도로 도핑하여 LDD 도핑층을 형성하는 이유는, 그 영역에서의 저항으로 인해 접합부위에 걸리는 전기장을 감소시켜 오프 전류를 줄이고 온 전류의 감소를 최소화 할 수 있도록 하기 위함이다.

그 후, 도 1d에서와 같이, 상기 제 1 게이트 전극(12)을 포함한 전면에 제 4 포토레지스트(33)를 도포한 후, 제 4 마스크를 이용한 노광 및 현상 공정으로 제 1 게이트 전극(12) 양측의 n형 TFT영역의 제 1 반도체층(54a)의 일부분이 노출되도록 패터닝한다. 이로써, p형 TFT영역과 스토리지 영역이 블로킹되어 당해 영역으로의 이온 주입을 방지할 수 있다.

그리고, 절연기판(11) 전면에 인(P) 등을 이용하여 고농도의 n형 불순물 이온을 도핑하여 n형 TFT영역에 제 1 소스/드레인 영역(15a, 15b)을 형성한다. 다음, 상기 제 1 소스/드레인 영역(15a, 15b)을 활성화시킨다.

다음, 상기 제 4 포토레지스트(33)를 스트립핑한 후, 도 1e에서와 같이, 상기 제 1, 제 2 게이트 전극(12, 22)을 포함한 전면에 제 5 포토레지스트(35)를 도포한 후, 제 5 마스크를 이용한 노광 및 식각공정으로 p형 TFT영역이 노출되도록 패터닝한다. 이로써, n형 TFT영역과 스토리지 영역이 블로킹되어 당해 영역으로의 이온 주입을 방지할 수 있다.

이후, 절연기판(11) 전면에 붕소(B) 등을 이용하여 고농도의 p형 불순물 이온을 도핑하여 p형 TFT영역에 제 2 소스/드레인 영역(25a, 25b)을 형성한다. 다음, 상기 제 2 소스/드레인 영역(25a, 25b)을 활성화시킨다.

그 후, 상기 제 5 포토레지스트(35)를 스트립핑하고, 도 1f에 도시한 바와 같이, 제 1 게이트 전극(12)을 포함한 기판 전면에 실리콘 산화물 또는 실리콘 질화물 등의 절연물질을 PECVD 방법으로 증착하여 층간 절연막(23)을 형성한다.

그리고, 제 6 포토레지스트(도시하지 않음)를 증착하고, 제 6 마스크를 이용한 포토식각기술로 상기 제 1 및 제 2 소스/드레인 영역(15a, 15b, 25a, 25b)의 소정부위가 드러나도록 상기 게이트 절연막(13) 및 층간 절연막(23)을 선택적으로 제거하여 제 1 콘택홀(71)을 형성한다.

상기 제 6 포토레지스트를 스트립핑하고, 도 1g에서와 같이, 상기 제 1 콘택홀(71)을 통해 제 1 및 제 2 소스/드레인 영역(15a, 15b, 25a, 25b)과 연결되는 제 1, 제 2 소스/드레인 전극(15c, 15d, 25c, 25d)을 형성하여 n형 TFT 및 p형 TFT를 구비한 CMOS 박막트랜지스터를 완성한다.

즉, 상기 제 1 콘택홀(71)에 매립되도록 상기 층간절연막(23)을 포함한 전면에 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등의 저저항 금속층과 제 7 포토레지스트(도시하지 않음)를 차례로 증착하고 제 7 마스크를 이용한 노광 및 현상 공정으로 패터닝하여 제 1, 제 2 소스/드레인 전극(15c, 15d, 25c, 25d)을 형성한다.

이로써, 상기 제 1 게이트 전극(12), 제 1 소스/드레인 전극(15c, 15d), 제 1 채널층(14)으로 구성되어 각 화소마다에 형성되고 상기 각 화소를 구동하는 n형 TFT와, 상기 제 2 게이트 전극(22), 제 2 소스/드레인 전극(25c, 25d) 제 2 채널층(24)으로 구성되어 구동회로부에 형성되고 각 게이트 배선, 데이터 배선에 신호를 인가하는 p형 TFT와, 상기 제 2 반도체층(54b), 게이트 절연막(13), 스토리지 전극(19)으로 구성되어 각 화소마다에 형성되는 스토리지가 완성된다.

상기 제 7 포토레지스트를 스트립하고, 도 1h에서와 같이, 상기 제 1 소스/드레인 전극(15c, 15d)을 포함한 전면에 포함하는 전면에 포토아크릴 수지를 도포한 후, 제 8 마스크를 이용한 노광 및 현상 공정으로 일정한 간격의 포토아크릴 수지 패턴을 복수개 형성하고, 상기 포토아크릴 수지 패턴을 리플로우(reflow)시켜 구형의 제 1 요철패턴(90)을 형성한다.

따라서, 상기 제 1 요철패턴(90)은 구형 형태로 소정 간격으로 복수개 형성된다.

다음, 도 1i에서와 같이, 상기 제 1 요철패턴(90)을 포함한 전면에 실리콘 질화물 또는 실리콘 산화물 등의 무기절연물질을 증착하거나 또는 BCB(Benzocyclobutene) 또는 아크릴계 물질과 같은 유기 절연물질을 도포하여 보호막(16)을 형성한다.

이 때, 상기 보호막용 물질이 상기 제 1 요철패턴(90)을 따라 증착 또는 도포되므로 보호막(16)에 제 2 요철패턴(92)이 형성된다.

이어서, 도 1j에서와 같이, 제 9 마스크를 이용한 포토식각기술로서 상기 제 1 드레인 전극(15d) 및 스토리지 전극(19)이 노출되도록 상기 보호막(16) 및 층간절연막(23)을 식각하여 제 2 콘택홀(81)을 형성한다.

계속해서, 도 1k에서와 같이, 상기 보호막(16)을 포함한 전면에 고반사율 금속 일예로, 알루미늄, 알루미늄 합금, 티타늄 등을 증착한 후, 제 10 마스크를 이용한 포토식각기술로서 패터닝하여 반사전극(17a)을 형성한다.

상기 반사전극(17a)은 상기 제 2 요철패턴(92)의 표면을 따라 형성되므로 반사요철을 가지게 된다. 상기의 반사요철은 외부 자연광을 광원으로 사용할 경우, 외부 자연광의 반사각이 국부적으로 변화되어 상당량의 반사광량을 확보하게 된다.

마지막으로, 도 1l에서와 같이, 상기 반사전극(17a)을 포함한 전면에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등을 증착한 후, 제 11 마스크를 이용한 포토식각기술로서 패터닝하여 투과전극(17b)을 형성한다.

이 때, 상기 반사전극(17a)은 각 화소의 반사부에 형성하고, 상기 투과전극(17b)은 각 화소의 투과부에 형성하되, 상기 반사전극(17a)의 소정 부위에 상기 투과전극(17b)이 콘택되어 전압을 인가받을 수 있도록 한다.

이와 같이 형성된 TFT 어레이 기판은 통상, 총 11번의 마스크를 사용하여 형성한다.

이와같이, n형 TFT 및 p형 TFT를 포함하는 CMOS-TFT 어레이 기판은 도시하지는 않았으나, 컬러필터층이 형성된 대향기판과 스페이서를 그 사이에 두고 실란트에 의해 접착된다. 그리고, 두 기판 사이에 액정을 주입하여 액정층을 형성하고 액정주입구를 봉지함으로써 액정표시소자를 완성한다.

발명이 이루고자 하는 기술적 과제

종래 기술에 의한 상기 CMOS는 집적도가 낮고 공정이 복잡하나, 소비전력이 적게 소모된다는 장점 때문에 공정을 단순화하기 위한 연구가 활발하다. 이러한 연구의 한 형태로 저마스크 기술이 있다.

본 발명은 상기와 같은 문제점을 해결하기 위해, 마스크의 사용횟수를 줄임으로써 공정 단가를 절감하고 공정시간을 단축하는 CMOS-TFT 어레이 기판 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 반투과형 액정표시소자의 제조방법은 절연기판 상에 제 1, 2 반도체층을 형성하는 단계; 상기 반도체층을 포함한 전면에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 게이트 전극 및 스토리지 전극을 형성하는 단계; 상기 게이트 전극을 마스크로 하여 상기 제 1 반도체층에 n형 불순물을 주입하여 n형 TFT의 소스/드레인 영역을 형성하는 단계; 상기 게이트 전극을 포함한 전면에 층간 절연막을 형성하는 단계; 상기 층간절연막 상에 투과전극을 형성하는 단계; 상기 투과전극을 포함한 전면에 보호막을 형성하는 단계; 상기 n형 TFT 영역 및 투과전극이 위치한 보호막 상에 요철패턴을 형성하는 단계; 상기 게이트 전극을 마스크로 하여 상기 제 2 반도체층에 p형 불순물을 주입하여 p형 TFT의 소스/드레인 영역을 형성하는 단계; 상기 요철패턴의 표면을 따라 유기절연막을 형성하는 단계; 상기 소스/드레인 영역 및 투과전극이 각각 노출되는 콘택홀 및 오픈영역을 형성하는 단계; 상기 콘택홀을 통해 상기 소스/드레인 영역에 접속하는 소스/드레인 전극과 상기 오픈영역을 통해 상기 투과전극에 접속하는 반사전극을 동시에 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

본 발명에 의한 CMOS-TFT를 포함하는 반투과형 액정표시소자는 종래의 11번의 마스크 사용 횟수를 6번으로 대폭 줄임으로써 제조원가를 절감하고 공정 시간을 줄인다.

P 도핑 공정을 위하여 마스크로 포토레지스트를 형성하는 대신 요철패턴을 이용함으로써 마스크 사용 횟수를 1회 저감할 수 있다.

그리고, 스토리지 커패시터(storage capacity)의 하부전극은 게이트 전극과 동시에 형성하고, 스토리지 커패시터 상부전극은 투과전극으로 유용함으로써, 마스크 사용 횟수를 1회 저감할 수 있다.

또한, 소스/드레인 전극과 반사전극을 동시에 형성함으로써 마스크 사용 횟수를 1회 더 저감할 수 있다.

한편, 다양한 박막트랜지스터가 형성되는 어레이 기판은 액티브 영역과 구동회로부 영역으로 구분되는데, 상기 액티브 영역에는 영상신호를 전달하는 데이터 배선과, 상기 데이터 배선에 수직 교차되어 각 화소를 정의하고 주사신호를 전달하는 게이트 배선과, 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성되어 제 1 게이트 전극, 제 1 소스/드레인 전극, 제 1 채널층을 포함하는 화소 구동용 박막트랜지스터와, 상기 화소 구동용 박막트랜지스터에 접속됨과 동시에 복수개의 반사요철을 가지는 반사전극과, 상기 반사전극에 의해 상기 화소 구동용 박막트랜지스터와 연결되는 투과전극과, 상기 각 화소의 소정부위에 형성되어 스토리지 전극과 상기 투과전극으로 구성되는 스토리지 커패시터가 형성되어 있다.

그리고, 상기 구동회로부 영역에는 제 2 게이트 전극, 제 2 소스/드레인 전극, 제 2 채널층으로 구성되어 상기 액티브 영역으로부터 연장된 데이터 배선 및 게이트 배선을 통해 각 화소에 전압을 인가하는 구동회로용 박막트랜지스터가 형성되어 있다.

이 때, 상기 화소 구동용 박막트랜지스터는 고속 동작이 가능한 n형 TFT로 하고, 구동회로용 박막트랜지스터는 소비 전력이 우수한 p형 TFT로 하여 CMOS-TFT를 이룬다.

이하에서, 첨부된 도면 및 실시예를 통해 본 발명에 의한 반투과형 액정표시소자 및 그 제조방법을 구체적으로 살펴보면 다음과 같다.

도 2a 내지 도 2j는 본 발명에 의한 반투과형 액정표시소자의 제조공정을 설명하기 위한 공정단면도 및 II-II' 선상의 평면도이다.

상기 도 2a 내지 도 2j의 단면도는 n형 TFT가 형성되는 액티브 영역과 p형 TFT가 형성되는 구동회로부 영역으로 구분하여 도시되어 있으며, 상기 액티브 영역에 한해 평면도가 도시되어 있다.

우선, 도 2a에서와 같이, 절연기판(211) 상에 비정질 실리콘(Amorphous Silicon:a-Si:H)을 SiH₄ 와 H₂ 혼합가스를 이용한 플라즈마 화학기상증착 방법으로 증착한 후, 그 위에 레이저 등으로 열을 가하여 급속히 용융 및 응고시킴으로써 비정질실리콘을 다결정 실리콘으로 결정화한다.

다음, 제 1 포토레지스트 및 제 1 마스크를 이용한 포토식각기술로서, 두 종류의 섬모양으로 패터닝하여 제 1, 제 2 반도체층(254 ; 254a, 254b)을 형성한다.

이 때, 상기 제 1 반도체층(254a)은 n형 박막트랜지스터(TFT)가 형성될 영역에 위치하게 하고, 상기 제 2 반도체층(254b)은 p형 박막트랜지스터(TFT)가 형성될 영역에 위치하게 한다.

도시하지는 않았으나, 상기 반도체층(254) 형성 이전에, 상기 절연기판(211) 전면에 화학기상증착법 등으로 버퍼층(도시하지 않음)을 더 형성하여도 된다.

이러한 버퍼층은 실리콘 산화물(SiO_x)과 같은 절연물질로 형성가능한데, 후속 공정에서 이물질이 반도체층(254)으로 침투하는 것을 방지하고, 비정질 실리콘층의 결정화 과정에서의 고온으로부터 절연기판(211)을 보호하며, 절연기판(211)에 대한 반도체층(254)의 접촉특성을 개선시키는 역할을 한다.

다음, 상기 반도체층(254)을 포함한 전면의 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x)등의 무기 절연물질을 플라즈마 강화형 화학 증기 증착 방법으로 증착하여 게이트 절연막(213)을 형성한다.

그 후, 도 2b에서와 같이, 상기 게이트 절연막(213) 상부에 저저항 금속층 일례로, 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등을 증착하고, 그 위에 제 2 포토레지스트(231)를 도포한다.

이후, 상기 제 2 포토레지스트(231)를 제 2 마스크를 이용한 노광 및 현상공정으로 패터닝한 후, 상기 저저항 금속층을 식각하여 제 1, 제 2 게이트 전극(212, 222) 및 스토리지 전극(219)을 형성한다.

이 때, 상기 제 1, 제 2 게이트 전극(212, 222)은 주사신호를 전달하는 게이트 배선(222a)과 동시에 형성한다.

계속하여, 도 2c에서와 같이, 상기 제 2 포토레지스트(231)를 에칭(ashig)하여 제 2 포토레지스트(231) 패턴의 두께와 폭을 게이트 전극에 비해 축소시킨다. 축소된 제 2 포토레지스트(231), 제 1, 제 2 게이트 전극(212, 222)을 마스크로 하여 상기 제 1, 제 2 반도체층(254a, 254b)에 고농도의 n형 불순물을 이온주입한다.

즉, 인(P) 이온 또는 비소(As) 이온을 도핑함으로써, n형 TFT영역 및 p형 TFT영역에 n형 도핑층인 제 1, 제 2 소스/드레인 영역(215a, 215b, 225a, 225b)을 형성한다. 그리고, 제 1 소스/드레인 영역(215a, 215b)을 활성화시킨다.

이 때, n형 이온이 주입되지 않은 제 1, 제 2 반도체층(254a, 254b)은 제 1, 제 2 채널층(214, 224)이 된다.

한편, p형 TFT에 이온 주입되어 형성된 n형 도핑층은 후공정인 p형 불순물 이온주입시 p형 도핑층으로 바뀌게 된다.

다음, 도 2d에서와 같이, 축소된 제 2 포토레지스트(231)를 마스크로 하여 제 1, 제 2 게이트 전극(212, 222)을 에치-백 기술로 측벽에서부터 식각한다. 이와 같이, 에치-백 기술에 의해 식각된 영역만큼 후공정에서 LDD 도핑층(288)이 된다.

이어서, 양측벽이 조금 식각된 제 1, 제 2 게이트 전극(212, 222)을 마스크로 하여 제 1, 제 2 반도체층(254a, 254b)에 저농도의 n형 불순물 이온을 도핑한다.

n-도핑층인 LDD도핑층(288)은 제 1, 제 2 게이트 전극(212, 222)에 인접한 n+ 도핑층인 제 1, 제 2 소스/드레인 영역(215a, 215b, 225a, 225b) 내측에 형성되어, 접합부위에 걸리는 전기장을 감소시켜 오프 전류를 줄이는 역할을 한다.

그 후, 도 2e에 도시한 바와 같이, 상기 제 2 포토레지스트(231)를 스트립핑하고, 상기 제 1 게이트 전극(212)을 포함한 기판 전면에 실리콘 산화물 또는 실리콘 질화물 등의 절연물질을 PECVD 방법으로 증착하여 층간절연막(223)을 형성한다.

이후, 상기 층간절연막(223)을 포함한 전면에 투명한 도전물질인 ITO 또는 IZO 등을 증착한 후, 제 4 마스크를 이용한 포토식각기술로서 패터닝하여 투과전극(217b)을 형성한다.

이 때, 스토리지 전극(219) 상부에 오버랩된 상기 투과전극(217b)은 스토리지 전극(219) 및 그 사이에 게재된 층간절연막(223)과 함께 스토리지 커패시터를 이룬다. 따라서, 스토리지 커패시터를 형성하기 위한 추가공정은 불필요하다.

계속하여, 도 2f에서와 같이, 상기 투과전극(217b)을 포함한 전면에 보호막(216)을 증착한 후, 그 위에 포토아크릴 수지를 두텁게 도포한 후, 제 4 마스크를 이용한 포토식각기술로서 요철패턴(290)을 형성한다.

그리고, 상기 요철패턴은 n형 TFT영역 상에는 형성하고, p+ 도핑을 하기 위하여 p형 TFT영역 상에는 형성하지 않는다.

상기 요철패턴(290)은 반구형 또는 반타원 형태로 소정 간격으로 복수개 형성된다. 이 때, 상기 요철패턴(290)의 곡률제어를 위해 상기 포토아크릴 수지 패턴을 소정 시간동안 에칭하여 리플로우(reflow)시킬 수도 있을 것이다.

이후, 절연기판(211) 전면에 붕소(B) 이온 또는 BF₂ 이온 등의 p+ 이온을 카운터도핑(counter doping)하여 p형 TFT영역의 제 2 소스/드레인 영역(225a, 225b)을 p형으로 바꾼다. 그리고, 제 2 소스/드레인 영역(225a, 225b)을 활성화시킨다.

상기의 카운터 도핑은 LDD 이온 주입시 사용되는 불순물과 반대되는 타입으로 소정의 각도를 주어 도핑을 실시하여 LDD 영역의 기판 농도를 높이는 것을 말한다. 이와같이, LDD 이온주입시 추가로 카운터 도핑을 실시하는 이유는 펀치쓰루(punch-through) 현상을 해결하기 위한 것이다.

상기 펀치쓰루 현상은 단채널 효과(short channel effect)로 인해 발생하는 문제점으로, 상기 단채널 효과란, 소자의 집적도가 높아짐에 따라 소자의 크기가 작아지고 또한, 내부 전계가 커져 장기간에 걸쳐 안정적으로 디바이스를 작동시키는 데 어려운 것을 말한다.

이와 같이, p+ 도핑 공정을 위하여 마스크를 포토레지스트로 형성하지 않고 요철 패턴을 이용함으로써, 마스크 사용 횟수를 1회 저감할 수 있다.

다음, 도 2g에 도시된 바와 같이, 상기 요철패턴(290)을 포함한 전면에 유전율이 낮은 BCB 또는 아크릴 수지 등의 유기 절연물질을 도포하여 상기 요철패턴(290)의 표면을 따라 유기절연막(316)을 형성한다.

상기 유기절연막(316)은 상기 요철패턴(290)을 보호하고, 요철패턴(290)의 곡률을 제어하는 역할을 한다.

이어서, 도 2h에서와 같이, 상기 제 5 마스크를 이용한 포토식각기술로서, 상기 게이트 절연막(213), 층간절연막(223), 보호막(216) 및 유기절연막(316)을 일괄식각하여 n형 TFT 및 p형 TFT의 제 1, 제 2 소스/드레인 영역(215a, 215b, 225a, 225b)이 노출되도록 제 1 콘택홀(271)을 형성하고, 그와 동시에 상기 보호막(216) 및 유기절연막(316)의 소정 부위를 제거하여 상기 투과전극(217b)의 대부분이 노출되도록 투과부 오픈 영역(281)을 형성한다.

이 때, 상기 보호막(216) 및 유기절연막(316)의 단차만큼 투과부와 반사부의 위치가 차이 나는데, 상기 보호막(216) 및 유기절연막(316)이 액정층만큼의 단차를 가지므로 투과부가 반사부보다 액정층의 단차만큼 아래에 위치한다. 따라서, 반사부로 입사하는 광과 투과부로 입사하는 광은 스크린 표면에 동시에 도달하게 된다.

즉, 외부에서 반사부로 입사하는 광은 액정층을 두 번 통과하여 스크린 표면에 도달하게 되고, 백라이트에서 투과부로 입사하는 광은 액정층의 단차를 갖는 보호막 및 유기절연막을 통과한 후 액정층을 통과하여 스크린 표면에 도달하게 되므로, 동시에 도달하는 것이다.

한편, 상기 게이트 절연막(213), 층간절연막(223) 및 보호막(216)을 식각하기 위해서는 통상, 건식식각을 수행하는데, 건식식각 공정은 가스를 고진공상태의 식각챔버 내부로 분사한 후 플라스마 상태로 변형하여 양이온 또는 라디칼(Radical)이 피식각층의 소정영역을 식각하도록 하는 방법으로 절연막을 식각할 때 사용하며 패턴의 정밀도가 상대적으로 우수해진다.

상기 건식식각 기술은 플라스마를 형성하는 방법에 따라 PE(Plasma Etching), RIE(Reactive Ion Etching), MERIE(Magnetically Enhanced Reactive Ion Etching), ECR(Electron Cyclotron Resonance), TCP(Transformer Coupled Plasma) 등의 모드로 나눌 수 있는데, 이 중 액정표시소자 제조공정에서는 PE, RIE 모드를 주로 이용한다.

마지막으로, 도 2i에서와 같이, 상기 유기절연막(316)을 포함한 전면에 고반사율을 가지고 저항이 낮은 금속층을 증착하고 제 6 마스크를 이용한 포토식각기술로서 패턴닝하여 제 1, 제 2 소스/드레인 전극(215c, 215d, 225c, 225d) 및 반사전극(217a)을 동시에 형성한다.

상기 반사전극(217a)은 투과부 오픈영역(281)을 통해 투과전극(217b)과 접속되며, 상기 요철패턴(290) 표면을 따라 형성되므로 반구형의 반사요철을 복수개 가지게 된다. 상기의 반사요철은 외부 자연광을 광원으로 사용할 경우, 외부 자연광의 반사각을 국부적으로 변화시켜 반사광량을 상당량 확보함으로써 시야각을 넓혀준다.

그리고, 상기 금속층은 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등으로 한다.

이 때, 상기 제 1 소스/드레인 전극(215c, 215d) 형성시, 상기 게이트 배선(212a)에 교차하는 데이터 배선(215e)을 동시에 형성한다. 수직 교차하는 상기 게이트 배선(212a) 및 데이터 배선(215e)은 각 화소 영역을 정의한다.

또한, 상기 제 1, 제 2 소스/드레인 전극(215c, 215d, 225c, 225d)은 상기 제 1, 제 2 소스/드레인 영역(215a, 215b, 225a, 225b)에 접속시키고, 상기 제 1 소스 전극(215a)은 상기 데이터 배선(215e)과 일체형으로 형성시키며, 상기 제 1 드레인 전극(215b)은 상기 반사전극(217a)과 일체형으로 형성시킨다.

이와같이, 소스/드레인 전극과 반사전극을 동시에 형성함으로써 마스크 사용횟수를 1회 저감할 수 있다.

이로써, 상기 제 1 게이트 전극(212), 제 1 소스/드레인 전극(215c, 215d), 제 1 채널층(214)으로 구성되어 각 화소마다 형성되고 상기 각 화소를 구동하는 n형 TFT와, 상기 제 2 게이트 전극(222), 제 2 소스/드레인 전극(225c, 225d) 제 2 채널층(224)으로 구성되어 구동회로부에 형성되고 각 게이트 배선, 데이터 배선에 신호를 인가하는 p형 TFT를 구비한 CMOS 박막트랜지스터가 완성된다.

이와 같이 형성된 CMOS-TFT 어레이 기판은 통상, 총 7번의 마스크를 사용하여 n형 TFT 및 p형 TFT를 포함하는 어레이 기판을 형성한다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같은 본 발명의 반투과형 액정표시소자의 제조방법은 다음과 같은 효과가 있다.

첫째, 게이트 에치 백(Gate Etch Back) 기술을 이용함으로써 1회의 마스크 사용으로 고농도의 n형 불순물 이온 도핑 단계와, 저농도의 n형 불순물 이온 도핑 단계와, 카운터 도핑 단계를 모두 수행할 수 있게 된다.

둘째, 스토리지 커패시터(storage capacity)의 하부전극은 게이트 전극과 동시에 형성하고, 스토리지 커패시터 상부전극은 투과전극을 유융함으로써, 마스크 사용 횟수를 1회 저감할 수 있다.

셋째, 소스/드레인 전극과 반사전극을 동시에 형성함으로써 마스크 사용횟수를 1회 저감할 수 있다.

넷째, p도핑 공정을 위하여 마스크를 포토레지스트로 형성하는 대신, 요철 패턴을 이용함으로써 마스크의 사용 횟수를 1회 저감할 수 있다.

다섯째, 본 발명에 의한 반투과형 액정표시소자는 종래의 11번의 마스크 사용 횟수를 6회로 줄임으로써 제조원가를 절감하고 공정 시간을 줄일 수 있으며 대량생산에 효과적이다.

여섯째, 반사부와 투과부의 셀 갭 차이를 적정하게 만들어준다. 즉, 액정층을 한 번 통과하는 거리만큼 반사부와 투과부의 보호막 단차를 줌으로써, 반사부로 입사하는 광과 투과부로 입사하는 광이 스크린 표면에 동시에 도달하게 된다.

일곱째, 요철패턴이 형성된 보호막 상에 곡률 제어를 위한 유기절연막을 더 형성하는데, 상기 보호막과 유기절연막의 패터닝 공정을 별도 과정으로 수행함으로써, 보호막과 유기절연막의 일괄식각에 의한 유기절연막의 표면단차 불균일의 문제를 개선하게 된다.

(57) 청구의 범위

청구항 1.

절연기판 상에 제 1, 2 반도체층을 형성하는 단계;

상기 반도체층을 포함한 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극 및 스토리지 전극을 형성하는 단계;

상기 게이트 전극을 마스크로 하여 상기 제 1 반도체층에 n형 불순물을 주입하여 n형 TFT의 소스/드레인 영역을 형성하는 단계;

상기 게이트 전극을 포함한 전면에 층간 절연막을 형성하는 단계;

상기 층간절연막 상에 투과전극을 형성하는 단계;

상기 투과전극을 포함한 전면에 보호막을 형성하는 단계;

상기 n형 TFT 영역 및 투과전극이 위치한 보호막 상에 요철패턴을 형성하는 단계;

상기 요철 패턴을 마스크로 하여 상기 제 2 반도체층에 p형 불순물을 주입하여 p형 TFT의 소스/드레인 영역을 형성하는 단계;

상기 요철패턴의 표면을 따라 유기절연막을 형성하는 단계;

상기 소스/드레인 영역 및 투과전극이 각각 노출되는 콘택홀 및 오픈영역을 형성하는 단계;

상기 콘택홀을 통해 상기 소스/드레인 영역에 접속하는 소스/드레인 전극과 상기 오픈영역을 통해 상기 투과전극에 접속하는 반사전극을 동시에 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반투과형 액정표시소자의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 소스/드레인 전극과 반사전극은 상기 유기절연막 상에 형성하는 것을 특징으로 하는 반투과형 액정표시소자의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 절연기판에 대향기판을 합착하는 단계와,

상기 두 기판 사이에 액정층을 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반투과형 액정표시소자의 제조방법.

청구항 4.

제 1 항에 있어서, 상기 요철패턴을 형성하는 단계는,

상기 보호막을 형성하는 단계와,

상기 보호막 상에 포토 아크릴을 도포하는 단계와,

상기 포토 아크릴을 패터닝하여 요철패턴을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반투과형 액정표시소자의 제조방법.

청구항 5.

제 1 항에 있어서, 상기 보호막, 요철패턴 및 유기절연막의 적층막은 액정층 셀갭의 두께를 가지도록 형성하는 것을 특징으로 하는 반투과형 액정표시소자의 제조방법.

청구항 6.

제 1 항에 있어서, 상기 소스/드레인 영역 및 투과전극이 각각 노출되는 콘택홀 및 오픈영역을 형성하는 단계는,

상기 유기절연막 상에 포토레지스트를 도포하고 패터닝하는 단계와,

패터닝된 상기 포토레지스트 사이로 노출된 상기 유기절연막, 보호막, 중간절연막 및 게이트 절연막을 일괄식각하여 콘택홀을 형성하고, 상기 유기절연막 및 보호막을 일괄식각하여 오픈영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반투과형 액정표시소자의 제조방법.

청구항 7.

제 1 항에 있어서, 상기 소스/드레인 영역은 각각 n+ 도핑층 또는 p+ 도핑층으로 형성하는 것을 특징으로 하는 반투과형 액정표시소자의 제조방법.

청구항 8.

제 7 항에 있어서, 상기 n+ 도핑층인 제 1 소스/드레인 영역과, 상기 p+ 도핑층인 제 2 소스/드레인 영역을 형성하는 단계는,

상기 제 1 소스/드레인 영역에 n+ 도핑층을 형성하는 단계와,

상기 n+ 도핑층 내측에 LDD층을 형성하는 단계와,

상기 n+ 도핑층을 마스크한 후, 상기 제 2 소스/드레인 영역에 p+ 도핑층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반투과형 액정표시소자의 제조방법.

청구항 9.

제 1 항에 있어서, 상기 투과전극은 상기 스토리지 전극에 오버랩되도록 형성하는 것을 특징으로 하는 반투과형 액정표시소자의 제조방법.

청구항 10.

제 1 항에 있어서, 상기 반사전극은 상기 제 1 드레인 전극과 일체형인 것을 특징으로 하는 반투과형 액정표시장치의 제조방법.

청구항 11.

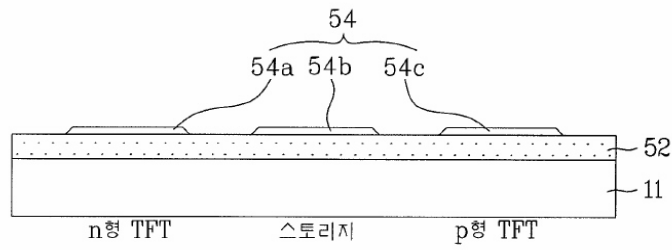
제 1 항에 있어서, 상기 보호막은 상기 투과부에서 투과부 오픈영역을 가지는 것을 특징으로 하는 반투과형 액정표시장치의 제조방법.

청구항 12.

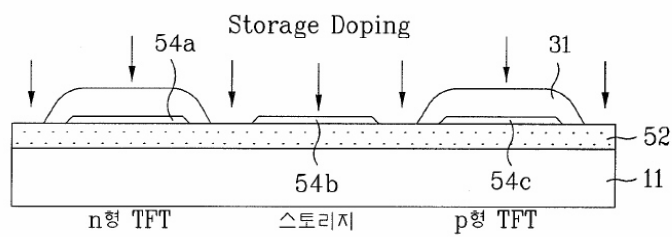
제 1 항에 있어서, 상기 기판과 제 1, 제 2 반도체층 사이에 버퍼층이 더 구비되는 것을 특징으로 하는 반투과형 액정표시 장치의 제조방법.

도면

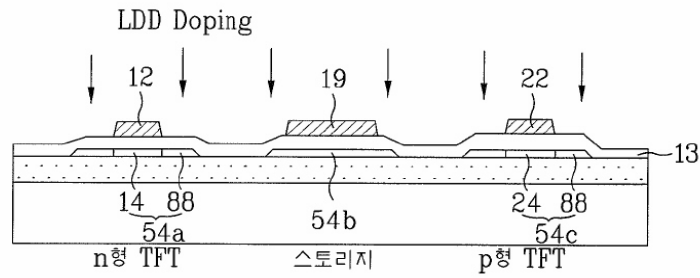
도면1a



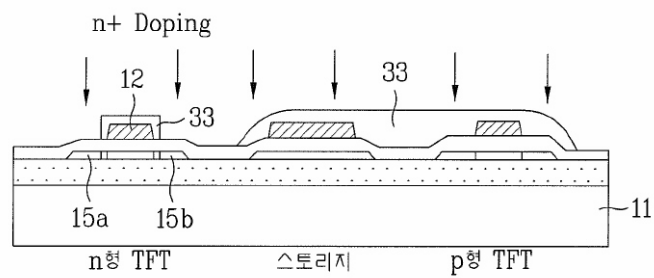
도면1b



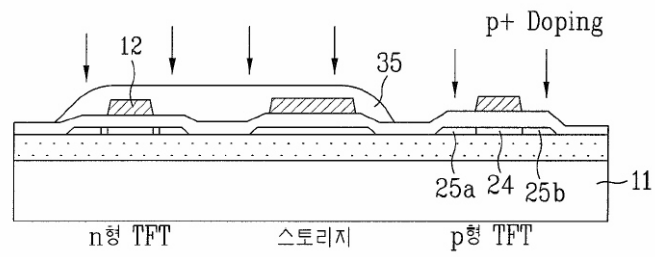
도면1c



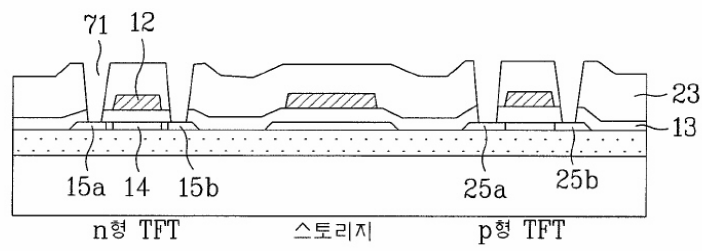
도면1d



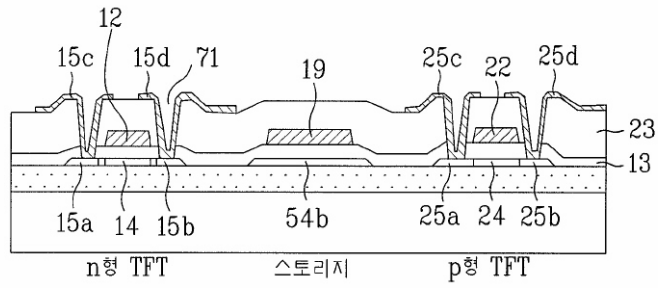
도면1e



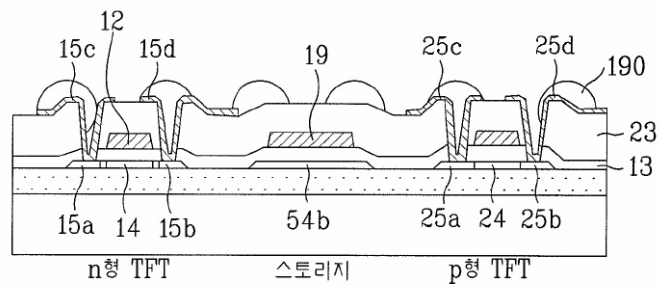
도면1f



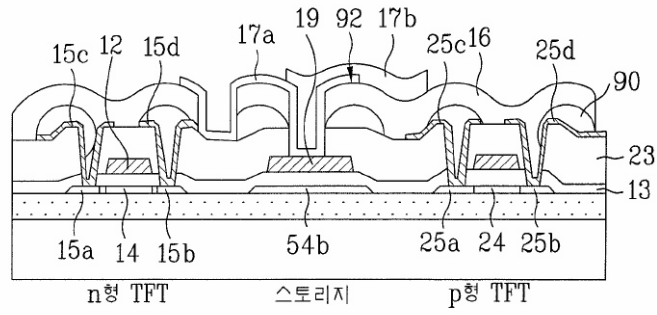
도면1g



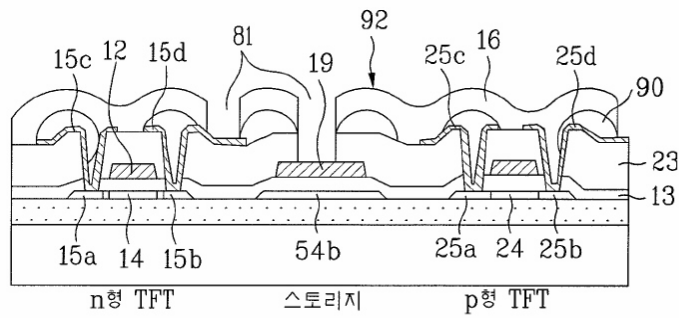
도면1h



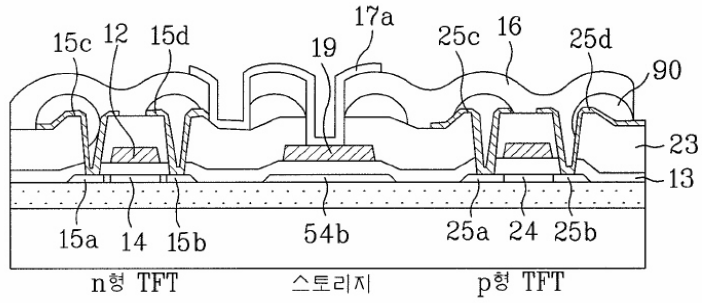
도면1i



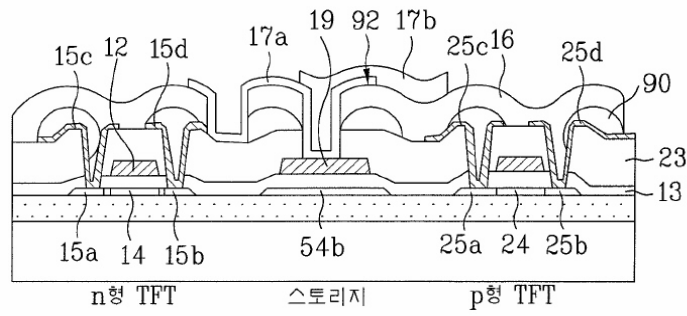
도면1j



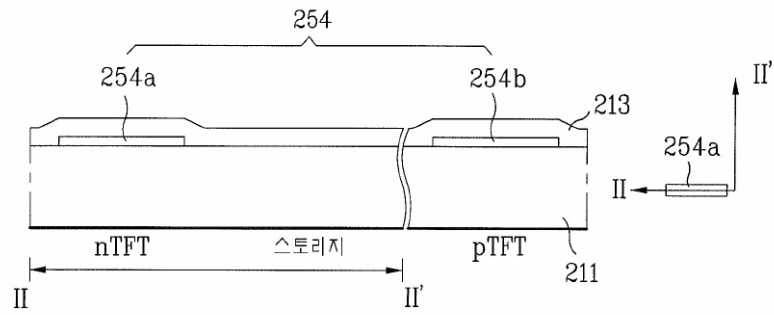
도면1k



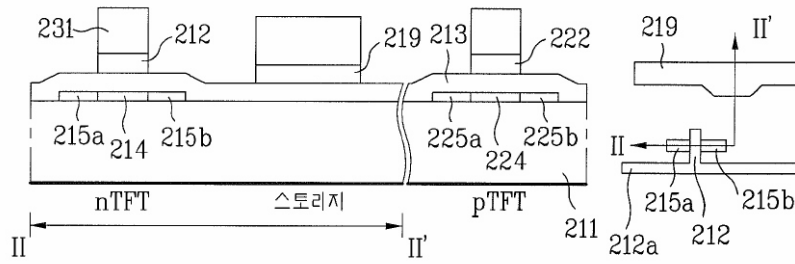
도면1l



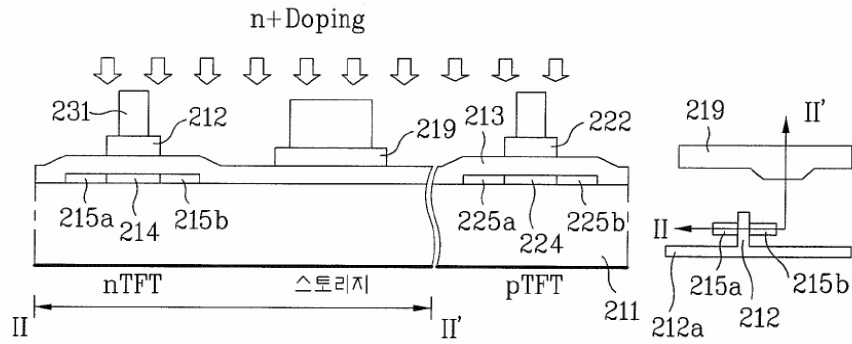
도면2a



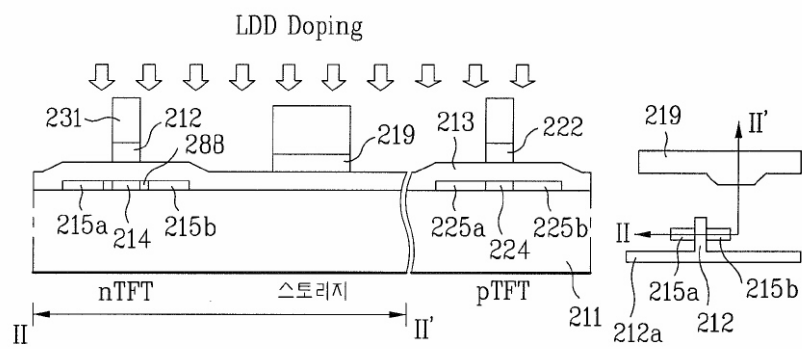
도면2b



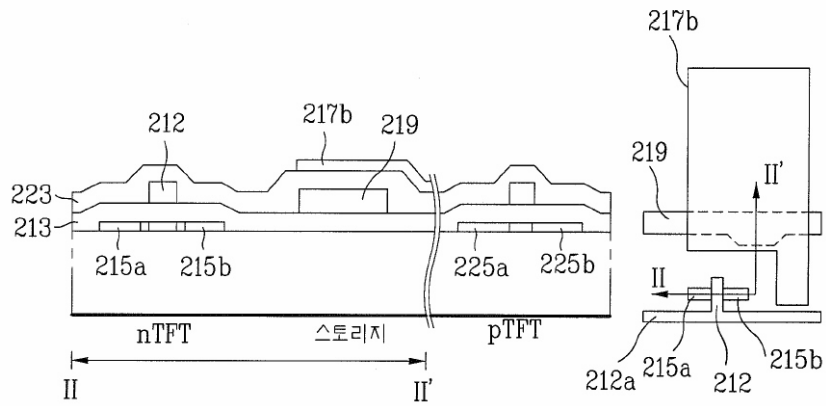
도면2c



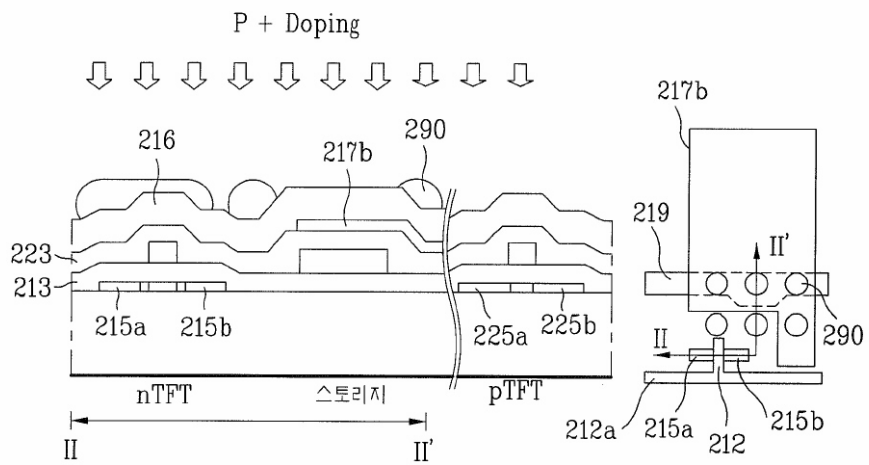
도면2d



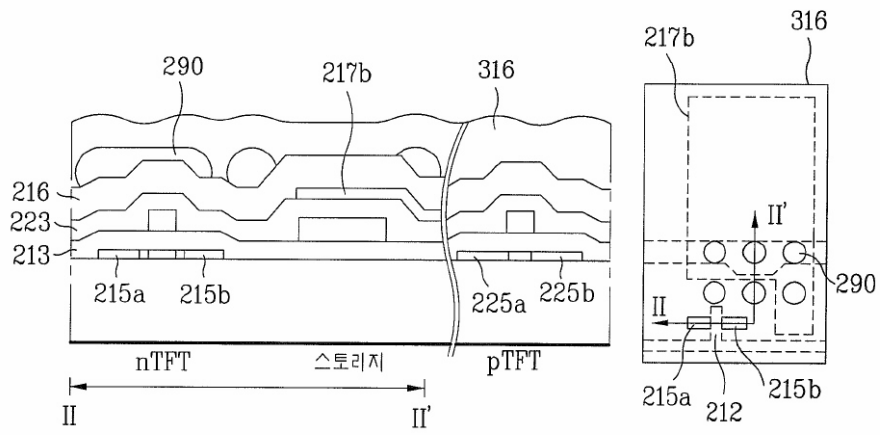
도면2e



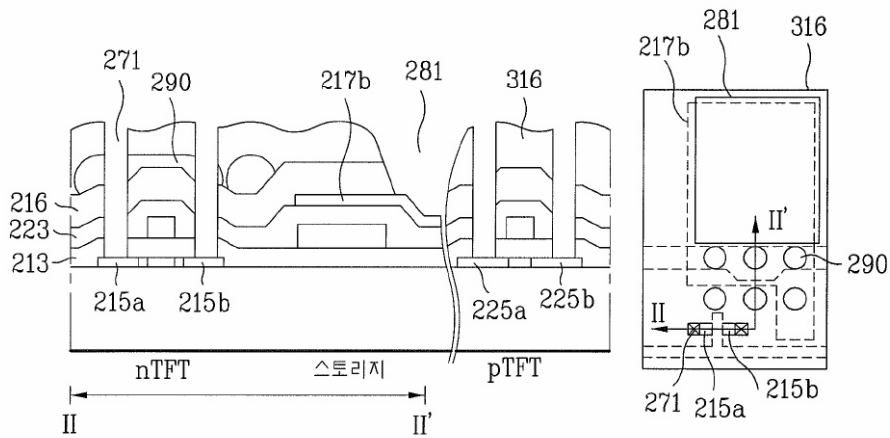
도면2f



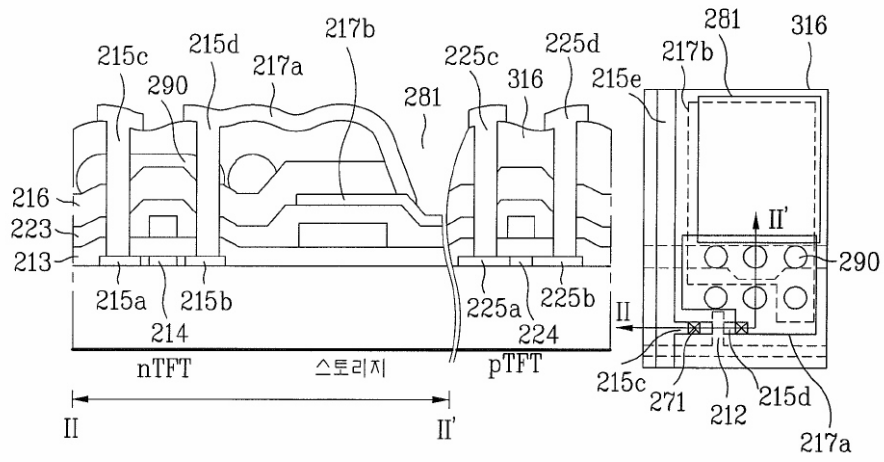
도면2g



도면2h



도면2i



专利名称(译)	透射反射型液晶显示装置的制造方法		
公开(公告)号	KR1020050070784A	公开(公告)日	2005-07-07
申请号	KR1020030101009	申请日	2003-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG SANGMIN 장상민 CHOI SUSEOK 최수석		
发明人	장상민 최수석		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136227 G02F1/1368 G02F2001/136231 H01L27/1214 H01L29/78618		
代理人(译)	金勇 新昌		
其他公开文献	KR101002329B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种制造透反射LCD（液晶显示器）的方法，通过减少使用掩模的次数来降低制造成本和制造处理时间。

