

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G09G 3/36(11) 공개번호 10-2005-0037641
(43) 공개일자 2005년04월25일(21) 출원번호 10-2003-0072867
(22) 출원일자 2003년10월20일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 박재홍
경상북도칠곡군북삼면인평리현진아파트104동1704호

(74) 대리인 김영호

심사청구 : 없음

(54) 라인 온 글래스형 액정 표시 장치 및 그 구동방법

요약

본 발명은 신호왜곡에 따른 화질 저하를 최소화할 수 있는 라인 온 글래스형 액정 표시 장치 및 그 구동방법을 제공하는 것이다.

본 발명에 라인 온 글래스형 액정 표시 장치는 액정셀 매트릭스를 갖는 액정패널과, 상기 액정패널을 구동하기 위한 적어도 두 개의 집적회로들과, 상기 집적회로들에 구동신호를 공급하기 위해 상기 집적회로 각각의 입력단에 서로 다른 저항값을 갖도록 상기 액정패널의 기판 상에 직접 형성되는 신호라인들을 구비하는 것을 특징으로 한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 라인 온 글래스형 액정 표시 장치를 도시한 평면도이다.

도 2는 도 1에 도시된 액정 표시 장치에서의 가로선 줄무늬 현상을 설명하기 위한 도면이다.

도 3은 본 발명의 실시 예에 따른 LOG형 액정 표시 장치를 도시한 평면도이다.

도 4는 도 3에 도시된 LOG 신호라인들간의 라인저항관계를 나타내는 도면이다.

도 5는 도 4에 도시된 LOG 신호라인들 각각의 폭을 나타내는 도면이다.

도 6a 및 도 6b는 종래와 본 발명에 따른 게이트 드라이브 IC에서 생성된 게이트신호를 나타내는 파형도이다.

<도면의 주요부분에 대한 설명>

2,102 : 박막 트랜지스터 어레이 기판 4,104 : 칼라 필터 어레이 기판

6,106 : 액정패널 8,108 : 게이트 TCP

10,110 : 게이트 구동 IC 12,112 : 데이터 TCP

14,114 : 데이터 구동 IC 16,116 : 데이터 PCB

18,118 : FPC 20,120 : 메인 PCB

22,122 : 타이밍 제어부 24,124 : 전원부

26,126 : LOG 신호 라인군 32 : 가로선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 신호왜곡에 따른 화질 저하를 최소화할 수 있는 라인 온 글래스형 액정 표시 장치 및 그 구동방법에 관한 것이다.

액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스형으로 배열된 액정 표시 패널과, 액정 표시 패널을 구동하기 위한 구동 회로를 구비한다.

액정 표시 패널은 액정셀들이 화소 신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다.

구동 회로는 액정 표시 패널의 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어하기 위한 타이밍 제어부와, 상기 액정 표시 패널과 상기 구동 회로들의 구동에 필요한 전원 신호들을 공급하는 전원부를 구비한다.

데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit; 이하, IC라 함)들로 분리되어 칩 형태로 제작된다. 집적화된 드라이브 IC들 각각은 TCP(Tape Carrier Package) 상에서 오픈된 IC 영역에 실장되거나 COF(Chip On Film) 방식으로 TCP의 베이스 필름 상에 실장되고, TAB(Tape Automated Bonding) 방식으로 액정 표시 패널과 전기적으로 접속된다. 또한 드라이브 IC는 COG(Chip On Glass) 방식으로 액정 표시 패널 상에 직접 실장되기도 한다. 타이밍 제어부와 전원부는 칩 형태로 제작되어 메인 PCB(Printed Circuit Board) 상에 실장된다.

TCP에 의해 액정 표시 패널과 접속되는 드라이브 IC들은 FPC(Flexible Printed Circuit)와 서브 PCB를 통해 메인 PCB의 타이밍 제어부 및 전원부와 접속된다. 구체적으로, 데이터 드라이브 IC들은 FPC와 데이터 PCB를 통해 메인 PCB에 실장된 타이밍 제어부로부터의 데이터 제어 신호들 및 화소 데이터와, 전원부로부터의 전원 신호들을 공급받게 된다. 게이트 드라이브 IC들은 게이트 FPC와 게이트 PCB를 통해 메인 PCB 상에 실장된 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다.

COG 방식으로 액정 표시 패널에 실장되는 드라이브 IC들은 FPC와 액정 표시 패널에 형성되는 라인 온 글래스(Line On Glass; 이하 LOG라 함)형 신호 라인들을 통해 메인 PCB에 실장된 타이밍 제어부로부터의 제어 신호들 및 화소 데이터와 전원부로부터의 전원 신호들을 공급받게 된다.

최근에는 드라이브 IC들이 TCP를 통해 액정 표시 패널과 접속되는 경우에도 LOG형 신호 라인들을 채택하여 PCB를 제거함으로써 액정 표시 장치가 더욱 박형화되게 하고 있다. 특히, 상대적으로 적은 신호를 전달하는 게이트 PCB를 제거하고 게이트 드라이브 IC들에 게이트 제어 신호들 및 전원 신호들을 공급하는 신호 라인들을 LOG형으로 액정 표시 패널 상에 형성하고 있다. 이에 따라, TCP에 실장된 게이트 드라이브 IC들은 메인 PCB->FPC->데이터 PCB->데이터 TCP->LOG 신호 라인->게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다. 이 경우, 게이트 드라이브 IC에 공급되는 게이트 제어 신호들과 게이트 전원 신호들이 LOG 신호 라인들의 라인 저항에 의해 왜곡됨으로써 액정 표시 패널에 표시되는 화상의 품질이 저하되는 문제가 발생하게 된다.

구체적으로, 게이트 PCB가 제거된 LOG형 액정 표시 장치는 도 1에 도시된 바와 같이 타이밍 제어부(22)와 전원부(24)를 포함하는 메인 PCB(20)와, FPC(18)를 통해 메인 PCB(20)와 접속된 데이터 PCB(16)와, 데이터 구동 IC(14)를 실장하여 데이터 PCB(16)와 액정 표시 패널(6) 사이에 접속된 데이터 TCP(12)와, 게이트 구동 IC(10)를 실장하여 액정 표시 패널(6)에 접속된 게이트 TCP(8)를 구비한다.

액정 표시 패널(6)은 박막 트랜지스터 어레이 기판(2)과, 칼러 필터 어레이 기판(4)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(6)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다.

데이터 드라이브 IC들(14)은 데이터 TCP(12) 및 액정 표시 패널(6)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(14)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(14)은 데이터 PCB(16)와 FPC(18)를 통해 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(10)은 게이트 TCP(8) 및 액정 표시 패널(6)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.

이를 위하여, 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터의 게이트 제어 신호들과 전원 신호들은 FPC(18)와 데이터 PCB(16)를 경유하여 데이터 TCP(12)에 공급된다. 데이터 TCP(12)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(2)의 가장자리 영역에 형성된 LOG 신호 라인군(26)을 경유하여 게이트 TCP(8)에 공급된다. 게이트 TCP(8)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 입력 단자들을 통해 게이트 드라이브 IC(10) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 출력 단자들을 통해 출력되어 게이트 TCP(8)와 LOG 신호 라인군(26)을 경유하여 다음 게이트 TCP(8)에 실장된 게이트 드라이브 IC(10)로 공급된다.

LOG 신호라인군(26)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(24)로부터 공급되는 직류 구동 전압들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

이러한 LOG 신호 라인군(26)은 박막 트랜지스터 어레이 기관(2)의 한정된 패드 영역에 게이트 라인들과 동일한 게이트 금속층을 이용하여 미세 패턴으로 형성된다. 또한, LOG 신호 라인군(26)은 게이트 TCP(8)와 ACF 본딩(Bonding)을 통해 접촉됨에 따라 그 게이트 TCP(8)와의 접촉 부분(A)이 증가하여 접촉 저항이 커지게 된다. 이에 따라, LOG 신호 라인군(26)은 기존의 게이트 PCB의 신호 라인을 보다 큰 라인 저항을 가지게 된다. 이러한 라인 저항으로 인하여 LOG 신호 라인군(26)을 통해 전송되는 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 왜곡됨으로써 가로 줄무늬, 얼룩 등이 발생되고 도트 패턴의 크로스토크, 그리니쉬(Greenish) 등과 같은 화질 저하 현상이 심해지게 된다.

예를 들면, 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)을 공급하는 LOG 신호 라인군(26)들은 도 2에 도시된 바와 같이 게이트 TCP들(8) 사이 각각에 접속되는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)으로 구성된다. 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3) 각각은 그 라인길이에 비례하는 라인 저항($a\Omega$, $b\Omega$, $c\Omega$)을 갖고 게이트 TCP(8)와 게이트 드라이브 IC(10)을 경유하여 직렬로 연결된다. 이러한 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)으로 인하여 게이트 드라이브 IC(10) 마다 입력되는 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM) 간에 레벨 차가 발생하게 된다. 이 결과, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 수평라인 블록들(A 내지 C) 간에 휘도차가 발생되어 가로선 줄무늬(32)가 생기게 된다.

구체적으로, 제1 게이트 드라이브 IC(10)에는 제1 LOG 신호 라인군(LOG1)의 제1 라인 저항($a\Omega$)에 의해, 제2 게이트 드라이브 IC(10)에는 제1 및 제2 LOG 신호 라인군(LOG1, LOG2)의 제1 및 제2 라인 저항($a\Omega + b\Omega$)에 의해, 제3 게이트 드라이브 IC(10)에는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 제1 내지 제3 라인 저항($a\Omega + b\Omega + c\Omega$)에 의해 전압 강하된 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 공급된다. 이에 따라, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 제1 내지 제3 수평 블록(A 내지 C)의 게이트 라인들에 공급되는 게이트 신호들(VG1 내지 VG4) 간에 차이가 발생함에 따라 그 수평 라인 블록(A 내지 C) 간에 가로선 줄무늬(32)가 발생하게 된다.

이러한 게이트 드라이브 IC(10) 단위의 게이트전압 차이는 LOG 신호 라인군(26)의 단면적을 라인길이에 반비례하게 증가시키는 방법 등을 이용하여 보상할 수 있다. 그러나 LOG 신호라인군(26)이 형성되는 액정패널(6)의 외곽영역은 한정되어 있으므로 단면적을 증가시키는데 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 신호왜곡에 따른 화질 저하를 최소화할 수 있는 LOG형 액정 표시 장치 및 그 구동방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 라인 온 글래스형 액정 표시 장치는 액정셀 매트릭스를 갖는 액정패널과, 상기 액정패널을 구동하기 위한 적어도 두 개의 집적회로들과, 상기 집적회로들에 구동신호를 공급하기 위해 상기 집적회로 각각의 입력단에 서로 다른 저항값을 갖도록 상기 액정패널의 기관 상에 직접 형성되는 신호라인들을 구비하는 것을 특징으로 한다.

상기 적어도 두개의 집적회로들 중 첫번째 집적회로의 입력단에 위치하는 신호라인의 저항은 나머지 집적회로의 입력단에 위치하는 신호라인의 저항보다 상대적으로 큰 것을 특징으로 한다.

상기 적어도 두개의 집적회로들 각각의 입력단에 위치하는 각 신호라인의 배선폭은 서로 다른 것을 특징으로 한다.

상기 액정패널 상에 형성되는 게이트라인을 추가로 구비하며, 상기 집적회로는 상기 게이트라인에 게이트신호를 공급하는 게이트 집적회로인 것을 특징으로 한다.

상기 라인 온 글래스형 액정표시장치는 상기 게이트라인과 교차되게 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로를 추가로 구비하는 것을 특징으로 한다.

상기 신호라인의 배선펙은 상기 데이터 집적회로부터 멀어질수록 커지는 것을 특징으로 한다.

상기 게이트집적회로는 상기 신호라인을 통해 게이트신호의 하이논리전압, 게이트신호의 로우논리전압, 베이스 공통 전압, 그라운드전압 및 공통전압 중 적어도 어느 하나가 공급되는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 라인 온 글래스형 액정표시장치는 적어도 두개의 집적회로 각각의 입력단에 서로 다른 저항값을 갖도록 상기 액정패널의 기판 상에 직접 형성되는 신호라인들을 이용하여 상기 집적회로들에 구동신호를 공급하는 단계와; 상기 집적회로에 공급된 구동신호를 이용하여 액정패널을 구동하는 단계를 포함하는 것을 특징으로 한다.

상기 집적회로들에 상기 구동신호를 공급하는 단계는 상기 적어도 두개의 집적회로 중 첫번째 집적회로의 입력단에 형성된 상기 신호라인의 상대적으로 큰 라인저항값에 의해 상기 집적회로 각각에 공급되는 구동신호의 전류성분을 제한하여 상기 집적회로들에 공급하는 단계를 포함하는 것을 특징으로 한다.

상기 집적회로들에 상기 구동신호를 공급하는 단계는 상기 액정패널의 게이트라인들을 구동하는 게이트신호의 하이논리전압, 게이트신호의 로우논리전압, 베이스 공통 전압, 그라운드전압 및 공통전압 중 적어도 어느 하나를 공급하는 단계인 것을 특징으로 한다.

상기 게이트신호는 상기 게이트신호가 하강할 때 게이트하이전압보다 전압레벨이 낮은 게이트중간전압에서 게이트로우전압으로 변하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 6b를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3은 본 발명에 따른 LOG형 액정표시장치를 나타내는 도면이다.

도 3을 참조하면, 본 발명에 따른 LOG형 액정표시장치는 액정셀 매트릭스를 갖는 액정패널(106)과, 액정패널(106)의 게이트라인들(GL)을 구동하기 위한 게이트 드라이브 IC(110)와, 액정패널(106)의 데이터라인들(DL)을 구동하기 위한 데이터 드라이브 IC(114)와, 게이트 드라이브 IC(110) 및 데이터 드라이브 IC(114)를 제어하기 위한 타이밍 제어부(122)와, 액정표시장치의 구동에 필요한 구동전압을 발생하는 전원부(124)를 구비한다.

전원부(124)는 시스템 전원부(도시하지 않음)로부터 입력되는 전압을 이용하여 액정표시장치의 구동에 필요한 구동전압들(게이트 하이전압(VGH), 게이트 로우 전압신호(VGL), 기준 감마전압, 공통전압(VCOM) 등)을 발생하여 타이밍 제어부(122), 데이터 드라이브 IC(114) 및 게이트 드라이브 IC(110) 등에 공급한다.

타이밍 제어부(122)는 그래픽 카드로부터의 비디오데이터(R, G, B)를 중계하여 데이터 드라이브 IC(114)에 공급한다. 아울러, 타이밍 제어부(122)는 그래픽카드로부터의 제어신호에 응답하여 데이터 및 게이트 드라이브 IC(114, 110)의 타이밍을 제어하기 위한 타이밍 신호들과 제어신호들을 발생하게 된다.

액정패널(106)은 박막 트랜지스터 어레이 기판(102)과, 컬러 필터 어레이 기판(104)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정패널(106)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다.

데이터 드라이브 IC들(114)은 데이터 TCP(112) 및 액정패널(106)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(114)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(114)은 데이터 PCB(116)와 FPC(118)를 통해 메인 PCB(120) 상의 타이밍 제어부(122) 및 전원부(124)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(110)은 게이트 TCP(108) 및 액정패널(106)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(110)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(110)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.

이를 위하여, 타이밍 제어부(122) 및 전원부(124)로부터의 게이트 제어 신호들과 전원 신호들은 데이터 PCB(116)를 경유하여 데이터 TCP(112)에 공급된다. 데이터 TCP(112)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기판(102)의 가장자리 영역에 형성된 LOG 신호 라인군(126)을 경유하여 게이트 TCP(108)에 공급된다. 게이트 TCP(108)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(110)의 입력 단자들을 통해 게이트 드라이브 IC(110) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(110)의 출력 단자들을 통해 출력되어 게이트 TCP(108)와 LOG 신호 라인군(126)을 경유하여 다음 게이트 TCP(108)에 실장된 게이트 드라이브 IC(110)로 공급된다.

LOG형 신호 라인군(126)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압 (VGH), 공통 전압(VCOM), 그라운드 전압 (GND), 베이스 구동 전압(VCC)과 같이 전원부(미도시)로부터 공급되는 게이트 전원 신호들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(미도시)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

이러한 LOG형 신호라인군(126)은 LOG형 신호라인군(126)에 포함된 라인저항을 LOG형 신호라인군(126)의 형성위치에 따라 다르게 형성한다. 특히, LOG형 신호라인군(126) 중 게이트전원신호를 공급하는 LOG형 신호라인군(126)에 포함된 라인저항을 LOG형 신호라인군(126)의 위치에 따르게 다르게 형성한다.

즉, LOG형 신호라인군(126)은 데이터드라이브 IC(114)로부터 멀어질수록 저항값이 작아지게 형성한다. 구체적으로, 제1 게이트 드라이브 IC(110A)의 입력단에 위치하는 제1 LOG 신호라인군(LOG1)의 제1 라인저항(aΩ)은 도 4에 도시된 바와 같이 제2 게이트 드라이브 IC(110B)의 입력단에 위치하는 제2 LOG 신호라인군(LOG2)의 제2 라인저항(bΩ)보다 상대적으로 크며, 제3 게이트 드라이브 IC(110C)의 입력단에 위치하는 제3 LOG 신호라인군(LOG3)의 제3 라인저항(cΩ)은 제2 라인저항(bΩ)보다 작거나 같다. 예를 들어, 제1 라인저항(aΩ)은 제2 및 제3 라인저항(bΩ,cΩ)을 무시할 수 있을 정도의 큰 저항값, 약 300Ω정도이며, 제2 라인저항(aΩ)은 약 90Ω정도이며, 제3 라인저항(aΩ)은 약 80Ω정도이다.

이를 위해, 제1 LOG 신호라인군(LOG1)의 배선편(w1)은 도 5에 도시된 바와 같이 제2 LOG 신호라인군(LOG2)의 배선편(w2)보다 상대적으로 적으며, 제2 LOG 신호라인군(LOG2)의 배선편(w2)은 제3 LOG 신호라인군(LOG3)의 배선편(w3)보다 작거나 같다. 특히, 게이트 로우 전압(VGL), 게이트 하이 전압 (VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)을 포함하는 게이트전원신호를 공급하는 LOG 신호라인의 배선편을 점진적으로 커지게 형성한다. 여기서, 라인저항에 민감하지 않은 게이트제어신호를 공급하는 LOG 신호라인(126)의 배선편은 위치에 관계없이 일정하게 형성하거나, 위치에 따라 달라지는 게이트전원신호를 공급하는 LOG 신호라인(106)의 배선편과 동일하게 형성한다.

이와 같이, 제1 게이트 드라이브 IC(110A)의 입력단에 형성되는 제1 라인저항(aΩ)에 의해 제2 및 제3 라인저항(bΩ,cΩ)들이 무시할 정도로 작아져 각 게이트 드라이브 IC(110)에 입력단에 걸리는 저항이 동일해진다. 이러한 제1 라인저항(aΩ)에 의해 게이트전원신호의 전류량(I)이 제한됨으로써 제1 LOG 신호라인군(LOG1)과 직렬로 접속되는 나머지 신호라인군 (LOG2,LOG3)을 경유하여 각 게이트 드라이브 IC들(110A 내지 110C)에 인가되는 전류량(I)도 제한된다.

이러한 전류량의 제한으로 제2 및 제3 LOG 신호라인군(LOG2,LOG3)의 라인저항(bΩ,cΩ)이 게이트전원신호의 전압성분에 미치는 영향은 무시할 정도로 감소된다. 이에 따라, 각 게이트 드라이브 IC(110A,110B,110C)를 경유하여 동일한 게이트 구동신호가 게이트라인(GL)에 공급됨에 따라 수평라인 블럭(A,B,C)간의 휘도차는 방지된다.

특히, 각 게이트 드라이브 IC(110)로 공급되는 게이트 하이전압(VGH)의 차이가 방지된다. 이에 따라, 각 게이트 드라이브 IC(110A,110B,110C)를 경유하여 동일한 게이트하이전압(VGH)이 게이트라인(GL)에 공급됨에 따라 수평라인블럭 (A,B,C)간의 휘도차는 발생하지 않게 된다.

한편, 상대적으로 큰 제1 라인저항(aΩ)을 갖는 제1 LOG 신호라인군(LOG1)으로 인한 게이트 드라이브 IC(110)별 게이트 전압차 방지의 효과는 도 6a에 도시된 스캔신호가 게이트라인(GL)에 공급하는 경우 두드러지게 나타난다.

이를 상세히 설명하면, 스캔신호가 하강할 때 데이터라인(DL)에 공급되어진 데이터전압과 액정셀에 충전되어진 액정 셀 전압과의 차전압에 해당하는 피드 쓰로우 전압(Feed Through Voltage, ΔV_p)이 발생하게 된다.

수학식 1

$$\Delta V_p = \frac{C_{gs}}{C_{gs} + C_{lc}} (VGH - VGL)$$

이 피드 쓰로우 전압(ΔV_p)은 액정패널에 인가되는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 간의 전압차 (VGH-VGL= ΔV_g)에 따라 그 크기가 변동함으로써 플리커를 유발한다.

이러한 플리커를 방지하기 위해 도 6a에 도시된 스캔신호를 이용하여 게이트전압차를 줄여 피드 쓰로우 전압(ΔV_p)레벨을 낮춘다. 즉, 스캔신호가 하강시 게이트하이전압(VGH)이 기준전압(VDD)으로 전압레벨이 낮아져 게이트하이전압과 게이트로우전압간의 전압차는 실질적으로 기준전압(VDD)과 게이트로우전압(VGL)간의 전압차가 된다. 이에 따라, ΔV_g 값을 줄일 수 있어 ΔV_g 에 비례하는 피드 쓰로우 전압(ΔV_p)레벨을 낮출 수 있어 플리커를 방지할 수 있다.

그러나, 제1 내지 제3 LOG형 신호라인군(LOG1 내지 LOG3)에 포함된 제1 내지 제3 라인저항(aΩ,bΩ,cΩ)이 점진적으로 증가함으로써 게이트하이전압(VGH)의 전압레벨이 변동되어 기준전압(VDD)이 불안정해진다. 즉, 제1 게이트 드라이브 IC(110A)에서 제3 게이트 드라이브 IC(110B)쪽으로 진행할 수록 LOG형 신호라인(126)의 라인저항(aΩ,bΩ,cΩ)이 가산됨에 따라 수평라인블럭에 공급되는 제1 내지 제3 게이트기준전압(VDD1,VDD2,VDD3)은 VDD1<VDD2<VDD3과 같은 관계를 갖게 된다.

이에 따라, 상대적으로 큰 저항값을 갖는 제1 LOG 신호라인군(LOG1)의 제1 라인저항(aΩ)으로 인해 제2 및 제3 라인저항 (bΩ,cΩ)이 무시된다. 이러한 제1 라인저항(aΩ)에 의해 제1 LOG 신호라인군(LOG1)과 직렬로 접속되는 나머지 신호라인군 (LOG2,LOG3)을 경유하여 각 게이트 드라이브 IC들(110A 내지 110C)에 인가되는 전류량(I)이 제한된다. 이러한 전류

량의 제한으로 제2 및 제3 LOG 신호라인군(LOG2, LOG3)의 라인저항($b\Omega, c\Omega$)이 게이트하이전압신호의 전압성분에 미치는 영향은 무시할 정도로 감소된다. 이에 따라, 각 게이트 드라이브 IC(110A, 110B, 110C)를 경유하여 거의 유사한 게이트 기준전압신호(VDD)가 게이트라인(GL)에 공급됨에 따라 수평라인 블록(A, B, C)간의 휘도차는 방지된다. 이로써 도 6b에 도시된 바와 같이 각 게이트 드라이브 IC(110)를 경유하여 동일한 게이트기준전압(VDD)이 게이트라인(256)에 공급됨에 따라 피드 쓰로우 전압차이를 방지할 수 있어 수평라인 블록(A, B, C)간의 휘도차가 방지된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 LOG형 액정 표시 장치 및 그 구동방법은 제1 게이트 드라이브 IC의 입력단에 위치하는 제1 LOG형 신호라인군에 포함된 라인저항을 상대적으로 높게 형성한다. 이를 위해, 제1 내지 제n LOG형 신호라인군의 배선폭을 다르게 형성한다. 이에 따라, 라인저항에 의한 게이트하이전압의 변동을 방지하여 수평 블록 간의 피드 쓰로우 전압차를 방지함과 아울러 휘도차를 방지할 수 있다. 또한, 본 발명에 따른 LOG형 액정표시장치 및 그 구동방법은 게이트 하이전압을 공급하는 LOG 신호라인의 폭을 차등적으로 형성함으로써 게이트로우전압을 공급하는 LOG 신호라인의 형성 영역을 확보할 수 있어 설계가 용이하다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

액정셀 매트릭스를 갖는 액정패널과,

상기 액정패널을 구동하기 위한 적어도 두 개의 집적회로들과,

상기 집적회로들에 구동신호를 공급하기 위해 상기 집적회로 각각의 입력단에 서로 다른 저항값을 갖도록 상기 액정패널의 기판 상에 직접 형성되는 신호라인들을 구비하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 적어도 두개의 집적회로들 중 첫번째 집적회로의 입력단에 위치하는 신호라인의 저항은 나머지 집적회로의 입력단에 위치하는 신호라인의 저항보다 상대적으로 큰 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 적어도 두개의 집적회로들 각각의 입력단에 위치하는 각 신호라인의 배선폭은 서로 다른 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 액정패널 상에 형성되는 게이트라인을 추가로 구비하며,

상기 집적회로는 상기 게이트라인에 게이트신호를 공급하는 게이트 집적회로인 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 게이트라인과 교차되게 형성되는 데이터라인에 데이터신호를 공급하는 데이터 집적회로를 추가로 구비하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 신호라인의 배선펙은 상기 데이터 집적회로로부터 멀어질수록 커지는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 7.

제 4 항에 있어서,

상기 게이트집적회로에는 상기 신호라인을 통해 게이트신호의 하이논리전압, 게이트신호의 로우논리전압, 베이스 공통 전압, 그라운드전압 및 공통전압 중 적어도 어느 하나가 공급되는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

청구항 8.

적어도 두개의 집적회로 각각의 입력단에 서로 다른 저항값을 갖도록 상기 액정패널의 기판 상에 직접 형성되는 신호라인들을 이용하여 상기 집적회로들에 구동신호를 공급하는 단계와;

상기 집적회로에 공급된 구동신호를 이용하여 액정패널을 구동하는 단계를 포함하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치의 구동방법.

청구항 9.

제 8 항에 있어서,

상기 집적회로들에 상기 구동신호를 공급하는 단계는

상기 적어도 두개의 집적회로 중 첫번째 집적회로의 입력단에 형성된 상기 신호라인의 상대적으로 큰 라인저항값에 의해 상기 집적회로 각각에 공급되는 구동신호의 전류성분을 제한하여 상기 집적회로들에 공급하는 단계를 포함하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치의 구동방법.

청구항 10.

제 8 항에 있어서,

상기 집적회로들에 상기 구동신호를 공급하는 단계는

상기 액정패널의 게이트라인들을 구동하는 게이트신호의 하이논리전압, 게이트신호의 로우논리전압, 베이스 공통 전압, 그라운드전압 및 공통전압 중 적어도 어느 하나를 공급하는 단계인 것을 특징으로 하는 라인 온 글래스형 액정표시장치의 구동방법.

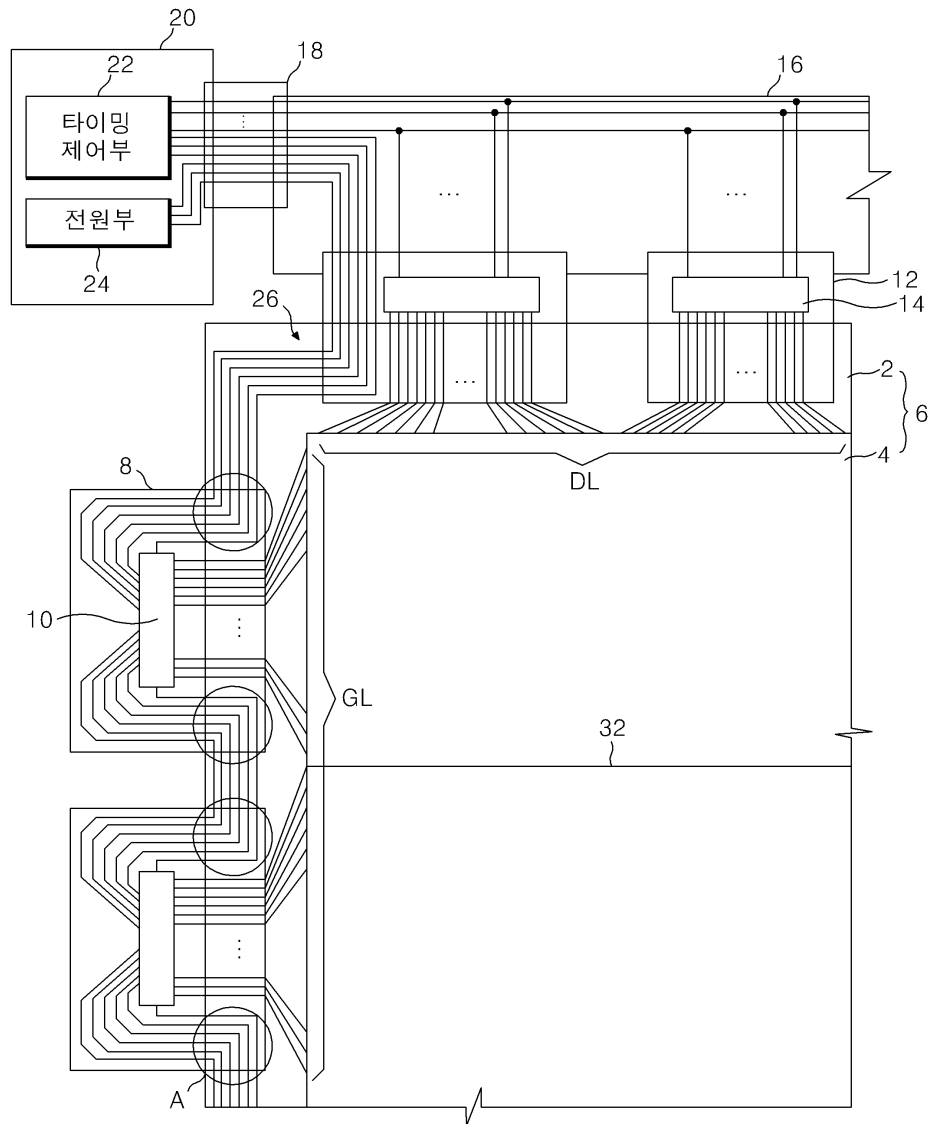
청구항 11.

제 10 항에 있어서,

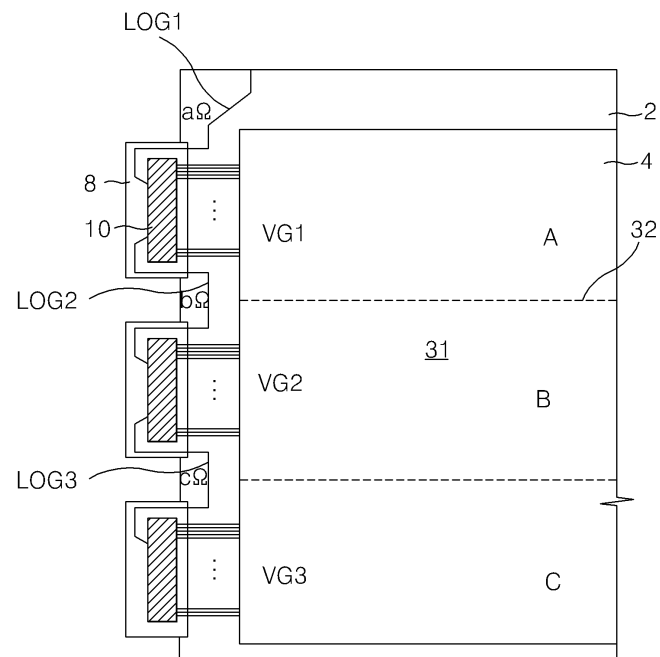
상기 게이트신호는 상기 게이트신호가 하강할 때 게이트하이전압보다 전압레벨이 낮은 게이트기준전압에서 게이트로우전압으로 변하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치의 구동방법.

도면

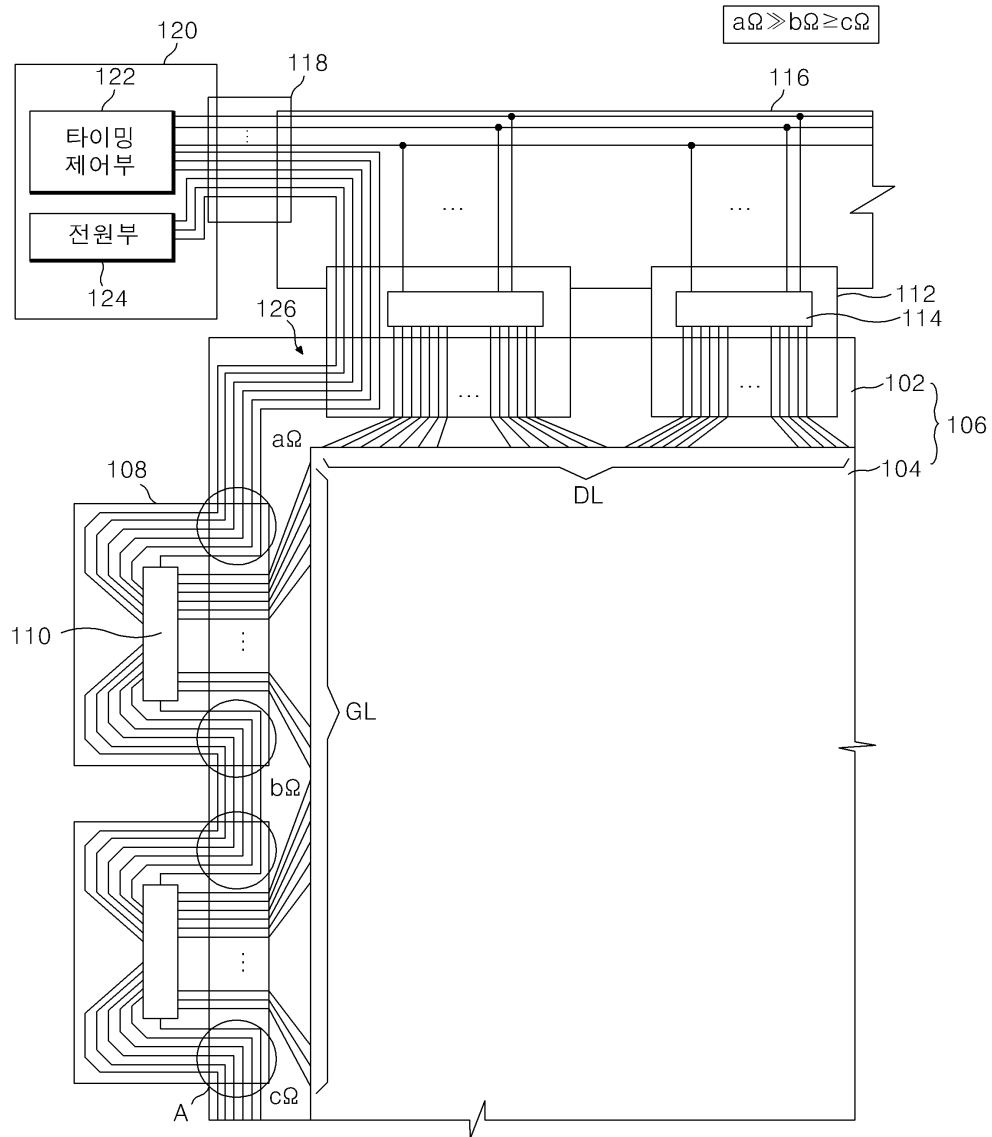
도면1



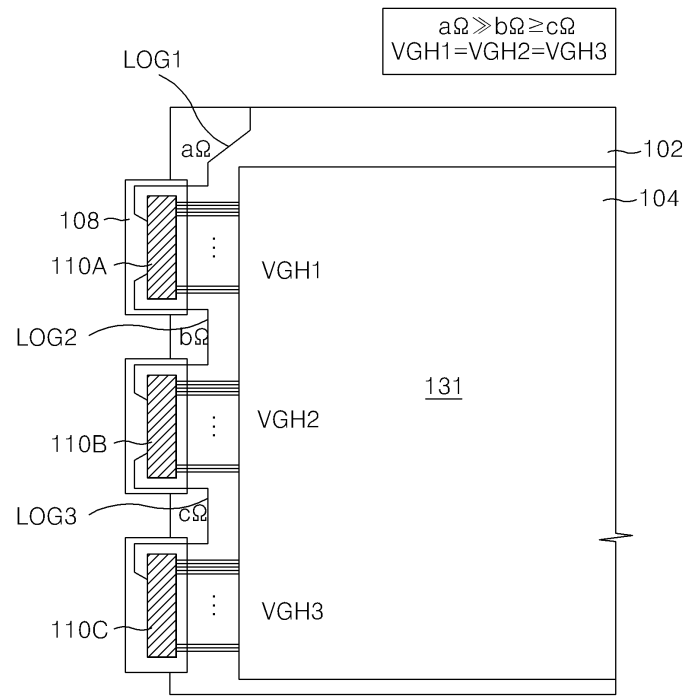
도면2



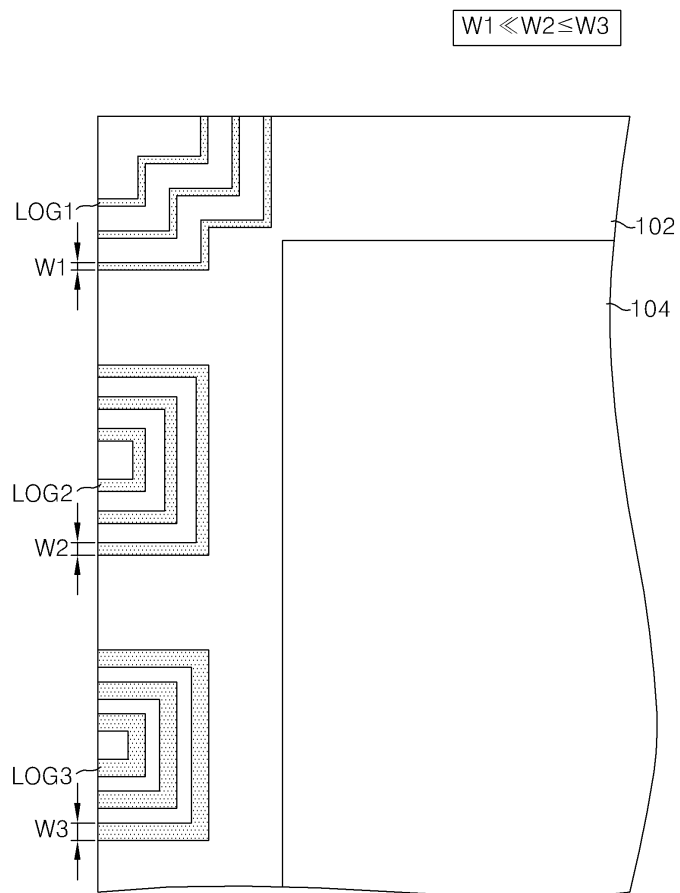
도면3



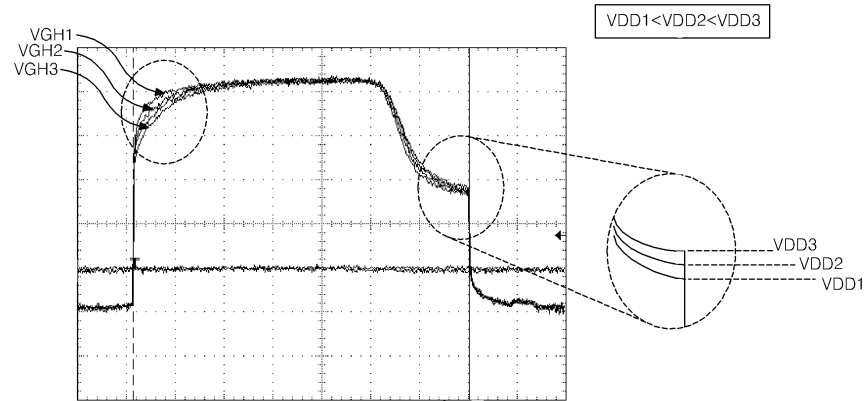
도면4



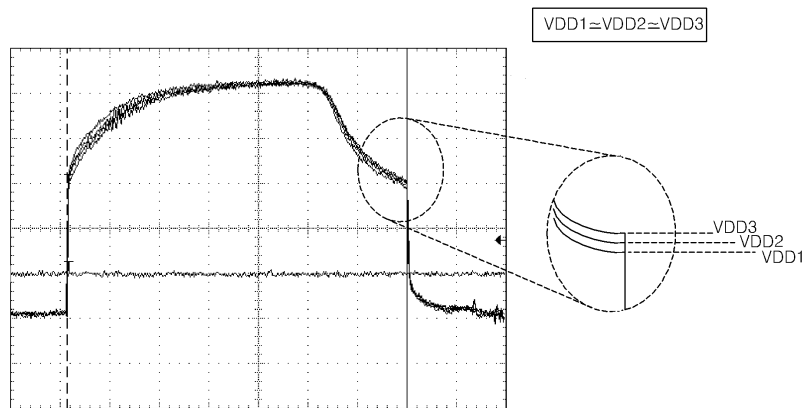
도면5



도면6a



도면6b



专利名称(译)	玻璃上线型液晶显示器及其驱动方法		
公开(公告)号	KR1020050037641A	公开(公告)日	2005-04-25
申请号	KR1020030072867	申请日	2003-10-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JAEHONG		
发明人	PARK, JAEHONG		
IPC分类号	G02F1/1345 G02F1/13 G09G3/36		
CPC分类号	G02F1/13452		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR100977218B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种玻璃上线型液晶显示器及其驱动方法，根据信号失真使图像质量下降。本发明的玻璃上线型液晶显示器包括具有液晶单元矩阵的液晶面板基板上的直接形成信号线，以及两个或多个集成电路，用于驱动液晶面板和液晶面板在集成电路上具有不同的电阻值，每个输入端子将驱动信号提供给集成电路。

