



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년 10월 08일
(11) 등록번호 10-0764961
(24) 등록일자 2007년 10월 01일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2003-0017423

(22) 출원일자 2003년03월20일

심사청구일자 2006년05월29일

(65) 공개번호 10-2003-0078655

공개일자 2003년10월08일

(30) 우선권주장

JP-P-2002-00096903 2002년03월29일 일본(JP)

(56) 선행기술조사문헌

JP2001202052 A

(뒷면에 계속)

(73) 특허권자

샤프 가부시키가이샤

일본 오사까후 오사까시 아베노꾸 나가이계쵸 22
방 22고

(72) 발명자

세끼도사또시

일본가나가와켄가와사키시나카하라꾸가미코다나카
4조메1-1후지쓰디스플레이테크놀로지스코포레이션
내

후꾸또꾸쇼우이찌

일본가나가와켄가와사키시나카하라꾸가미코다나카
4쵸메1-1후지쓰디스플레이테크놀로지스코포레이션
내

히라끼가쁘요시

일본가나가와쥬가와사끼시나까하라꾸가미꼬다나까
4쵸메1-1후지쓰디스플레이테크놀로지스코포레이션
내

(74) 대리인

구영창, 장수길, 주성민

전체 청구항 수 : 총 10 항

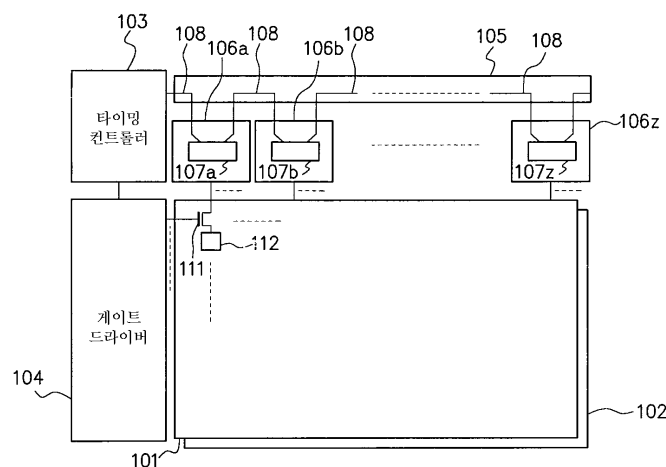
심사관 : 김세영

(54) 액정 표시 장치 및 그 드라이버

(57) 요약

크로스토크 및/또는 EMI에 의한 악영향을 방지하기 위한 액정 표시 장치를 제공하는 것을 과제로 한다. 게이트, 소스 및 드레인을 포함하는 복수의 트랜지스터를 갖는 트랜지스터 기관(101)과, 공통 전극을 포함하며 액정을 개재하여 상기 트랜지스터 기관에 대향하여 배치되는 공통 기관(102)과, 복수의 트랜지스터의 게이트를 구동하기 위한 게이트 드라이버(104)와, 복수의 소스 드라이버 유닛(107a~107z)이 캐스캐이드 접속되어, 복수의 트랜지스터의 소스를 구동하기 위한 소스 드라이버를 포함하는 액정 표시 장치가 제공된다. 각 소스 드라이버 유닛은, 클럭 신호에 동기하여 동작하는 플립플롭과, 그 클럭 신호를 반전시켜 다음단의 소스 드라이버 유닛에 출력하기 위한 인버터를 갖는다.

대표도 - 도1



(56) 선행기술조사문헌

JP2001306040 A

KR100358644 B1

US6,476,789 B1

US6,603,466 B1

US6,862,015 B1

특허청구의 범위

청구항 1

게이트, 소스 및 드레인을 포함하는 복수의 트랜지스터를 갖는 트랜지스터 기판과,
 공통 전극을 포함하며, 액정을 개재하여 상기 트랜지스터 기판에 대향하여 배치되는 공통 기판과,
 상기 복수의 트랜지스터의 게이트를 구동하기 위한 게이트 드라이버와,
 복수의 소스 드라이버 유닛이 캐스케이드 접속되어, 상기 복수의 트랜지스터의 소스를 구동하기 위한 소스 드라이버
 를 포함하며,
 상기 각 소스 드라이버 유닛은,
 전단(前段)의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되고, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 플립플롭과,
 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 인버터와,
 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 상기 트랜지스터 기판의 트랜지스터의 소스에 신호를 출력하기 위한 출력 회로
 를 포함하는 액정 표시 장치.

청구항 2

제1항에 있어서,
 상기 플립플롭의 출력 단자가 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 지연 시간 조정을 위한 버퍼를 더 포함하는 액정 표시 장치.

청구항 3

제1항에 있어서,
 상기 인버터가 출력하는 반전 클럭 신호를 다음단의 소스 드라이버 유닛 또는 외부로 출력하기 위한 제1 출력 라인과,
 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 비반전 클럭 신호를 다음단의 소스 드라이버 유닛 또는 외부로 출력하기 위한 제2 출력 라인을 더 포함하며,
 상기 플립플롭은, 상기 전단의 소스 드라이버 유닛의 제1 출력 라인 또는 상기 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되는 액정 표시 장치.

청구항 4

복수의 드라이버 유닛이 캐스케이드 접속되는 액정 표시 장치의 드라이버로서,
 상기 각 드라이버 유닛은,
 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되고, 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호의 라인이 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 플립플롭과,
 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 인버터와,
 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 액정 표시 장치의 구동 소자에 신호를

출력하기 위한 출력 회로

를 포함하는 액정 표시 장치의 드라이버.

청구항 5

제4항에 있어서,

상기 플립플롭의 출력 단자가 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 지연 시간 조정을 위한 버퍼를 더 포함하는 액정 표시 장치의 드라이버.

청구항 6

제4항에 있어서,

상기 인버터가 출력하는 반전 클럭 신호를 다음단의 드라이버 유닛 또는 외부로 출력하기 위한 제1 출력 라인과,

상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 비반전 클럭 신호를 다음단의 드라이버 유닛 또는 외부로 출력하기 위한 제2 출력 라인을 더 포함하며,

상기 플립플롭은, 전단의 드라이버 유닛의 제1 출력 라인 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되는 액정 표시 장치의 드라이버.

청구항 7

게이트, 소스 및 드레인을 포함하는 복수의 트랜지스터를 갖는 트랜지스터 기판과,

공통 전극을 포함하며, 액정을 개재하여 상기 트랜지스터 기판에 대향하여 배치되는 공통 기판과,

상기 복수의 트랜지스터의 게이트를 구동하기 위한 게이트 드라이버와,

복수의 소스 드라이버 유닛이 캐스케이드 접속되어, 상기 복수의 트랜지스터의 소스를 구동하기 위한 소스 드라이버

를 포함하며,

상기 각 소스 드라이버 유닛은,

상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 인버터와,

상기 인버터의 출력 단자가 클럭 단자에 접속되고, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 플립플롭과,

상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 상기 트랜지스터 기판의 트랜지스터의 소스로 신호를 출력하기 위한 출력 회로

를 포함하는 액정 표시 장치.

청구항 8

복수의 드라이버 유닛이 캐스케이드 접속되는 액정 표시 장치의 드라이버로서,

상기 각 드라이버 유닛은,

상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 인버터와,

상기 인버터의 출력 단자가 클럭 단자에 접속되고, 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호의 라인이 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 플립플롭과,

상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 액정 표시 장치의 구동 소자에 신호를 출력하기 위한 출력 회로

를 포함하는 액정 표시 장치의 드라이버.

청구항 9

게이트, 소스 및 드레인을 포함하는 복수의 트랜지스터를 갖는 트랜지스터 기판과,

공통 전극을 포함하며, 액정을 개재하여 상기 트랜지스터 기판에 대향하여 배치되는 공통 기판과,

상기 복수의 트랜지스터의 게이트를 구동하기 위한 게이트 드라이버와,

복수의 소스 드라이버 유닛이 캐스케이드 접속되어, 상기 복수의 트랜지스터의 소스를 구동하기 위한 소스 드라이버

를 포함하며,

상기 소스 드라이버 내의 짝수번째 소스 드라이버 유닛은,

전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 상승 에지 또는 하강 에지 중 어느 하나의 에지에 동기하여, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 플립플롭과,

상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 상기 트랜지스터 기판의 트랜지스터의 소스에 신호를 출력하기 위한 출력 회로를 갖고,

상기 소스 드라이버 내의 홀수번째 소스 드라이버 유닛은,

전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 하강 에지 또는 상승 에지 중 어느 하나의 에지이고, 상기 짝수번째 소스 드라이버 유닛의 플립플롭과는 다른 에지에 동기하여, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 플립플롭과,

상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 상기 트랜지스터 기판의 트랜지스터의 소스에 신호를 출력하기 위한 출력 회로

를 포함하는 액정 표시 장치.

청구항 10

짝수번째 및 홀수번째의 드라이버 유닛이 교대로 캐스케이드 접속되는 액정 표시 장치의 드라이버로서,

상기 짝수번째 드라이버 유닛은,

전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 상승 에지 또는 하강 에지 중 어느 하나의 에지에 동기하여, 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 플립플롭과,

상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 액정 표시 장치의 구동 소자에 신호를 출력하기 위한 출력 회로

를 포함하며,

상기 홀수번째 드라이버 유닛은,

전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 하강 에지 또는 상승 에지 중 어느 하나의 에지이고, 상기 짝수번째 드라이버 유닛의 플립플롭과는 다른 에지에 동기하여, 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 플립플롭과,

상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라서, 액정 표시 장치의 구동 소자에 신호를 출력하기 위한 출력 회로

를 포함하는 액정 표시 장치의 드라이버.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<27> 본 발명은, 액정 표시 장치 및 그 드라이버에 관한 것으로, 특히 복수의 드라이버 유닛이 캐스케이드 접속되는 드라이버에 관한 것이다.

<28> 퍼스널 컴퓨터의 모니터의 공간 절약화와 더불어, 화소 수 및 표시 사이즈의 대형화가 기대되고 있다. 액정 표시 장치는, 박막 트랜지스터(TFT) 기판과 공통 기판이 대향하여 접합되고, 그 사이에 액정을 개재하는 구조로 되어 있다. 액정은, TFT 기판의 화소 전극과 공통 기판의 공통 전극과의 사이의 전위차에 따른 광의 투과량에 따른 계조를 갖는다.

발명이 이루고자 하는 기술적 과제

<29> 액정 표시 장치의 드라이버는, 상기 TFT를 구동함으로써, 상기한 계조 표시를 행한다. 이 때, 복수의 신호 라인 상의 신호가 동시에 변화되면, 개개의 신호끼리의 영향이 커져, 크로스토크나 전자파 방해(EMI)에 나쁜 영향을 미친다.

<30> 본 발명의 목적은, 크로스토크 및/또는 EMI에 의한 악영향을 방지하기 위한 액정 표시 장치 및 그 드라이버를 제공하는 것이다.

발명의 구성 및 작용

<31> 본 발명의 일 태양에 따르면, 게이트, 소스 및 드레인을 포함하는 복수의 트랜지스터를 갖는 트랜지스터 기판과, 공통 전극을 포함하며 액정을 개재하여 트랜지스터 기판에 대향하여 배치되는 공통 기판과, 복수의 트랜지스터의 게이트를 구동하기 위한 게이트 드라이버와, 복수의 소스 드라이버 유닛이 캐스케이드 접속되어, 복수의 트랜지스터의 소스를 구동하기 위한 소스 드라이버를 포함하는 액정 표시 장치가 제공된다. 각 소스 드라이버 유닛은, 플립플롭, 인버터 및 출력 회로를 갖는다. 플립플롭에 있어서, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되며, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호의 라인이 입력 단자에 접속되며, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속된다. 인버터에 있어서, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속된다. 출력 회로는, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 트랜지스터 기판의 트랜지스터의 소스에 신호를 출력한다.

<32> 인버터는 입력 클럭 신호를 반전하여 다음단의 소스 드라이버 유닛에 출력한다. 이에 의해, 짝수번째 소스 드라이버 유닛과 홀수번째 소스 드라이버 유닛에서는 클럭 신호가 반전된다. 이들 비반전 클럭 신호와 반전 클럭 신호는, 상호 상쇄되어, 크로스토크 및/또는 EMI의 악영향을 방지할 수 있다. 또한, 짝수번째 소스 드라이버 유닛과 홀수번째 소스 드라이버 유닛에서는, 플립플롭이 서로 반전된 클럭 신호에 동기하여 동작하기 때문에, 출력 신호의 변화점이 서로 다르다. 이에 의해, 출력 신호의 시간적 변화점이 분산되어, 크로스토크 및/또는 EMI의 악영향을 방지할 수 있다.

<33> <실시예>

<34> (제1 실시예)

<35> 도 1은 본 발명의 제1 실시예에 의한 액정 표시 장치의 구성을 도시하는 도면이다. 박막 트랜지스터(TFT) 기판(101)은 2차원 매트릭스 형상으로 배열된 복수의 n채널 MOS 트랜지스터(111)를 갖는다. 각 트랜지스터는 게이트, 소스 및 드레인을 갖는다. 공통 기판(102)은, 기판 전면에 형성되는 공통 전극을 포함하며, 액정을 개재하여 TFT 기판(101)에 대향하여 배치된다. 공통 전극은 접지 전위에 접속된다. 트랜지스터(111)는, 게이트가 게이트 드라이버(104)에 접속되고, 소스가 소스 드라이버 유닛(107a) 등에 접속되며, 드레인이 화소 전극(112)에 접속된다. 화소 전극(112) 및 공통 기판(102)의 공통 전극 사이의 전위차에 따라, 액정의 광의 투과량이 변화되어 계조 표시를 행할 수 있다. 타이밍 컨트롤러(103)는 게이트 드라이버(104)에 게이트 클럭 신호 및 게이트

스타트 펄스 등을 공급한다. 게이트 드라이버(104)는 게이트 클럭 신호 등에 따라, 트랜지스터(111)의 게이트를 구동한다.

- <36> 소스 드라이버는, 복수의 소스 드라이버 유닛(107a, 107b, ..., 107z)이 배선(108)에 의해 캐스캐이드 접속되어, 복수의 트랜지스터(구동 소자)(111)의 소스를 구동한다. 소스 드라이버 유닛(107a, 107b, ..., 107z) 각각은 동일한 구성을 갖고, 각각 TAB(tape automated bonding)(106a, 106b, ..., 106z) 상에 형성된다. 프린트 기판(105)은, 타이밍 컨트롤러(103) 및 TAB(107a) 사이의 배선(108), 및 복수의 소스 드라이버 유닛(107a~107z) 사이를 캐스캐이드 접속하기 위한 배선(108)을 형성하기 위한 기판이다.
- <37> 이하, TAB(106a, 106b, ..., 106z)의 전부 또는 각각을 TAB(106)라고 부른다. 또한, 소스 드라이버 유닛(107a, 107b, ..., 107z)의 각각을 소스 드라이버 유닛(107)이라고 부른다.
- <38> 타이밍 컨트롤러(103)는, 배선(108)을 통하여, 복수의 소스 드라이버 유닛(107)에 클럭 신호, 표시 데이터 및 제어 신호를 공급한다. 각 소스 드라이버 유닛(107)은 입력 신호의 타이밍을 조정하여 다음단의 소스 드라이버 유닛(107)에 출력한다. 또한, 각 소스 드라이버 유닛(107)은 상기한 입력 신호를 기초로, 각각 예를 들면 384개의 트랜지스터(111)의 소스를 구동한다.
- <39> 도 2는 각 소스 드라이버 유닛(107)의 구성을 나타낸다. 시프트 레지스터부(201)는, 타이밍 컨트롤러(103) 또는 전단의 소스 드라이버 유닛(107)으로부터 캐스캐이드 신호 ICD 및 클럭 신호 ICLK를 입력받아, 캐스캐이드 신호 ICD를 시프트시키고, 저장 타이밍 펄스를 데이터 레지스터부(202)에 공급한다. 데이터 레지스터부(202)는, 타이밍 컨트롤러(103) 또는 전단의 소스 드라이버 유닛(107)으로부터 적색 표시 데이터 IRDT, 녹색 표시 데이터 IGDT 및 청색 표시 데이터 IBDT를 입력받아, 상기 저장 타이밍 펄스에 따라, 그 표시 데이터 IRDT, IGDT, IBDT를 저장한다. 트랜지스터(111)(도 1)는, 도면의 수평 방향에, 예를 들면 적, 녹 및 청색용의 트랜지스터 순으로 반복하여 배열된다. 그에 대응하여, 데이터 레지스터부(202) 내의 레지스터도, 적, 녹 및 청색용의 레지스터 순으로 반복하여 배열된다. 도면의 좌측 레지스터로부터 우측 레지스터쪽으로, 레지스터는 순서대로 표시 데이터를 저장한다. 저장이 종료되면, 캐스캐이드 신호 ICD가 시프트된 캐스캐이드 신호 OCD가 다음단의 소스 드라이버 유닛(107)으로 출력되고, 다음단의 소스 드라이버 유닛(107)에서 표시 데이터가 순차적으로 저장된다. 또한, 표시 데이터 ORDT, OGDТ, OBDT는, 표시 데이터 IRDT, IGDT, IBDT가 타이밍 조정된 것으로, 다음단의 소스 드라이버 유닛(107)에 공급된다. 또한, 데이터 레지스터부(202)에는, 데이터 반전 신호 IINV도 입력된다.
- <40> 모든 소스 드라이버 유닛(107)의 데이터 레지스터부(202)가 표시 데이터 IRDT 등의 저장을 끝내면, 래치부(203)는, 타이밍 컨트롤러(103) 또는 전단의 소스 드라이버 유닛(107)으로부터 래치 펄스 LP를 입력받아, 데이터 레지스터부(202)에 저장된 표시 데이터 IRDT 등을 래치한다. 레벨 시프트부(204)는, 래치부(203)가 래치한, 예를 들면 8 비트의 표시 데이터 IRDT 등을 계조 데이터로 변환한다.
- <41> D/A 컨버터부(205)는, 타이밍 컨트롤러(103) 또는 전단의 소스 드라이버 유닛(107)으로부터 극성 반전 신호 IPOL 및 기준 전원 Va를 입력받아, 기준 전원 Va를 기초로, 레벨 시프트부(204)가 출력한 디지털 형식의 계조 데이터를 아날로그 형식으로 변환한다. 또한, D/A 컨버터부(205)는, 극성 반전 신호 IPOL에 따라, 양 전위 또는 음 전위의 계조 데이터를 출력한다. 도 1에서, 공통 기판(102)의 공통 전극은 접지 전위이고, 트랜지스터(111)의 소스에 양 전위의 계조 데이터와 음 전위의 계조 데이터가 프레임 또는 필드별로 교대로 공급된다. 이에 따라, 액정의 수명을 연장시킬 수 있다. 출력부(206)는 연산 증폭기를 갖고, D/A 컨버터부(205)가 출력하는 계조 데이터를 증폭하여 도 1의 트랜지스터(111)의 소스에 출력한다.
- <42> 다음에, 타이밍 조정 회로(210a~210f)에 대하여 설명한다. 타이밍 조정 회로(210a)는, 클럭 신호 ICLK의 타이밍을 조정하여 클럭 신호 OCLK를 출력함과 함께, 시프트 레지스터부(201)가 캐스캐이드 신호 ICD를 시프트한 신호의 타이밍을 조정하여 캐스캐이드 신호 OCD로서 출력한다. 캐스캐이드 신호 OCD 및 클럭 신호 OCLK는, 다음단의 소스 드라이버 유닛(107)에 캐스캐이드 신호 ICD 및 클럭 신호 ICLK로서 입력된다.
- <43> 타이밍 조정 회로(210b, 210c, 210d)는, 클럭 신호 ICLK에 동기하여, 각각 표시 데이터 IRDT, IGDT, IBDT의 타이밍을 조정하여 표시 데이터 ORDT, OGDТ, OBDT로서 출력한다. 여기서, 클럭 신호 OCLK는, 타이밍 조정 회로(210a)에 의해 출력하는 대신에, 타이밍 조정 회로(210b) 등에 의해 출력하여도 된다. 표시 데이터 ORDT, OGDТ, OBDT는, 다음단의 소스 드라이버 유닛(107)에 표시 데이터 IRDT, IGDT, IBDT로서 입력된다. 또한, 타이밍 조정 회로(210d)는, 표시 데이터 OBDT 외에, 클럭 신호 ICLK에 동기하여, 데이터 반전 신호 IINV의 타이밍을 조정하여 데이터 반전 신호 OINV로서 출력하여도 되고, 다른 타이밍 조정 회로가 데이터 반전 신호 OINV를 출력

하여도 된다.

- <44> 마찬가지로, 타이밍 조정 회로(210e) 및 타이밍 조정 회로(210f)는, 각각 클럭 신호 ICLK에 동기하여, 래치 펄스 ILP 및 극성 반전 신호 IPOL의 타이밍을 조정하여 래치 펄스 OLP 및 극성 반전 신호 OPOL로서 출력한다. 래치 펄스 OLP 및 극성 반전 신호 OPOL은, 각각 다음단의 소스 드라이버 유닛(107)에 래치 펄스 ILP 및 극성 반전 신호 IPOL로서 입력된다.
- <45> 이상과 같이, 타이밍 조정 회로(210a~210f)는, 클럭 신호 ICLK에 동기하여, 표시 데이터 또는 제어 신호의 타이밍을 조정하여 다음단의 소스 드라이버 유닛(107)에 출력한다. 여기서, 제어 신호는, 상기한 캐스케이드 신호 ICD, 래치 펄스 ILP, 데이터 반전 신호 IINV 및 극성 반전 신호 IPOL을 포함한다. 또한, 타이밍 조정 회로(210a~210f) 중의 어느 하나가 클럭 신호 OCLK를 출력하여도 된다. 타이밍 조정 회로(210a~210f)는, 전부 동일한 회로 구성이기 때문에, 타이밍 조정 회로(210b)를 예로서 이하에 설명한다. 이 때, 타이밍 조정 회로(210b)는, 표시 데이터 ORDT 외에, 클럭 신호 OCLK를 출력하는 것으로 하여 설명한다.
- <46> 도 3의 (a)는 타이밍 조정 회로(210b)의 구성예를 나타낸다. D 플립플롭(301)은, 클럭 단자 CLK에 클럭 신호 ICLK의 라인이 접속되고, 입력 단자 D에 입력 신호(표시 데이터) IRDT의 라인이 접속되며, 출력 단자 Q에 출력 신호(표시 데이터) ORDT를 출력하기 위한 라인이 접속된다. 인버터(302)는, 입력 단자에 클럭 신호 ICLK의 라인이 접속되고, 출력 단자에 클럭 신호 OCLK를 출력하기 위한 라인이 접속된다.
- <47> 도 4는 도 3의 (a)의 동작을 설명하기 위한 타이밍도이다. 플립플롭(301)은, 클럭 신호 ICLK의 하강 에지에 동기하여, 입력 신호 IRDT를 출력 신호 ORDT로서 출력한다. 인버터(302)는 클럭 신호 ICLK를 논리 반전(위상 반전)하여 클럭 신호 OCLK를 출력한다. 이 결과, 클럭 신호 ICLK 및 OCLK는, 서로 위상이 반전되기 때문에, 크로스토크 및 EMI의 작용을 상쇄한다. 또한, 신호 IRDT 및 ORDT는, 변화점이 시간적으로 어긋나 있기 때문에, 크로스토크 및 EMI의 피크를 시간적으로 분산시켜, 완화시킬 수 있다. 이상의 작용에 의해, 전체적으로 크로스토크 및 EMI에 의한 악영향을 방지할 수 있다.
- <48> 도 5는 도 3의 (a)의 인버터(302)가 없을 때의 타이밍도로, 도 4와 비교하여 설명한다. 실제로는, 인버터(302)를 없애거나, 인버터(302)를 대신해서 버퍼를 배치하는 것을 생각할 수 있다. 또한, 도면의 간략화를 위해, 플립플롭이 상승 에지에 동기하여 동작하는 경우를 예로하여 설명하지만, 하강 에지에 동기하는 경우도 마찬가지이다. 이 경우, 클럭 신호 OCLK는 클럭 신호 ICLK와 동일한 위상을 갖는다. 또한, 신호 IRDT 및 ORDT의 변화점이 동일하게 된다. 이 결과, 클럭 신호 ICLK 및 OCLK는, 서로 위상이 동일하기 때문에, 그 상승 에지 및 하강 에지에서 크로스토크 및 EMI의 피크가 증대된다. 또한, 신호 IRDT 및 ORDT는, 변화점이 동일하게 되기 때문에, 그 변화점에서 크로스토크 및 EMI의 피크가 증대된다.
- <49> 본 실시예에 따르면, 인버터(302)를 배치함으로써, 도 4에 도시한 바와 같이, 클럭 신호 ICLK 및 OCLK의 위상이 반전되어, 신호 IRDT 및 ORDT의 변화점이 어긋나기 때문에, 크로스토크 및 EMI를 방지할 수 있다.
- <50> 도 3의 (b)는 타이밍 조정 회로(210b)의 다른 구성예를 나타낸다. 여기서는, 도 3의 (a)의 인버터(302) 대신에 인버터(303)를 접속한다. 인버터(303)는, 입력 단자에 클럭 신호 ICLK의 라인이 접속되고, 출력 단자에 클럭 신호 OCLK를 출력하기 위한 라인이 접속된다. 플립플롭(301)은, 클럭 단자 CLK에 인버터(303)의 출력 단자가 접속되고, 입력 단자 D에 입력 신호 IRDT의 라인이 접속되며, 출력 단자 Q에 출력 신호 ORDT를 출력하기 위한 라인이 접속된다. 도 3의 (a)의 회로는 인버터(302)가 출력단에 배치되는데 비하여, 도 3의 (b)의 회로는 인버터(303)가 입력단에 배치된다. 도 3의 (b)의 회로의 동작은 도 4와 동일하다.
- <51> 도 3의 (c)는 타이밍 조정 회로(210b)의 또 다른 구성예를 나타낸다. 이 회로는 도 3의 (a)의 회로에 버퍼(304)를 배치한 것이다. 버퍼(304)는, 입력 단자에 플립플롭(301)의 출력 단자 Q가 접속되고, 출력 단자에 클럭 신호 ORDT를 출력하기 위한 라인이 접속된다. 버퍼(304)는, 인버터(302)에 대응하여, 출력 신호 ORDT의 지연 시간을 조정하기 위한 것이다. 또한, 마찬가지로, 도 3의 (b)의 회로에 버퍼(304)를 추가해도 된다.
- <52> (제2 실시예)
- <53> 본 발명의 제2 실시예에 의한 액정 표시 장치는, 도 1 및 도 2에 도시하는 구성과 기본적으로 동일하고, 타이밍 조정 회로(210a~210f)의 내부 구성만이 다르다. 이하, 타이밍 조정 회로(210b)를 예로서 설명한다.
- <54> 도 6의 (a)는 본 실시예에 의한 타이밍 조정 회로(210b)의 구성예를 나타낸다. 이 회로는 도 3의 (a)의 회로에 버퍼(601)를 추가한 것이다. 버퍼(601)는, 입력 단자에 클럭 신호 ICLK의 라인이 접속되고, 출력 단자에 클럭 신호 BCLK의 라인이 접속된다. 버퍼(601)는, 클럭 신호 ICLK를 증폭하여 클럭 신호 BCLK로서 출력한다.

- <55> 도 7에 도시한 바와 같이, 입력 클럭 신호 ICLK를 기준으로 하면, 클럭 신호 OCLK는 반전 클럭 신호이고, 클럭 신호 BCLK는 비반전 클럭 신호이다. 클럭 신호 OCLK 및 BCLK는 서로 위상이 반전된 신호이다. 클럭 신호 OCLK 및 BCLK의 라인을 상호 근접시켜 도 1의 TAB(106) 및 프린트 기판(105) 상에 배선함으로써, 양자의 크로스토크 및 EMI에 의한 작용이 상쇄되어, 크로스토크 및 EMI에 의한 악영향을 보다 더 방지할 수 있다. 또한, 클럭 신호 BCLK는 더미 라인으로, 회로 동작에는 사용되지 않는다.
- <56> 다음단의 소스 드라이버 유닛(107)의 플립플롭(301)의 클럭 단자 CLK에는, 전단의 소스 드라이버 유닛(107)의 클럭 신호 OCLK의 라인이 접속된다. 또한, 클럭 신호 BCLK는, 클럭 신호 OCLK에 대하여 위상 반전되면 되기 때문에, 버퍼(601)는 반드시 필요한 것은 아니다. 그 경우, 신호 ICLK의 라인은 신호 BCLK의 라인에 직접 접속된다.
- <57> 도 6의 (b)는 본 실시예에 의한 타이밍 조정 회로(210b)의 다른 구성예를 나타낸다. 이 회로는, 도 6의 (a)와 같이, 도 3의 (b)의 회로에 버퍼(602)를 배치한 것이다. 버퍼(602)는, 입력 단자에 클럭 신호 ICLK의 라인이 접속되고, 출력 단자에 클럭 신호 BCLK의 라인이 접속된다. 버퍼(602)는 클럭 신호 ICLK를 증폭하여 클럭 신호 BCLK로서 출력한다. 이 회로의 동작은 도 7의 타이밍도와 동일하다. 클럭 신호 OCLK 및 BCLK가 서로 위상이 반전되고 있기 때문에, 크로스토크 및 EMI에 의한 악영향을 보다 더 방지할 수 있다.
- <58> (제3 실시예)
- <59> 본 발명의 제3 실시예에 의한 액정 표시 장치는, 도 1 및 도 2에 도시하는 구성과 기본적으로 동일하고, 타이밍 조정 회로(210a~210f)의 내부 구성만이 서로 다르다. 이하, 타이밍 조정 회로(210b)를 예로서 설명한다.
- <60> 도 8의 (a) 및 (b)는, 본 실시예에 의한 타이밍 조정 회로(210b)의 구성예를 나타낸다. 소스 드라이버 중, 짝수번째 소스 드라이버 유닛(107)은 도 8의 (a)의 구성을 갖고 홀수번째 소스 드라이버 유닛(107)은 도 8의 (b)의 구성을 갖는다.
- <61> 먼저, 도 8의 (a)의 짝수번째 소스 드라이버 유닛(107)의 타이밍 조정 회로(210b)의 구성예를 설명한다. 플립플롭(801)은, 클럭 단자 CLK에 클럭 신호 ICLK의 라인이 접속되고, 입력 단자 D에 입력 신호 IRDT의 라인이 접속되고, 출력 단자 Q에 출력 신호 ORDT의 라인이 접속된다. 여기서, 플립플롭(801)은, 클럭 단자 CLK에 입력되는 클럭 신호 ICLK의 하강 에지에 동기하여 동작한다. 버퍼(802)는, 입력 단자에 클럭 신호 ICLK의 라인이 접속되고, 출력 단자에 클럭 신호 OCLK의 라인이 접속된다.
- <62> 도 9의 (a)는, 도 8의 (a)의 회로의 동작을 설명하기 위한 타이밍도이다. 플립플롭(801)은, 클럭 신호 ICLK의 하강 에지에 동기하여, 입력 신호 IRDT를 출력 신호 ORDT로서 출력한다. 버퍼(802)는 클럭 신호 ICLK를 동상으로 증폭하여 클럭 신호 OCLK로서 출력한다.
- <63> 다음으로, 도 8의 (b)의 홀수번째 소스 드라이버 유닛(107)의 타이밍 조정 회로(210b)의 구성예를 설명한다. 도 8의 (b)의 회로는 도 8의 (a)의 플립플롭(801) 대신에 플립플롭(803)을 배치한 것이다. 플립플롭(803)은 클럭 단자 CLK에 입력되는 클럭 신호 ICLK의 상승 에지에 동기하여 동작한다.
- <64> 도 9의 (b)는, 도 8의 (b)의 회로의 동작을 설명하기 위한 타이밍도이다. 플립플롭(803)은 클럭 신호 ICLK의 상승 에지에 동기하여, 입력 신호 IRDT를 출력 신호 ORDT로서 출력한다. 버퍼(802)는 클럭 신호 ICLK를 동상으로 증폭하여 클럭 신호 OCLK로서 출력한다.
- <65> 짝수번째 소스 드라이버 유닛(107)과 홀수번째 소스 드라이버 유닛(107)은 교대로 캐스캐이드 접속된다. 도 8의 (a)의 짝수번째 회로는 도 9의 (a)에 도시한 바와 같이 클럭 신호 ICLK의 하강 에지에 동기하여 동작하고, 도 8의 (b)의 홀수번째 회로는 도 9의 (b)에 도시한 바와 같이 클럭 신호 ICLK의 상승 에지에 동기하여 동작한다. 그 결과, 짝수번째 회로의 출력 신호 ORDT(도 9의 (a))와 홀수번째 회로의 출력 신호 ORDT(도 9의 (b))는 변화점이 서로 어긋난다. 이에 따라, 크로스토크 및 EMI의 피크가 분산되어, 크로스토크 및 EMI에 의한 악영향을 방지할 수 있다.
- <66> 또한, 도 8의 (a) 및 (b)에 도시한 바와 같이, 도 3의 (c)와 마찬가지로, 출력 신호 ORDT의 지연 시간을 조정하기 위한 버퍼(804)를 배치하여도 된다. 버퍼(804)는, 입력 단자에 플립플롭(801 및 803)의 출력 단자 Q가 접속되고, 출력 단자에 출력 신호 ORDT의 라인이 접속된다. 또한, 버퍼(802 및 804)의 쌍방을 제거해도 된다. 그 경우, 클럭 신호 ICLK의 라인은 클럭 신호 OCLK의 라인에 직접 접속된다. 또한, 도 8의 (a)의 짝수번째 회로의 플립플롭(801)이 클럭 신호 ICLK의 상승 에지에 동기하여 동작하고, 도 8의 (b)의 홀수번째 회로의 플립플롭(803)이 클럭 신호 ICLK의 하강 에지에 동기하여 동작하여도 된다. 양자의 플립플롭이 다른 방향의 에지에 동

기하여 동작하면 된다.

- <67> 소스 드라이버 유닛(107)을 TAB(106) 상에 형성하는 경우에는, 모든 소스 드라이버 유닛(107)을 동일한 구성으로 할 필요가 있다. 따라서, 도 8의 (a)의 회로와 도 8의 (b)의 회로를 전환하기 위한 핀을 배치한다. 핀의 위치에 따라 하이 레벨 또는 로우 레벨의 제어 신호가 공급되고, 그 제어 신호에 따라 도 8의 (a)의 회로 또는 도 8의 (b)의 회로로 전환하도록 하면 된다. 구체적으로는, 제어 신호에 따라, 플립플롭이 상승 에지 또는 하강 에지 중 어느 하나에 동기하여 동작하도록 전환한다. 또한, 소스 드라이버 유닛(107)을 TAB(106) 상에 형성하는 경우에 한정되지 않는다. COG(chip on glass)에 의해, 도 1의 TFT 기판(101) 상에, 소스 드라이버 유닛(107)을 형성해도 된다. 소스 드라이버 유닛(107)은 반도체 칩이고, TFT 기판은 유리 기판이다.
- <68> 이상과 같이, 제1 및 제2 실시예에 따르면, 인버터가, 입력 클럭 신호 ICLK를 반전하여, 다음단의 소스 드라이버 유닛에 출력 클럭 신호 OCLK로서 출력한다. 이에 의해, 짝수번째 소스 드라이버 유닛과 홀수번째 소스 드라이버 유닛에서는, 클럭 신호가 반전되고 있다. 이들 비반전 클럭 신호와 반전 클럭 신호는, 상호 상쇄되어, 크로스토크 및/또는 EMI의 악영향을 방지할 수 있다. 또한, 짝수번째 소스 드라이버 유닛과 홀수번째 소스 드라이버 유닛에서는, 출력 신호 ORDT의 시간적 변화점이 서로 다르다. 이에 따라, 출력 신호의 변화점이 시간적으로 분산되어, 크로스토크 및/또는 EMI의 악영향을 방지할 수 있다.
- <69> 제3 실시예에 따르면, 짝수번째 소스 드라이버 유닛은 클럭 신호 ICLK의 하강 에지 또는 상승 에지 중 어느 하나에 동기하여 동작하고, 홀수번째 소스 드라이버 유닛은 그것과는 다른 클럭 신호 ICLK의 상승 에지 또는 하강 에지 중 어느 하나에 동기하여 동작한다. 그 결과, 짝수번째 및 홀수번째의 소스 드라이버 유닛의 출력 신호 ORDT는 서로 변화점이 어긋난다. 이에 의해, 크로스토크 및 EMI의 피크가 분산되어, 크로스토크 및 EMI에 의한 악영향을 방지할 수 있다.
- <70> 상기 실시예는, 본 발명을 실시하는데 있어서의 구체예를 나타낸 것에 지나지 않고, 이들에 의해서 본 발명의 기술적 범위가 한정적으로 해석되어서는 안된다. 즉, 본 발명은 그 기술사상, 또는 그 주요한 특징으로부터 이탈하지 않고, 여러가지 형태로 실시할 수 있다.
- <71> 본 발명의 실시예는, 예를 들면 이하와 같이 여러가지의 적용이 가능하다.
- <72> (부기 1) 게이트, 소스 및 드레인을 포함하는 복수의 트랜지스터를 갖는 트랜지스터 기판과,
- <73> 공통 전극을 포함하며, 액정을 개재하여 상기 트랜지스터 기판에 대향하여 배치되는 공통 기판과,
- <74> 상기 복수의 트랜지스터의 게이트를 구동하기 위한 게이트 드라이버와,
- <75> 복수의 소스 드라이버 유닛이 캐스케이드 접속되어, 상기 복수의 트랜지스터의 소스를 구동하기 위한 소스 드라이버를 포함하며,
- <76> 상기 각 소스 드라이버 유닛은,
- <77> 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되고, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 플립플롭과,
- <78> 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 인버터와,
- <79> 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 상기 트랜지스터 기판의 트랜지스터의 소스로 신호를 출력하기 위한 출력 회로
- <80> 를 갖는 액정 표시 장치.
- <81> (부기 2) 상기 플립플롭의 출력 단자가 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 지연 시간 조정을 위한 버퍼를 더 구비하는 부기 1에 기재된 액정 표시 장치.
- <82> (부기 3) 상기 인버터가 출력하는 반전 클럭 신호를 다음단의 소스 드라이버 유닛 또는 외부로 출력하기 위한 제1 출력 라인과,
- <83> 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 비반전 클럭 신호를 다음단의 소스 드

라이버 유닛 또는 외부로 출력하기 위한 제2 출력 라인을 더 구비하며,

<84> 상기 플립플롭은, 전단의 소스 드라이버 유닛의 제1 출력 라인 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되는 부기 1에 기재된 액정 표시 장치.

<85> (부기 4) 상기 플립플롭의 입력 단자에는 표시 데이터 또는 제어 신호가 입력되는 부기 1에 기재된 액정 표시 장치.

<86> (부기 5) 복수의 드라이버 유닛이 캐스케이드 접속되는 액정 표시 장치의 드라이버에 있어서,

<87> 상기 각 드라이버 유닛은,

<88> 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되고, 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호의 라인이 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 플립플롭과,

<89> 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 인버터와,

<90> 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 액정 표시 장치의 구동 소자에 신호를 출력하기 위한 출력 회로

<91> 를 포함하는 액정 표시 장치의 드라이버.

<92> (부기 6) 상기 플립플롭의 출력 단자가 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 지연 시간 조정을 위한 버퍼를 더 구비하는 부기 5에 기재된 액정 표시 장치의 드라이버.

<93> (부기 7) 상기 인버터가 출력하는 반전 클럭 신호를 다음단의 드라이버 유닛 또는 외부로 출력하기 위한 제1 출력 라인과,

<94> 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 비반전 클럭 신호를 다음단의 드라이버 유닛 또는 외부로 출력하기 위한 제2 출력 라인을 더 구비하며,

<95> 상기 플립플롭은, 전단의 드라이버 유닛의 제1 출력 라인 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되는 부기 5에 기재된 액정 표시 장치의 드라이버.

<96> (부기 8) 상기 플립플롭의 입력 단자에는 표시 데이터 또는 제어 신호가 입력되는 부기 5에 기재된 액정 표시 장치의 드라이버.

<97> (부기 9) 게이트, 소스 및 드레인을 포함하는 복수의 트랜지스터를 갖는 트랜지스터 기판과,

<98> 공통 전극을 포함하며, 액정을 개재하여 상기 트랜지스터 기판에 대향하여 배치되는 공통 기판과,

<99> 상기 복수의 트랜지스터의 게이트를 구동하기 위한 게이트 드라이버와,

<100> 복수의 소스 드라이버 유닛이 캐스케이드 접속되어, 상기 복수의 트랜지스터의 소스를 구동하기 위한 소스 드라이버를 포함하며,

<101> 상기 각 소스 드라이버 유닛은,

<102> 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 인버터와,

<103> 상기 인버터의 출력 단자가 클럭 단자에 접속되고, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 플립플롭과,

<104> 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 상기 트랜지스터 기판의 트랜지스터의 소스에 신호를 출력하기 위한 출력 회로

<105> 를 갖는 액정 표시 장치.

<106> (부기 10) 상기 플립플롭의 출력 단자가 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 출력

신호를 출력하기 위한 라인이 출력 단자에 접속되는 지연 시간 조정을 위한 버퍼를 더 구비하는 부기 9에 기재된 액정 표시 장치.

- <107> (부기 11) 상기 인버터가 출력하는 반전 클럭 신호를 다음단의 소스 드라이버 유닛 또는 외부로 출력하기 위한 제1 출력 라인과,
- <108> 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 비반전 클럭 신호를 다음단의 소스 드라이버 유닛 또는 외부로 출력하기 위한 제2 출력 라인을 더 구비하며,
- <109> 상기 플립플롭은, 전단의 소스 드라이버 유닛의 제1 출력 라인 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되는 부기 9에 기재된 액정 표시 장치.
- <110> (부기 12) 상기 플립플롭의 입력 단자에는 표시 데이터 또는 제어 신호가 입력되는 부기 9에 기재된 액정 표시 장치.
- <111> (부기 13) 복수의 드라이버 유닛이 캐스케이드 접속되는 액정 표시 장치의 드라이버에 있어서,
- <112> 상기 각 드라이버 유닛은,
- <113> 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 인버터와,
- <114> 상기 인버터의 출력 단자가 클럭 단자에 접속되고, 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호의 라인이 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 플립플롭과,
- <115> 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 액정 표시 장치의 구동 소자에 신호를 출력하기 위한 출력 회로
- <116> 를 포함하는 액정 표시 장치의 드라이버.
- <117> (부기 14) 상기 플립플롭의 출력 단자가 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 지연 시간 조정을 위한 버퍼를 더 구비하는 부기 13에 기재된 액정 표시 장치의 드라이버.
- <118> (부기 15) 상기 인버터가 출력하는 반전 클럭 신호를 다음단의 드라이버 유닛 또는 외부로 출력하기 위한 제1 출력 라인과,
- <119> 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 비반전 클럭 신호를 다음단의 드라이버 유닛 또는 외부로 출력하기 위한 제2 출력 라인을 더 구비하며,
- <120> 상기 플립플롭은, 전단의 드라이버 유닛의 제1 출력 라인 또는 외부로부터 입력되는 클럭 신호의 라인이 클럭 단자에 접속되는 부기 13에 기재된 액정 표시 장치의 드라이버.
- <121> (부기 16) 상기 플립플롭의 입력 단자에는 표시 데이터 또는 제어 신호가 입력되는 부기 13에 기재된 액정 표시 장치의 드라이버.
- <122> (부기 17) 게이트, 소스 및 드레인을 포함하는 복수의 트랜지스터를 갖는 트랜지스터 기판과,
- <123> 공통 전극을 포함하여, 액정을 개재하여 상기 트랜지스터 기판에 대향하여 배치되는 공통 기판과,
- <124> 상기 복수의 트랜지스터의 게이트를 구동하기 위한 게이트 드라이버와,
- <125> 복수의 소스 드라이버 유닛이 캐스케이드 접속되어, 상기 복수의 트랜지스터의 소스를 구동하기 위한 소스 드라이버를 포함하며,
- <126> 상기 소스 드라이버 내의 짝수번째 소스 드라이버 유닛은,
- <127> 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 상승 에지 또는 하강 에지 중 어느 하나의 에지에 동기하여, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 플립플롭과,
- <128> 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 상기 트랜지스터 기판의 트랜지

스터의 소스에 신호를 출력하기 위한 출력 회로를 갖고,

- <129> 상기 소스 드라이버 내의 홀수번째 소스 드라이버 유닛은,
- <130> 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 하강 에지 또는 상승 에지 중 어느 하나의 에지이고, 상기 짝수번째 소스 드라이버 유닛의 플립플롭과는 다른 에지에 동기하여, 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 플립플롭과,
- <131> 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 상기 트랜지스터 기관의 트랜지스터의 소스에 신호를 출력하기 위한 출력 회로
- <132> 를 갖는 액정 표시 장치.
- <133> (부기 18) 상기 전단의 소스 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 증폭용 버퍼를 더 구비하는 부기 17에 기재된 액정 표시 장치.
- <134> (부기 19) 상기 플립플롭의 출력 단자가 입력 단자에 접속되고, 다음단의 소스 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 지연 시간 조정용 버퍼를 더 구비하는 부기 18에 기재된 액정 표시 장치.
- <135> (부기 20) 상기 플립플롭의 입력 단자에는 표시 데이터 또는 제어 신호가 입력되는 부기 17에 기재된 액정 표시 장치.
- <136> (부기 21) 짝수번째 및 홀수번째의 드라이버 유닛이 교대로 캐스케이드 접속되는 액정 표시 장치의 드라이버에 있어서,
- <137> 상기 짝수번째 드라이버 유닛은,
- <138> 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 상승 에지 또는 하강 에지 중 어느 하나의 에지에 동기하여, 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 플립플롭과,
- <139> 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 액정 표시 장치의 구동 소자에 신호를 출력하기 위한 출력 회로를 포함하며,
- <140> 상기 홀수번째 드라이버 유닛은,
- <141> 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 하강 에지 또는 상승 에지 중 어느 하나의 에지이고, 상기 짝수번째 드라이버 유닛의 플립플롭과는 다른 에지에 동기하여, 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 플립플롭과,
- <142> 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 입력 신호에 따라, 액정 표시 장치의 구동 소자에 신호를 출력하기 위한 출력 회로
- <143> 를 포함하는 액정 표시 장치의 드라이버.
- <144> (부기 22) 상기 전단의 드라이버 유닛 또는 외부로부터 입력되는 클럭 신호의 라인이 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 클럭 신호를 출력하기 위한 라인이 출력 단자에 접속되는 증폭용 버퍼를 더 구비하는 부기 21에 기재된 액정 표시 장치의 드라이버.
- <145> (부기 23) 상기 플립플롭의 출력 단자가 입력 단자에 접속되고, 다음단의 드라이버 유닛 또는 외부로 출력 신호를 출력하기 위한 라인이 출력 단자에 접속되는 지연 시간 조정을 위한 버퍼를 더 구비하는 부기 22에 기재된 액정 표시 장치의 드라이버.
- <146> (부기 24) 상기 플립플롭의 입력 단자에는 표시 데이터 또는 제어 신호가 입력되는 부기 21에 기재된 액정 표시 장치의 드라이버.

발명의 효과

- <147> 이상 설명한 바와 같이, 인버터는 입력 클럭 신호를 반전하여 다음단의 소스 드라이버 유닛으로 출력한다. 이

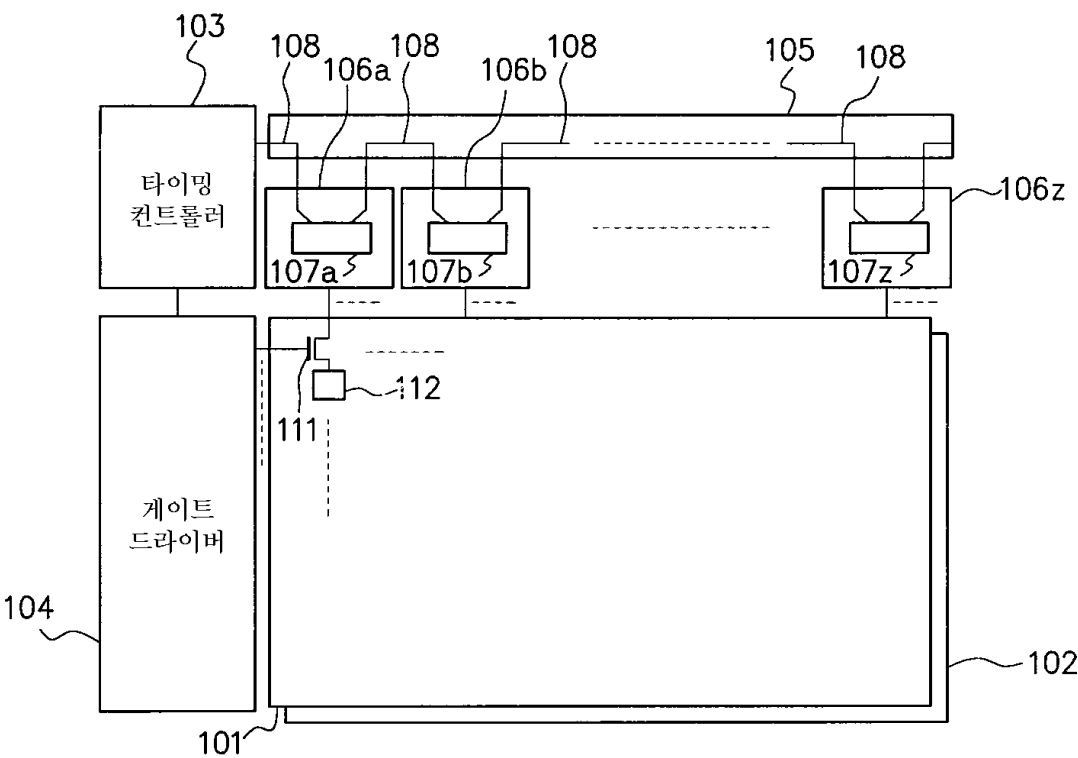
에 의해, 짝수번째 소스 드라이버 유닛과 홀수번째 소스 드라이버 유닛에서 클럭 신호가 반전하고 있다. 이들 비반전 클럭 신호와 반전 클럭 신호는, 상호 상쇄되어, 크로스토크 및/또는 EMI의 악영향을 방지할 수 있다. 또한, 짝수번째 소스 드라이버 유닛과 홀수번째 소스 드라이버 유닛에서는, 플립플롭이 서로 반전한 클럭 신호에 동기하여 동작하기 때문에, 출력 신호의 변화점이 서로 다르다. 이에 의해, 출력 신호의 시간적 변화점이 분산되어, 크로스토크 및/또는 EMI의 악영향을 방지할 수 있다.

도면의 간단한 설명

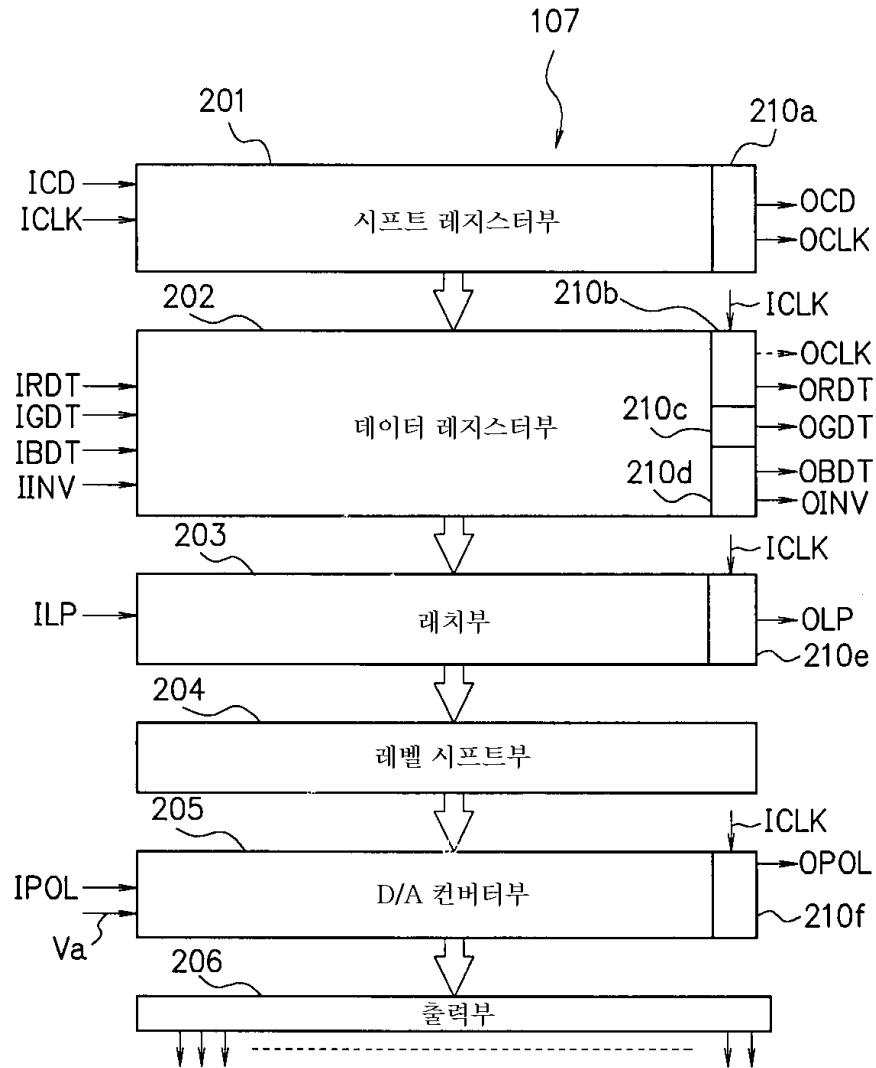
- <1> 도 1은 본 발명의 제1 실시예에 의한 액정 표시 장치의 구성을 도시하는 블록도
- <2> 도 2는 소스 드라이버 유닛의 구성을 도시하는 블록도
- <3> 도 3의 (a) 내지 (c)는 제1 실시예에 의한 타이밍 조정 회로의 구성예를 도시하는 회로도
- <4> 도 4는 도 3의 (a)의 타이밍 조정 회로의 동작을 설명하기 위한 타이밍도
- <5> 도 5는 도 3의 (a)의 타이밍 조정 회로의 효과를 설명하기 위한 참고 타이밍도
- <6> 도 6의 (a) 및 (b)는 본 발명의 제2 실시예에 의한 타이밍 조정 회로의 구성예를 도시하는 회로도
- <7> 도 7은 도 6의 (a)의 타이밍 조정 회로의 동작을 설명하기 위한 타이밍도
- <8> 도 8의 (a) 및 (b)는 본 발명의 제3 실시예에 의한 타이밍 조정 회로의 구성예를 도시하는 회로도
- <9> 도 9의 (a) 및 (b)는 도 8의 (a) 및 (b)의 타이밍 조정 회로의 동작을 설명하기 위한 타이밍도
- <10> <도면의 주요 부분에 대한 부호의 설명>
- <11> 101 : TFT 기관
- <12> 102 : 공통 기관
- <13> 103 : 타이밍 컨트롤러
- <14> 104 : 게이트 드라이버
- <15> 105 : 프린트 기관
- <16> 106a~106z : TAB
- <17> 107a~107z : 소스 드라이버 유닛
- <18> 108 : 배선
- <19> 111 : MOS 트랜지스터
- <20> 112 : 화소 전극
- <21> 201 : 시프트 레지스터부
- <22> 202 : 데이터 레지스터부
- <23> 203 : 래치부
- <24> 204 : 레벨 시프트부
- <25> 205 : D/A 컨버터부
- <26> 206 : 출력부

도면

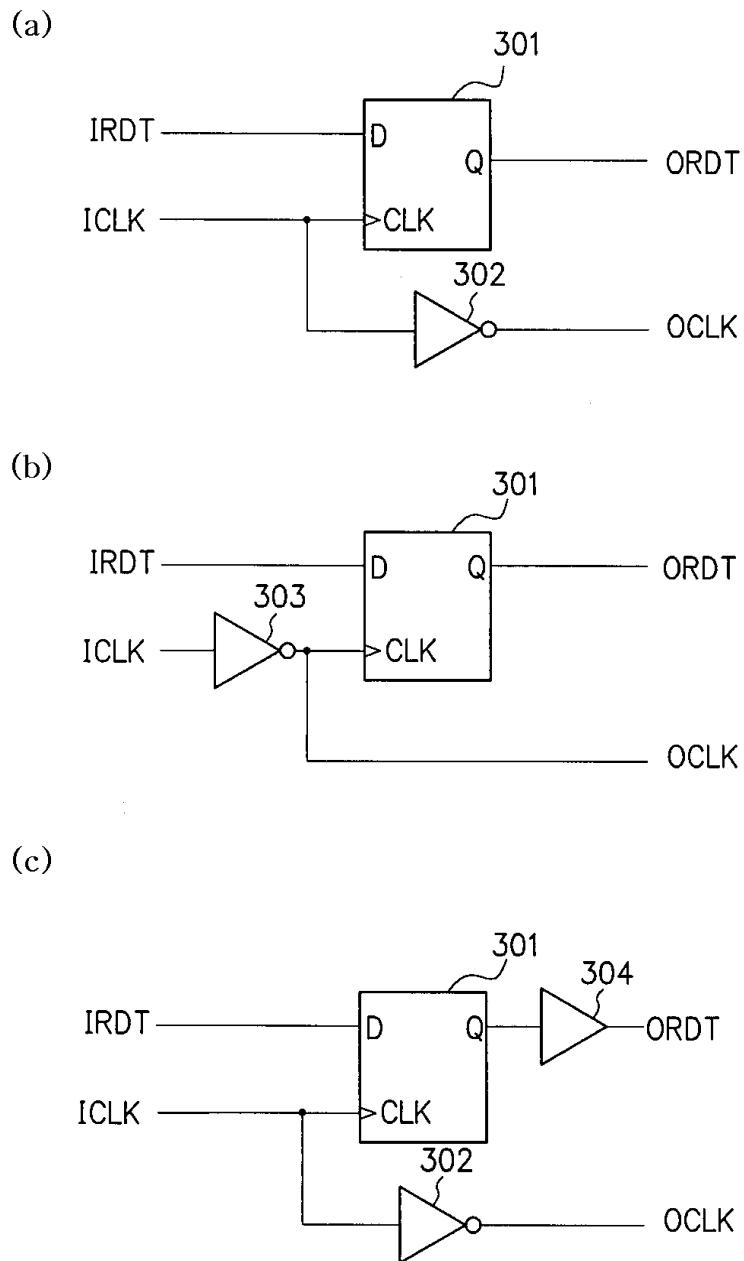
도면1



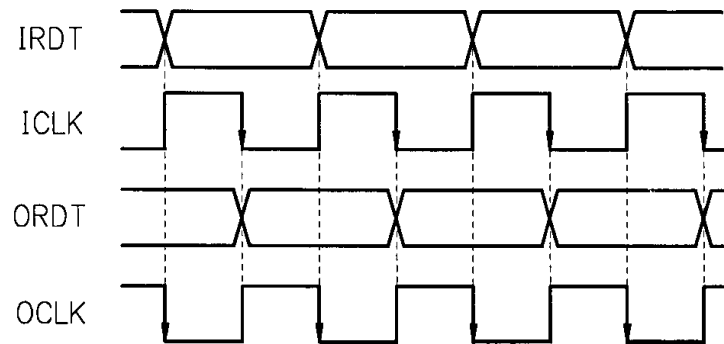
도면2



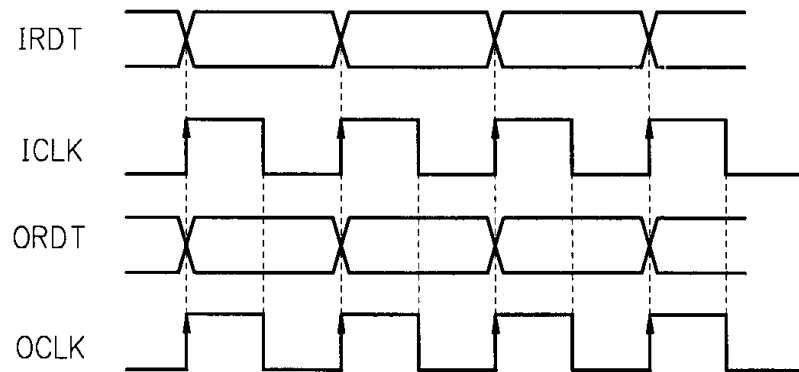
도면3



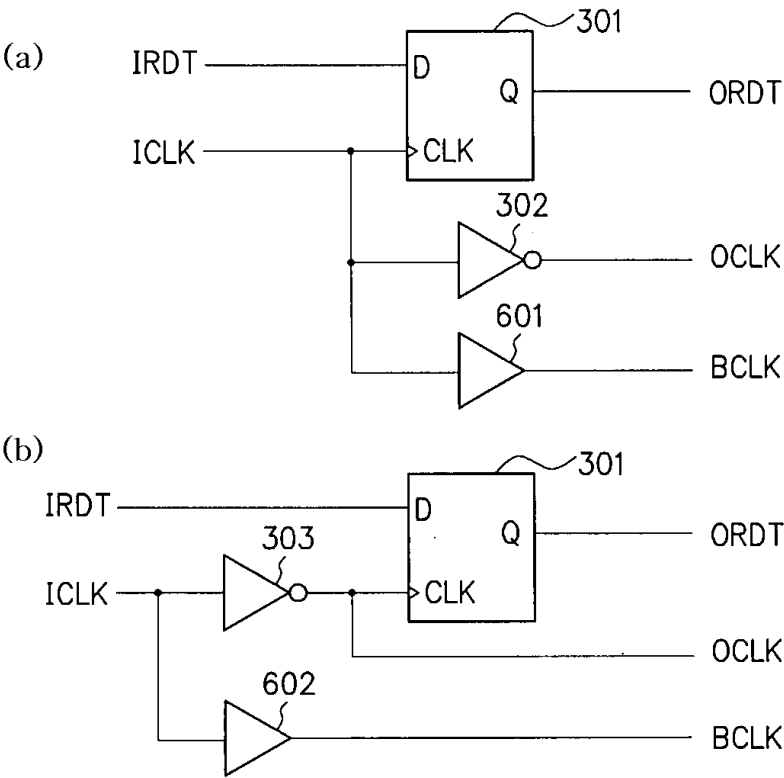
도면4



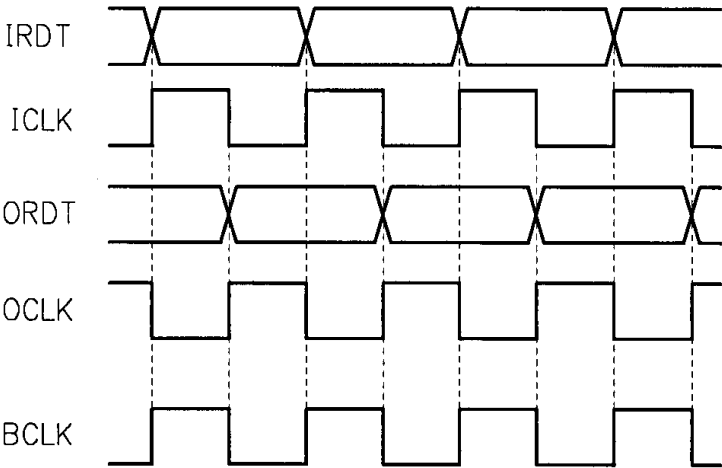
도면5



도면6

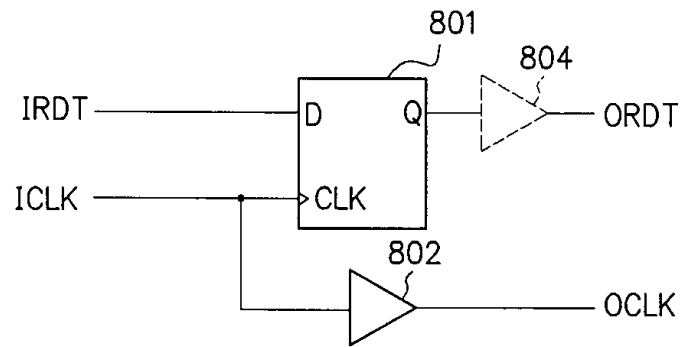


도면7

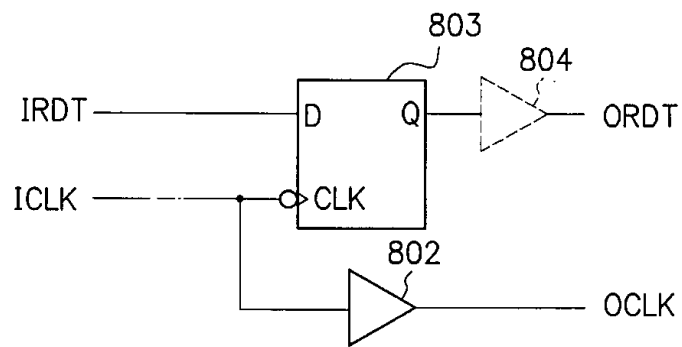


도면8

(a)

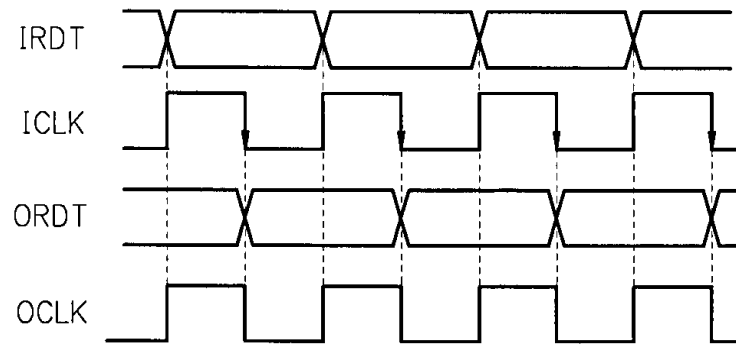


(b)

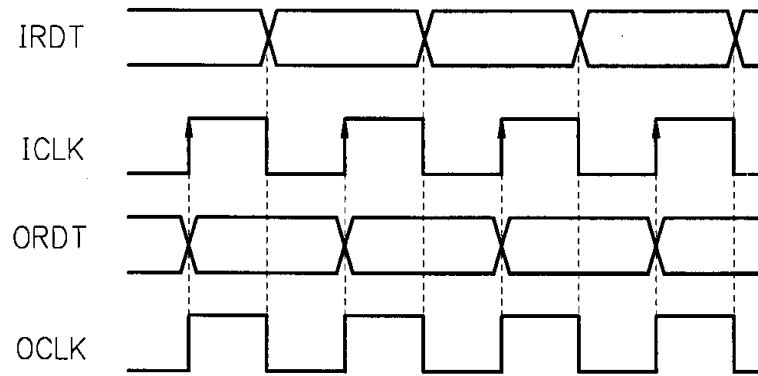


도면9

(a)



(b)



专利名称(译)	液晶显示装置及其驱动器		
公开(公告)号	KR100764961B1	公开(公告)日	2007-10-08
申请号	KR1020030017423	申请日	2003-03-20
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SEKIDO SATOSHI 세끼도사또시 FUKUTOKU SYOICHI 후쿠토쿠쇼이찌 HIRAKI KATSUYOSHI 히라키가쓰요시		
发明人	세끼도사또시 후쿠토쿠쇼이찌 히라키가쓰요시		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/20 G09G2300/0426 G09G2310/027 G09G2310/08 G09G2320/0209 G09G2330/06		
代理人(译)	CHU,晟敏 CHANG, SOO KIL		
优先权	2002096903 2002-03-29 JP		
其他公开文献	KR1020030078655A		
外部链接	Espacenet		

摘要(译)

提供了一种用于防止串扰和/或EMI的不良影响的液晶显示器。提供了具有多个晶体管的晶体管板(101)，包括栅极，源极和漏极以及公共衬底(102)，其布置在公共电极面对晶体管板中它设置的液晶包括公共电极和栅极驱动器(104)，用于驱动多个晶体管的栅极和液晶显示器，多个源极驱动器单元(107a~107z)以级联方式连接，并包括用于驱动多个源极的源极驱动器晶体管。每个源驱动器单元具有触发器，其操作它在时钟信号和反相器中同步，用于反转时钟信号并在下一级的源驱动器单元中输出。串扰，公共电极，源极驱动器，级联。

