(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G02F 1/1343 (2006.01)

(45) 공고일자 2007년03월02일
(11) 등록번호 10-0689357
(24) 등록일자 2007년02월23일

(21) 출원번호 10-2004-0086508
(22) 출원일자 2004년10월28일
심사청구일자 2004년10월28일

(65) 공개번호 10-2005-0043629
(43) 공개일자 2005년05월11일

(30) 우선권주장 JP-P-2003-00375935 2003년11월05일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.
일본 가나가와껭 가와사끼시 나까하라구 시모누마베 1753

(72) 발명자 이노우에다이스케
일본국 카나가와켄 카와사키시 나카하라쿠 시모누마베 1753 엔이씨엘씨디 테크놀로지스, 엘티디.

니시다신이치
일본국 카나가와켄 카와사키시 나카하라쿠 시모누마베 1753 엔이씨엘씨디 테크놀로지스, 엘티디.

(74) 대리인 최달용

심사관 : 윤성주

전체 청구항 수 : 총 10 항

(54) 액정 디스플레이 장치 및 그 제조 방법

(57) 요약

횡전계 방식 액정 디스플레이 장치는 공통 전극과 화소 전극의 세로 방향과 배향층의 연마 방향에 의해 규정된 각도를 10 내지 20°로 설정하고, 셀갭(d)을 2.7㎛ 이하로 설정하고, 액정층을 구성하는 액정의 유전 이방성(Δε)을 8 내지 20으로 설정하고, 백색 표시시 화소 전극에 인가되는 백색 전압(V_{white}(V))을 4 내지 7V로 설정하고, 상기 백색 전압(V_{white}(V)), 액정의 유전 이방성(Δε), 셀갭(d㎛), 및 공통 전극과 화소 전극 사이의 간격(L㎛)이 다음 식을 충족하도록 설계된다.

$$11.8 > \frac{V_{white}}{d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}} > 9.8$$

대표도

도 1

특허청구의 범위

청구항 1.

액정 디스플레이 장치에 있어서,

서로 대면하도록 배치된 제 1 및 제 2의 기판;

상기 제 2의 기판측 상에 배치된 상기 제 1의 기판의 면상에 마련된 절연층;

상기 절연층 상에 형성된 공통 전극;

상기 공통 전극에 평행하게 되도록 상기 절연층 상에 형성된 화소 전극;

상기 절연층, 상기 화소 전극과 공통 전극을 피복하도록 마련되고, 상기 화소 전극과 상기 공통 전극의 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향 처리된 제 1의 배향층;

상기 제 1의 기판측 상에 배치된 상기 제 2의 기판의 면상에 마련되고, 상기 화소 전극과 상기 공통 전극의 상기 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향처리된 제 2의 배향층; 및

상기 제 1의 배향층과 상기 제 2의 배향층 사이에 배치되고, 8 내지 20의 유전 이방성을 갖는 액정으로 이루어진 액정층을 포함하며,

상기 제 1의 배향층과 상기 제 2의 배향층 사이의 거리는 2.7㎛ 이하이고, 백색 표시시 4 내지 7V의 전압이 상기 화소 전극에 인가되고, 다음 식이 충족되며;

$$11.8 > \frac{V_{white}}{d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}} > 9.8$$

V_{white}(V)는 백색 표시시 상기 화소 전극에 인가되는 상기 전압이고, Δε은 상기 액정의 상기 유전 이방성이고, d(㎛)는 상기 제 1의 배향층과 상기 제 2의 배향층 사이의 상기 거리이며, L(㎛)는 상기 화소 전극과 상기 공통 전극 사이의 간격인 것을 특징으로 하는 액정 디스플레이 장치.

청구항 2.

제 1항에 있어서,

상기 화소 전극과 상기 공통 전극은 투명 도전층으로 이루어지는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 3.

액정 디스플레이 장치에 있어서,

서로 대면하도록 배치된 제 1 및 제 2의 기판;

상기 제 2의 기판측 상에 배치된 상기 제 1의 기판의 면상에 마련된 절연층;

하나는 상기 절연층 상에 형성되고 다른 하나는 상기 제 1의 기판과 성기 절연층 사이에 형성되고, 평면상으로 보아 서로 평행한 공통 전극과 화소 전극;

상기 절연층, 상기 화소 전극 또는 상기 공통 전극을 피복하도록 마련되고, 상기 화소 전극과 상기 공통 전극의 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향 처리된 제 1의 배향층;

상기 제 1의 기판측 상에 배치된 상기 제 2의 기판의 면상에 마련되고, 상기 화소 전극과 상기 공통 전극의 상기 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향처리된 제 2의 배향층; 및

상기 제 1의 배향층과 상기 제 2의 배향층 사이에 배치되고, 8 내지 20의 유전 이방성을 갖는 액정으로 이루어진 액정층을 포함하며,

상기 제 1의 배향층과 상기 제 2의 배향층 사이의 거리는 2.7㎛ 이하이고, 백색 표시시 4 내지 7V의 전압이 상기 화소 전극에 인가되고, 다음 식이 충족되며;

$$11.8 > \frac{V_{white}}{\left\{(1.0 + T/3.0) \times d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}\right\}} > 9.8$$

V_{white}(V)는 백색 표시시 상기 화소 전극에 인가되는 상기 전압이고, Δε은 상기 액정의 상기 유전 이방성이고, d(㎛)는 상기 제 1의 배향층과 상기 제 2의 배향층 사이의 상기 거리이며, L(㎛)는 상기 화소 전극과 상기 공통 전극 사이의 간격이며, T(㎛)는 상기 절연층의 두께인 것을 특징으로 하는 액정 디스플레이 장치.

청구항 4.

제 3항에 있어서,

상기 화소 전극과 상기 공통 전극은 투명 도전층으로 이루어지는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 5.

제 2항 또는 제 4항에 있어서,

상기 투명 도전층은 산화 인듐 주석층인 것을 특징으로 하는 액정 디스플레이 장치.

청구항 6.

액정 디스플레이 장치의 제조 방법에 있어서,

제 1의 기판 상에 절연층을 마련하고, 상기 절연층 상에 서로 평행하게 공통 전극과 화소 전극을 형성하고, 상기 절연층, 상기 화소 전극 및 상기 공통 전극을 피복하도록, 상기 화소 전극과 상기 공통 전극의 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향처리된 제 1의 배향층을 형성하는 단계;

상기 제 2의 기판 상에, 상기 화소 전극과 상기 공통 전극의 상기 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향 처리되도록 제 2의 배향층을 형성하는 단계; 및

상기 제 1의 배향층과 상기 제 2의 배향층 사이의 거리가 2.7㎛ 이하가 되도록 상기 제 1의 기판과 상기 제 2의 기판을 서로 대면하여 배치하고, 상기 제 1의 배향층과 상기 제 2의 배향층 사이에 8 내지 20의 유전 이방성을 갖는 액정을 배치하는 단계를 포함하고,

백색 표시시 4 내지 7V의 전압이 상기 화소 전극에 인가될 때, 백색 표시시 상기 화소 전극에 인가되는 상기 전압(V_{white}(V)), 상기 액정의 상기 유전 이방성(Δε), 상기 제 1의 배향층과 상기 제 2의 배향층 사이의 상기 거리(d㎛), 및 상기 화소 전극과 상기 공통 전극 사이의 간격(L㎛)은 다음 식을 만족하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

$$11.8 > \frac{V_{white}}{d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}} > 9.8$$

청구항 7.

제 6항에 있어서,

상기 화소 전극과 상기 공통 전극은 투명 도전층에 의해 형성되는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법

청구항 8.

액정 디스플레이 장치의 제조 방법에 있어서,

제 1의 기판 상에 절연층을 마련하고, 평면상으로 보아 서로 평행하게 되도록 공통 전극과 화소 전극중 하나는 상기 절연층 상에 형성하고 다른 하나는 상기 제 1의 기판과 상기 절연층 사이에 형성하며, 상기 절연층, 상기 화소 전극 또는 상기 공통 전극을 피복하도록 상기 화소 전극과 상기 공통 전극의 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향처리된 제 1의 배향층을 형성하는 단계;

상기 제 2의 기판 상에, 상기 화소 전극과 상기 공통 전극의 상기 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향처리된 제 2의 배향층을 형성하는 단계; 및

상기 제 1의 배향층과 상기 제 2의 배향층 사이의 거리가 2.7㎛ 이하가 되도록 상기 제 1의 기판과 상기 제 2의 기판을 대면하여 배치하고, 상기 제 1의 배향층과 상기 제 2의 배향층 사이에 8 내지 20의 유전 이방성을 갖는 액정을 배치하는 단계를 포함하고,

백색 표시시 상기 화소 전극에 4 내지 7V의 전압을 인가할 때, 백색 표시시 상기 화소 전극에 인가되는 전압(V_{white}(V)), 상기 액정의 유전 이방성(Δε), 상기 제 1의 배향층과 상기 제 2의 배향층 사이의 거리(d㎛), 및 상기 화소 전극과 상기 공통 전극 사이의 간격(L㎛), 및 상기 절연층의 두께(T㎛)는 다음 식을 충족시키는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

$$11.8 > \frac{V_{white}}{\left\{(1.0 + T/3.0) \times d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}\right\}} > 9.8$$

청구항 9.

제 8항에 있어서,

상기 화소 전극과 상기 공통 전극은 투명 도전층에 의해 형성되는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

청구항 10.

제 7항 또는 제 9항에 있어서,

상기 투명 도전층은 산화 인듐 주석층인 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

발명의 분야

본 발명은 기판면에 평행한 횡방향 전계를 사용하여 액정의 배열 방향을 제어함으로써 표시를 행하는 횡전계(IPS) 방식 액정 디스플레이 장치에 관한 것이다.

종래의 기술

최근, 액정 디스플레이 장치의 급속한 기술 성장으로 인해, 액정 디스플레이 장치에도 CRT(Cathode-Ray Tube) 디스플레이 장치의 비디오 성능만큼 높은 비디오 성능이 요구된다. 특히 IPS(In-Plane Switching) 액정 디스플레이 장치가 굉장히 넓은 시야각을 가지므로, TV에의 적용이 급속히 빨리 이루어지고 있다. IPS 액정 디스플레이 장치는 동화상 또는 비디오 영상을 적절히 표시하기 위해 응답 성능의 향상이 요구되고 있다.

일반적으로, 액정이 흑색 표시로부터 백색 표시로 전환하는 응답시간(τ_{on})과 액정이 백색 표시로부터 흑색 표시로 전환하는 응답시간(τ_{off})과의 합인 응답 속도 $\tau(\tau_{on}+\tau_{off})$가 응답 성능에 대한 지표로서 사용된다. IPS 액티브 매트릭스형 액정 디스플레이 장치의 응답속도(τ)와 기판 사이의 갭(d)과 액정의 회전 점성 계수(γ_1)와의 관계가 다음 식(1)에 의해 표현된다.

식(1)

$$\tau \propto d^2 \times \gamma_1$$

식(1)에서 명확하게 나타난 바와 같이, IPS 액정 디스플레이 장치의 응답을 더 빠르게 하거나 응답 속도(τ)를 감소시키기 위해서는, 기판 사이의 갭(d)을 축소 혹은 더 좁게 하거나, 액정의 회전 점성 계수(γ_1)를 감소시키는 것이 효과적이다.

액정의 회전 점성 계수(γ_1)와 액정의 굴절율 이방성(Δn)을 규정함으로써 고속 응답을 도모하도록 설계된 액정 디스플레이 장치가 있다(예를 들면, 일본 특개평 제2000-310797호). 일본 특개평 제2000-310797호는 ($\gamma_1/\Delta n^2$)을 6.0Pa.sec 이하로 설정함으로써 하프톤 응답을 포함하는 한 측에서의 응답속도(τ)가 17×10^{-3} sec 이하로 될 수 있다고 기재되어 있다. 상기 공보에 기재된 액정 디스플레이 장치는 기판 사이의 갭(d)을 3㎛로 설정하고 액정 재료에 포함된 중간재(neutral material)의 양을 40wt% 이상으로 설정하고 회전 점성 계수(γ_1)를 45 내지 55mPa.sec의 극소값으로 설정한 액정 재료를 사용함으로써 향상된 응답 속도를 획득한다.

응답 속도가 기판 사이의 갭(d)과 액정의 굴절율 이방성(Δn)의 곱(= d x Δn)을 0.2 내지 0.55㎛ 범위로 설정함으로써 응답 속도가 향상되는 또다른 IPS 액정 디스플레이 장치가 있다(일본 특개평 제H9-297306).

그러나 그러나 상기 종래 기술은 다음과 같은 문제점을 갖는다. 첫 번째로, 일본 특개평 제 2000-310797호에 기재된 액정 디스플레이 장치에 사용된 중간재가 액정층의 다른 구성 요소에 비해 높은 증기압을 받는다. ODF(One Drop Fill) 시스템 및 주입 시스템에서와 같이 진공 상태에서 셀로 중간재를 다량 포함한 액정 성분을 밀봉할 때, 밀봉동안 중간재는 휘발된다. 다량의 중간재의 휘발은 액정 성분의 특성을 변하게 할 뿐만 아니라 농도가 변하게 되어, 액정 성분이 결정화된다. 액정 성분이 단일 성분을 다량 포함하면, 개개의 성분의 상용성이 감소된다. 또한, 중간재의 비율을 높이며 액정의 적절한 유전 이방성(Δε)을 획득하기 위해서는, 유전율이 크고 극성이 강한 물질이 액정 성분으로서 첨가되어야 한다. 이러한 재료 대부분이 Na 등의 이온과 친화성이 높기 때문에, 반점을 발생시키고, 상기 물질을 사용하기 매우 어려워지게 될 가능성이 있다.

일본 특개평 제H9-297306호에 기재된 액정 디스플레이 장치에서, 연마 방향 및 횡전계에 의해 규정되는 각도가 88°로 설정된다. 그러나, 이러한 각도를 사용하면, 전계가 인가된 순간 초기 배향 방향으로 배열된 액정에 인가된 토오크가 작으므로 고속 구동이 이루어질 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 응답 속도가 빠르고 신뢰성이 높은 횡전계 액정 디스플레이 장치 및 그 제조 방법을 제공하는 것이다.

본 발명에 따른 액정 디스플레이 장치는 서로 대면하도록 배치된 제 1 및 제 2의 기판; 상기 제 2의 기판 위에 배치된 상기 제 1의 기판의 면 위에 마련된 절연층; 상기 절연층 상에 형성된 공통 전극; 상기 공통 전극에 평행하데 되도록 상기 절연층 상에 형성된 화소 전극; 상기 절연층, 화소 전극 및 공통 전극을 피복하도록 형성되고, 상기 화소 전극과 상기 공통 전극의 세로 방향과 10 내지 20°의 각을 이루는 방향으로 배향 처리된 제 1의 배향층; 상기 제 1의 기판측에 배치된 상기 제 2의 기판의 면에 마련되고, 상기 화소 전극과 상기 공통 전극의 세로 방향과 10 내지 20°의 각을 이루는 방향으로 배향 처리된 제 2의 배향층; 및 상기 제 1의 배향층과 제 2의 배향층 사이에 배치되고 8 내지 20의 유전율 이방성을 갖는 액정을 포함하는 액정층을 포함한다. 제 1의 배향층과 제 2의 배향층 사이의 거리는 2.7㎛ 이하이고, 백색이 표시될 때 4 내지 7V의 전압이 화소 전극에 인가되며, 다음 식(2)이 충족된다.

식(2)

$$11.8 > \frac{V_{white}}{d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}} > 9.8$$

식(2)에서, V_{white}(V)는 백색 표시시 화소 전극에 인가되는 전압이고, Δε은 액정의 유전 이방성이며, d(㎛)는 제 1의 배향층과 제 2의 배향층 사이의 거리이고, L(㎛)은 화소 전극과 공통 전극 사이의 간격이다.

본 발명에 따르면, 화소 전극과 공통 전극의 세로 방향과 배향층의 연마 방향에 의해 규정된 각도가 10 내지 20°로 설정되고, 제 1의 배향층과 제 2의 배향층 사이의 거리(d㎛)는 2.7㎛ 이하로 설정되고, 액정의 유전 이방성(Δε)은 8 내지 20으로 설정되고, 백색 표시시 화소 전극에 인가되는 전압(V_{white})은 4 내지 7V이고, 백색 전압(V_{white}(V)), 액정의 유전 이방성(Δε), 제 1의 배향층과 제 2의 배향층 사이의 거리(d㎛), 화소 전극과 공통 전극 사이의 간격(L㎛)은 식(2)을 충족시킨다. 따라서 액정 디스플레이 장치는 신뢰성이 향상되고, 종래의 IPS 액정 디스플레이 장치에 비해 $15x10^{-3}$초 이하의 고속으로 응답한다.

본 발명에 따른 또 다른 액정 디스플레이 장치는 서로 대면하는 제 1 및 제 2의 기판; 한쪽이 절연층 상에 형성되고 다른 쪽이 제 1의 기판과 절연층 사이에 형성되고 평면으로 볼 때 서로 평행한 화소 전극과 공통 전극; 절연층과 화소 전극 또는 공통 전극을 피복하기 위해 마련되고, 화소 전극과 공통 전극의 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향 처리된 제 1의 배향층; 제 1의 기판측에 배치된 제 2의 기판의 면 상에 마련되고, 화소 전극과 공통 전극의 세로 방향과 10

내지 20°의 각도를 형성하는 방향으로 배향 처리된 제 2의 배향층; 및 제 1의 배향층과 제 2의 배향층 사이에 배치되고 8 내지 20의 유전 이방성을 갖는 액정으로 이루어진 액정층으로 이루어진다. 제 1의 배향층과 제 2의 배향층 사이의 거리는 2.7㎛ 이하이고, 백색 표시시 4 내지 7V의 전압이 화소 전극에 인가되며, 다음 식(3)을 충족시킨다.

식(3)

$$11.8 > \frac{V_{white}}{\left\{(1.0+T/3.0)\times d^{-0.6}\times L^{0.5}\times \Delta\varepsilon^{-0.5}\right\}} > 9.8$$

식(3)에서, V_{white}(V)는 백색 표시시 화소 전극에 인가되는 전압이고, Δε은 액정의 유전 이방성이고, d(㎛)는 제 1의 배향층과 제 2의 배향층 사이의 거리이고, L(㎛)은 화소 전극과 공통 전극 사이의 간격이며, T(㎛)는 절연층의 두께이다.

본 발명에 따르면, 화소 전극과 공통 전극의 세로 방향과 배향층의 연마 방향에 의해 규정된 각도는 10 내지 20°로 설정되고, 제 1의 배향층과 제 2의 배향층 사이의 거리(d(㎛))는 2.7㎛ 이하로 설정되고, 액정의 유전 이방성(Δε)은 8 내지 20으로 설정되고, 백색 표시시 화소 전극에 인가되는 전압(V_{white})은 4 내지 7V로 설정되며, 백색 전압((V_{white}(V)), 액정의 유전 이방성(Δε), 제 1의 배향층과 제 2의 배향층 사이의 거리(d(㎛)), 절연층의 두께(T(㎛)) 및 화소 전극과 공통 전극 사이의 간격(L(㎛))은 식(3)을 충족시킨다. 따라서, 화소 전극과 공통 전극 사이에 마련된 절연층을 갖는 액정 디스플레이 장치에서도 종래의 IPS 액정 디스플레이 장치에 비해 신뢰성이 향상되고 $15x10^{-3}$초 이하의 고속 응답이 가능하게 된다.

본 발명에 따른 액정 디스플레이 장치의 화소 전극과 공통 전극은 투명 도전층에 의해 형성될 수 있고, 예를 들어, 투명 도전층은 산화 인듐 주석(ITO)층이다.

본 발명에 따른 액정 디스플레이 장치의 제조 방법은, 제 1의 기판 상에 절연층을 마련하고, 상기 절연층 상에 서로 평행한 공통 전극과 화소 전극을 생성하고, 절연층, 화소 전극 및 공통 전극을 피복하도록, 화소 전극과 공통 전극의 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향 처리된 제 1의 배향층을 형성하는 단계; 제 2의 기판 상에, 화소 전극과 공통 전극의 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향 처리된 제 2의 배향층을 형성하는 단계; 및 제 1의 배향층과 제 2의 배향층 사이의 거리가 2.7㎛ 이하가 되도록 제 1의 기판과 제 2의 기판을 서로 대면하도록 배치하고, 제 1의 배향층과 제 2의 배향층 사이에 8 내지 20의 유전 이방성을 갖는 액정을 배치하는 단계를 포함한다. 백색 표시시 4 내지 7V의 전압이 화소 전극에 인가되면, 백색 표시시 화소 전극에 인가되는 전압(V_{white}(V)), 제 1의 배향층과 제 2의 배향층 사이의 거리(d(㎛)), 및 화소 전극과 공통 전극 사이의 간격(L(㎛))는 식(2)을 충족시킨다.

본 발명에 따른 액정 디스플레이 장치의 또 다른 제조 방법은, 공통 전극과 화소 전극이, 평면으로 볼 때 서로 평행도록 하나가 절연층 상에 형성되고 다른 하나가 제 1의 기판과 절연층 사이에 형성되고, 절연층과 화소 전극 또는 공통 전극을 피복하도록, 화소 전극과 공통 전극의 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향 처리된 제 1의 배향층을 형성하는 단계; 제 2의 기판 상에, 화소 전극과 공통 전극 의 세로 방향과 10 내지 20°의 각도를 형성하는 방향으로 배향 처리된 제 2의 배향층을 형성하는 단계; 및 제 1의 배향층과 제 2의 배향층 사이의 거리가 2.7㎛ 이하가 되도록 제 1의 기판과 제 2의 기판을 서로 대면하여 배치하고, 제 1의 배향층과 제 2의 배향층 사이에 8 내지 20의 유전 이방성을 갖는 액정을 배치하는 단계를 포함한다. 백색 표시시 4 내지 7V의 전압이 화소 전극에 인가되면, 백색 표시시 화소 전극에 인가되는 전압(V_{white}(V)), 액정의 유전 이방성(Δε), 제 1의 배향층과 제 2의 배향층 사이의 거리(d(㎛)), 화소 전극과 공통 전극 사이의 간격(L(㎛)), 및 절연층의 두께(T(㎛))는 식(3)을 충족시킨다.

본 발명에 따르면, 화소 전극과 공통 전극의 세로 방향과 배향층의 연마 방향에 의해 규정된 각도를 10 내지 20°로 설정하고, 제 1의 배향층과 제 2의 배향층 사이의 거리(d(㎛))를 2.7㎛ 이하로 설정하고, 액정의 유전 이방성(Δε)을 8 내지 20으로 설정하고, 백색 전압(V_{white}), 액정의 유전 이방성(Δε), 제 1 및 제 2의 배향층 사이의 거리(d(㎛)), 및 화소 전극과 공통 전극 사이의 간격(L(㎛))를 최적화함으로써, 신뢰성과 응답 속도가 향상될 수 있다. 상기는 종래의 IPS 액정 디스플레이 장치에 비해 높은 신뢰성을 갖고 응답 속도가 빠른 액정 디스플레이 장치를 제공할 수 있게 한다.

발명의 구성

본 발명의 양호한 실시예에 따른 액정 디스플레이 장치가 첨부된 도면을 참조하여 이하에 상세히 기재된다. 제 1의 실시예에 따른 액정 디스플레이 장치가 먼저 논의된다. 도 1은 본 실시예에 따른 액정 디스플레이 장치의 구조를 설명하는 평면도이고, 도 2는 도 1에 도시된 선(A-A)에 따라 취해진 단면도이다. 본 실시예에 따른 액정 디스플레이 장치는 IPS 액티브 매트릭스형 액정 표시 장치이다.

도 1 및 2에 도시된 바와 같이, 본 실시예에 따른 액정 디스플레이 장치는 투명 기판(1) 상에 마련된 층간 절연층(2)과 층간 절연층(2) 상에 서로 평행하게 형성된 보조 화소 전극(3) 및 데이터선(4)을 갖는다. 층간 절연층으로서 질화 실리콘층(5)과 투명 아크릴층(6)이 층간 절연층(2), 보조 화소 전극(3) 및 데이터선(4) 상에 이 순서대로 마련된다. ITO 등의 투명 도전층에 의해 형성된 공통 전극(7)과 화소 전극(8)은 투명 아크릴층(6) 상에 서로 평행하게 형성된다. 공통 전극(7)은 데이터선(4)이 형성된 영역에 대응하는 투명 아크릴층(6) 상의 영역에 형성되고, 화소 전극(8)은 보조 화소 전극(3)이 형성된 영역에 대응하는 투명 아크릴층(6) 상의 영역에 형성된다. 소정 방향으로 배향 처리된 배향층(9)은 공통 전극(7)과 화소 전극(8)을 피복하도록 투명 아크릴층(6) 상에 마련된다.

데이터선(4)과 수직 방향으로 연장하는 게이트 전극(10)은 투명 기판(1)과 층간 절연층(2) 사이에 형성된다. 데이터선(4)과 게이트 전극(10)이 교차하는 층간 절연층(2) 상의 부근에는 비결정 실리콘층(16), 소스 전극(11)과 드레인 전극(17)을 갖는 박막 트랜지스터가 형성된다. 박막 트랜지스터의 소스 전극(11)은 보조 화소 전극(3)에 접속되고 소스 전극(11) 상의 투명 아크릴층(6)과 질화 실리콘층(5)에 마련된 컨택트홀(12)을 통해 화소 전극(8)에 접속된다. 또한, 공통 전극 배선(13)은 투명 기판(1)과 층간 절연층(2) 사이에 게이트 전극(10)과 평행하게 형성된다. 공통 전극 배선(13)은 층간 절연층(2), 질화 실리콘층(5)과 투명 아크릴층(6)을 관통하도록 마련된 컨택트홀(14)을 통해 공통 전극(7)에 접속된다.

컬러층(21)과 블랙 매트릭스(22)는 투명 기판(1)과 대면하도록 배치된 투명 기판(20)상에 형성된다. 투명 기판(20), 컬러층(21) 및 블랙 매트릭스(22) 상에는 셀 갭을 형성하기 위해 컬럼 스페이서(도시되지 않음)가 마련된 오버코트층(23)이 마련된다. 컬럼 스페이서는 게이트 전극(10)이 형성되고 데이터선(4)과 비결정 실리콘층(16)이 형성되지 않은 투명 기판(1)의 영역에 배치된 투명 기판(20)의 영역에 마련된다. 소정 방향으로 배향 처리된 배향층(24)은 오버코트층(23)과 스페이서 상에 마련된다. 대전 방지용 도전층(25)은 컬러층(21)과 블랙 매트릭스(22)가 형성된 측에 대향되는 투명 기판(20)측 상에 마련된다.

본 실시예의 배향층(9)과 배향층(24)의 표면은 연마에 의해 게이트 전극(10)의 연장 방향에 수직 방향으로 배향 처리된다. 공통 전극(7)과 화소 전극(8)은 서로 평행하고, 배향층(24)의 배향 방향 또는 연마 방향(x)에 대칭이 되도록 굴곡한다. 공통 전극(7)과 화소 전극(8)의 세로 방향 및 연마 방향(x)에 의해 규정되는 각도(β)는 10 내지 20°의 범위이다.

투명 기판(1)과 투명 기판(20)은 내측으로 배치된 배향층(9)과 배향층(24)과 연마 방향(x)이 동일하게 되도록 배치된다. 8 내지 20의 유전 이방성(Δε)을 갖는 액정이 밀봉 부재(도시되지 않음) 등에 의해 배향층(9)과 배향층(24) 사이에 밀봉된다. 본 실시예에 따른 액정 디스플레이 장치의 액정층(15)의 두께 또는 배향층(9)과 배향층(24) 사이의 셀갭(d)은 2.7㎛ 이하이다. 셀갭(d)의 값은 컬럼 스페이서의 높이 변화에 의해 조절될 수 있다.

편광판(26a 및 26b)은 투명 기판(1)과 투명 기판(20)의 외면에 각각 부착된다. 투명 기판(1) 상에 마련된 편광판(26a)은 투명 기판(1) 상에 형성된 배향층(9)의 연마 방향(x)과 편광 투과축이 서로 거의 평행하게 되도록 부착된다. 투명 기판(20) 상에 배치된 편광판(26b)은 투명 기판(20) 상에 형성된 배향층(24)의 연마 방향(x)과 편광 투과축이 서로 거의 수직이 되도록 부착된다.

이하 본 실시예에 따른 액정 디스플레이 장치의 액정의 유전 이방성(Δε)과 셀갭(d)의 값을 한정하는 이유를 설명한다.

액정 디스플레이 장치에 비디오 이미지를 선명하게 재생하고 충실하게 재현하기 위해 실험 및 연구를 행한 본 발명자는 흑색 표시에서 백색 표시로 전환하기 위한 액정의 응답 시간(τ_{on})과 백색 표시에서 흑색 표시로 전환하기 위한 액정의 응답 시간(τ_{off})의 합인 응답 시간($\tau(=\tau_{on}+\tau_{off})$을 $15x10^{-3}$초 이하로 설정함으로써 충분히 동화 성능이 향상되는 것을 발견하였다. 식(1)에서 명확히 나타난 바와 같이, IPS 액티브 매트릭스형 액정 디스플레이 장치의 응답을 더 빠르고 응답 속도(τ)를 작게 하기 위해서는, 셀갭(d)과 유전 이방성(Δε)을 더 작게 하는 것이 효과적이다. 따라서 본 발명은 셀갭(d)과 응답 속도(τ)사이의 관계에 대해 검토한다. 표(1)은 현재 IPS 액정 디스플레이 장치에서 사용 가능한 액정중 회전 점성 계수(γ_1)

(=90mPa.sec)가 가장 작은 액정을 사용함으로써 셀갭(d)을 변화시키며 실험과 실측을 통해 구해진 응답 속도(τ)의 결과를 도시한다. 본 발명은, 도 1에 도시된 바와 같이, 셀갭(d)을 2.7 ㎛ 이하로 설정함으로써 응답 속도(τ)를 $15x10^{-3}$ 초 이하로 할 수 있다는 것을 발견하였다. 따라서, 본 실시예의 액정 디스플레이 장치의 셀갭(d)은 2.7㎛ 이하로 한다.

표(1)

셀갭 d (㎛)	액정의 회전 점성 계수 γ_1 (mPa/sec)	응답 속도 τ ($x10^3$ sec)
2.4	90	12
2.7	90	15
2.8	90	16

IPS 액티브 매트릭스형 액정 디스플레이 장치는 작게하면 구동 전압이 상승한다는 문제점이 있다. 임계 전압(V_{th}(V)), 액정의 유전 이방성(Δε), 액정 디스플레이 장치의 화소 전극(8)과 공통 전극(7) 사이의 간격(L(㎛))과 셀갭(d(㎛))이 다음 식(4)에 의해 주어진다.

식(4)

$$V_{th} \propto \frac{L}{d} \times \left(\frac{K_{22}}{\Delta\varepsilon} \right)^{0.5}$$

식(4)에서, K_{22}는 액정의 탄성 계수이다. 액정 디스플레이 장치의 VT 피크 전압(V_{max})은 식(4)에서 주어진 임계 전압(V_{th})에 비례하므로, 식(4)으로부터 다음 식(5)이 도출된다.

식(5)

$$V_{max} \propto \frac{L}{d} \times \left(\frac{K_{22}}{\Delta\varepsilon} \right)^{0.5}$$

식(5)에서 나타난 바와 같이, 셀갭(d)이 좁아질수록 VT 피크 전압(V_{max})이 증가되어, 액정 디스플레이 장치가 적정 전압으로 구동될 수 없게 될 수 있다. 구동 전압을 감소시키기 위해서는 유전 이방성(Δε)을 증가시키는 방법이 있다. 그러나, 유전 이방성(Δε)을 증가시키는 것은 회전 점성 계수(γ_1)를 증가시키게 되어 응답 속도(τ)를 느리게 한다.

일반적으로, 좁은 셀갭(d)을 갖는 IPS 액정 디스플레이 장치는 굴절율 이방성(Δn)이 0.1보다 큰 액정 재료를 사용한다. 그러나, 이 재료를 사용하면, 유전 이방성(Δε)이 8보다 작더라도 회전 점성 계수(γ_1)가 더 작아지지 않고, 신뢰성 면에서도 크게 향상되지 않는다. 액정의 유전 이방성(Δε)을 20 이상으로 하면, 회전 점성 계수(γ_1)가 증가될 뿐만 아니라, 신뢰성도 불안정하게 되어 액정 디스플레이 장치를 사용할 수 없게 된다. 따라서, 본 실시예의 액정 디스플레이 장치의 액정의 유전 이방성(Δε)은 8 내지 20으로 설정된다.

다음으로 본 실시예에 따른 액정 디스플레이 장치의 동작을 설명한다. 본 실시예에 따른 액정 디스플레이 장치는 전계가 인가되지 않을 때 광이 통하지 않는 노멀리 블랙 모드에서 화상을 표시한다. 즉, 0V 부근의 전압에서 블랙이 표시되고 화소 전극(8)에 전압이 인가될 때 공통 전극(7)과 화소 전극(8) 사이에서 생성된 전계에 의해 액정이 구동되고, 액정의 복굴절성이 광투과를 변화시킨다.

본 실시예에 따른 액정 디스플레이 장치에서, 백색 표시시 화소 전극(8)에 인가되는 전압(백색 전압)(V_{white})은 4 내지 7V로 설정되고, 또한, 백색 전압(V_{white})(V), 액정의 유전 이방성(Δε), 셀갭(d㎛), 공통 전극(7)과 화소 전극(8) 사이의 간격(L㎛), 및 층간층의 두께(T㎛)가 다음 식(6)에 의해 주어진 범위 내에서 설정된다.

식(6)

$$11.8 > \frac{V_{white}}{d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}} > 9.8$$

이하에 이렇게 설정하는 이유에 대해 설명한다. 본 발명자는 응답 속도(τ)를 $15x10^{-3}$초 이하로 하기위해 셀 갭(d)이 2.7㎛ 이하이더라도, 적절한 구동 전압을 유지하면서 높은 투과율로 양질의 화질을 제공하는 IPS 액정 디스플레이 장치를 연구하여, 아래와 같은 결과를 도출하였다.

우선, 셀갭이 좁고 액정이 횡전계에 의해 구동될 때, 강한 전계가 요구되므로, 횡전계를 생성하는 공통 전극(7)과 화소 전극(8)은 가능한 액정층(15)이 가까이 위치되도록 하는 것이 바람직하다. 도 3은 본 발명에 따른 액정 디스플레이 장치에서 공통 전극(7)과 화소 전극(8)의 위치를 도시하는 단면도이다. 본 발명자는 공통 전극(7)과 화소 전극(8)이 절연층(19)보다 투명 기판(1)에 가깝게 형성되면, 좁은 셀갭을 갖는 액정을 구동하기 위해 극히 높은 전압이 필요하게 되며 액정을 구동하기에 적합한 구조가 아니라는 것을 발견하였다. 본 발명자는 공통 전극(7) 및 화소 전극(8)의 적어도 한쪽이 배향층(9)에 접촉하거나 또는 절연층(19) 상에 있도록 배치되는 구조가 가장 바람직하다는 것을 발견하였다.

본 발명자는, 한, 2.7㎛ 이하의 셀갭에 대해, VT 피크 전압(V_{max}(V))과 액정의 유전 이방성(Δε), 셀갭(d㎛)과 공통 전극(7)과 화소 전극(8) 사이의 간격(L㎛)과의 관계를 연구하여, 겔갭이 더 좁을수록, 식(5)은 실측과 멀어진다는 것을 발견하였다. 따라서, 본 발명자는 이하에 논의된 방법을 통해 이들의 관계를 상세히 연구하였다.

본 발명자는 액정층(15)에서 액정의 초기 배향 방향과 전극의 세로 방향에 의해 규정된 각도(β)가 15°일 때 구동 전압과 응답 속도 사이의 최적의 관계가 이루어진다는 것을 발견하여, 각도(β)를 15°로 설정하였다. 각도(β)가 10 내지 20°의 범위내에 있을 때 구동 전압과 응답 속도에서 명확한 차이가 발견되지 않으므로, 아래 연구 결과는 각도(β)를 10 내지 20°의 범위내에서 설정할 수 있다.

도 4는 VT 피크 전압(V_{max})의 대수(Log)를 수직선에서 취하고 셀갭(d)의 대수를 수평축에서 취하는, VT 피크 전압(V_{max})과 셀갭(d) 사이의 관계를 도시하는 그래프이다. 도 4에 도시된 바와 같이, 전극 사이의 간격(L㎛)을 10㎛로 설정하여 시뮬레이션을 행한 결과, 본 발명자는 대수(d)에 대해 좌표 결정된 대수(V_{max})를 갖는 그래프의 기울기가 -0.6이고 VT 피크 전압(V_{max})는 셀갭(d)의 -0.6승에 비례하고 있다는 것을 발견하였다.

도 5는 수직축 상에서 VT 피크 전압(V_{max})의 대수를 취하며 수평축상에서 대수를 취하여 전극 사이의 간격(L)과 VT 피크 전압(V_{max})사이의 관계를 도시하는 그래프이다. 액정의 유전 이방성(Δε)을 10으로 설정하여 시뮬레이션을 행한 결과, 도 5에 기재된 바와 같이, 본 발명자는 대수(L)에 대해 좌표 결정된 대수(V_{max})를 갖는 그래프의 기울기가 0.5이고 VT 피크 전압(V_{max})은 전극 사이의 간격(L㎛)의 0.5승에 비례하고 있다는 것을 발견하였다.

도 6은 수직축 상에서 VT 피크 전압(V_{max})의 대수를 취하며 수평축상에서 대수를 취하여 액정의 유전 이방성(Δε)과 VT 피크 전압(V_{max}) 사이의 관계를 도시하는 그래프이다. 전극 사이의 간격(L㎛)을 10㎛로 설정하여 시뮬레이션을 행한 결과, 도 6에 도시된 바와 같이, 본 발명자는 대수(Δε)에 대해 좌표 결정된 대수(V_{max})를 갖는 그래프의 기울기가 -0.5이고 VT 피크 전압(V_{max})은 액정의 유전 이방성(Δε)의 -0.5승에 비례하고 있다는 것을 발견하였다.

그 결과, 본 발명자는 특히, 셀갭(d)이 2.7㎛ 이하인 영역에서 작은 셀갭(d)을 갖는 영역에서는, VT 피크 전압(V_{max}), 액정의 유전 이방성(Δε), 기판간 갭(d㎛) 및 화소 전극과 공통 전극 사이의 간격(L㎛)이 다음 식(7)을 충족시킨다는 것을 발견하였다.

식(7)

$$V_{max} \propto d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}$$

식(7)에서 비례 계수를 A로 설정하면 다음 식(8)이 유도된다.

식(8)

$$V_{max} = A \times d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}$$

식(8)에서 비례 계수(A)는 사용되는 액정의 탄성 계수에 의존한다. 탄성 계수는 액정의 네마틱-등방성 전이점(T_{ni})과 상당히 다르다고 알려져 있다. 탄성 계수는 액정 성분의 극성기와도 다르다. 예를 들어, 탄성 계수는 시아노기를 포함하는 시아노계 액정과 플루오르만을 포함하는 플루오르계 액정 사이에서도 다르다. 액정의 고속 표시가 요구되는 것은 주로 TV 및 모니터이고, 액정의 네마틱 등방성 전이점(T_{ni})은 60 내지 80℃로 설정되는 것이 바람직하다. 일반적으로, 플루오르계 액정이 신뢰성면에서 시아노계 액정보다 우수하므로, 플루오르계 액정을 사용여 신뢰성이 높은 액정 디스플레이 장치를 얻을 수 있다.

표(2)는 상기 조건을 만족시키는 액정이 사용될 때의 실측 및 시뮬레이션을 통해 얻어지는 A의 값을 나타낸다.

표(2)

셀갭 d (㎛)	화소 전극과 공통 전극 사이의 간격 L (㎛)	액정의 유전 이방성 Δε	VI 피크 전압 V_{max} (V)	비례 계수 A
4.0	10.0	8.0	5.5	11.30
3.5	10.0	8.0	6.2	11.76
3.0	10.0	9.0	6.0	11.00
3.0	7.0	9.0	5.1	11.18
2.4	7.0	10.0	5.4	10.97
2.4	7.0	11.2	5.2	11.12
2.4	7.0	13.6	4.9	11.55

본 발명자는 많은 예를 상세히 연구하여, 식(8)에서 비례 계수(A)는 10.9를 초과하고 11.8보다 작은 것을 발견하였다. IPS 액정 디스플레이 장치에서, 백색 표시시(백색 전압(V_{white})), 화소 전극(8)에 인가되는 전압을 VT 피크 전압(V_{max}) 부근으로 설정함으로써 투과율을 높일 수 있다. 특히, 다음 식(9)에 나타난 바와 같이 VT 피크 전압(V_{max})에 대해 90 내지 100% 범위내에서 백색 전압(V_{white})을 설정함으로써 높은 투과율을 얻을 수 있다.

식(9)

$$0.9 \times V_{max} < V_{white} < V_{max}$$

식(10)은 식(8)과 식(9)으로부터 도출된다.

식(10)

$$0.9 \times A > \frac{V_{white}}{d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}} > A$$

상술한 바와 같이 비례 계수(A)는 10.9보다 크고 11.8보다 작고, 식(6)이 식(10)으로부터 도출될 수 있다.

공통 전극(7)과 화소 전극(8) 양쪽이 도 3에 도시된 바와 같이 배향층(9)과 접촉하도록 절연층(19)상에 형성되면, 식(6)을 충족하도록 각 파라미터를 설정하면, 셀 갭(d)이 2.7㎛ 이하로 설정되더라도 적절한 구동 전압을 유지하면서 높은 투과율을 갖고 빠르게 동작하는 IPS 액정 디스플레이 장치를 제공할 수 있다.

현재 사용가능한 구동 회로를 사용할 때, 적절한 백색 전압(V_{white})은 4V보다 크고 7V보다 낮은 것이다. 본 발명자에 의해 수행된 시뮬레이션은 실측과 매우 양호한 매치를 보이고 있으며, 실제로 적합한 결과가 예측될 수 있다.

제 1의 실시예의 상기 기술은 공통 전극과 화소 전극이 배향층과 접촉하는 경우를 설명하고 있지만, 본 발명은 이러한 경우에 한정되는 것이 아니라 공통 전극과 화소 전극중 어느 하나만이 배향층에 접촉하도록 절연층 상에 형성되는 경우도 가능하다. 배향층과 접촉하도록 절연층 상에 형성된 공통 전극을 갖고, 두께(T㎛)의 절연층과 투명 기판 사이에 형성된 화소 전극을 갖는 본 발명의 제 2의 실시예에 따른 액정 디스플레이 장치를 이하에 설명한다. 도 7은 본 발명의 제 2의 실시예에 따른 액정 디스플레이 장치의 구조를 도시하는 평면도이고, 도 8은 도 7에 도시된 선(B-B)에 따라 취해진 단면도이다. 본 실시예에 따른 액정 디스플레이 장치는 IPS 액티브 매트릭스형 액정 디스플레이 장치이다.

도 7 및 8에 도시된 바와 같이, 본 실시예에 따른 액정 디스플레이 장치는 투명 기판(1) 상에 마련된 층간 절연층(2)과 층간 절연층(2) 상에 서로 평행으로 형성된 화소 전극(8)과 데이터선(4)을 갖는다. 층간 절연층으로서 질화 실리콘층(5)이 층간 절연층(2), 화소 전극(8) 및 데이터선(4) 상에 마련된다. 아크릴 수지층(6)은 데이터선(4)이 형성된 영역에 대응하는 질화 실리콘층(5) 상의 영역에 형성된다. ITO의 공통 전극(7)은 데이터선(4)이 형성된 영역에 대응하는 아크릴 수지층(6)과 질화 실리콘층(5)상의 영역, 즉, 화소 전극(8)이 형성되지 않은 아크릴 수지층(6) 상의 영역에 형성되어 공통 전극(7)과 화소 전극(8)이 서로 평행하게 되도록 한다. 또한, 배향층(9)은 이들 전극 및 이들 층 상에 마련된다.

데이터선(4)과 수직 방향으로 연장하는 게이트 전극(10)은 투명 기판(1)과 층간 절연층(2) 사이에 형성된다. 데이터선(4)과 게이트 전극(10)이 교차하는 층간 절연층(2)상의 부근에 비결정 실리콘층(16), 소스 전극(11) 및 드레인 전극(17)을 갖는 박막 트랜지스터가 형성된다. 박막 트랜지스터의 소스 전극(11)은 화소 전극(8)에 접속된다. 또한, 공통 전극 배선(13)은 투명 기판(1)과 층간 절연층(2) 사이에 평행하게 형성된다. 공통 전극 배선(13)은 층간 절연층(2), 질화 실리콘층(5) 및 투명 아크릴층(6)을 관통하도록 마련된 컨택트홀(14)을 통해 공통 전극(7)에 접속된다.

컬러층(21)과 블랙 매트릭스(22)는 투명 기판(1)과 대면하도록 배치된 투명 기판(20) 상에 형성된다. 투명 기판(20), 컬러층(21) 및 블랙 매트릭스(22) 상에는, 셀갭을 형성하기 위한 컬럼 스페이서(도시되지 않음)를 마련하는 오버코트 층을 마련한다. 컬럼 스페이서는 전극이 형성되고 데이터선(4)과 비결정 실리콘층(16)이 형성되지 않은 투명 기판(1)의 영역에 배치되는 투명 기판(20)의 영역에 마련된다. 소정 방향으로 배향 처리된 배향층(24)은 오버코트층(23)과 스페이서 상에 마련된다. 대전 방지용 도전층(25)은 컬러층(21)과 블랙 매트릭스(22)가 형성된 측에 대향하는 투명 기판(20)의 측 상에 마련된다.

본 실시예의 배향층(9)과 배향층(24)의 표면에 연마에 의해 게이트 전극(10)의 연장 방향에 수직인 방향으로 배향처리된다. 공통 전극(7)과 화소 전극(8)은 서로 평행하고, 배향층(24)의 배향 방향 또는 연마 방향(x)에 대칭이 되도록 굴곡된다. 연마 방향(x) 및 공통 전극(7)과 화소 전극(8)의 세로 방향에 의해 규정되는 각도(β)는 10 내지 20°의 범위에 있다.

투명 기판(1)과 투명 기판(20)은 연마 방향(x)이 내측에 마련된 배향층(9) 및 배향층(24)와 일치되도록 배치된다. 8 내지 20의 유전 이방성(Δε)을 갖는 액정은 밀봉 부재(도시되지 않음) 등에 의해 배향층(9)과 배향층(24) 사이에 밀봉된다. 본 실시예에 따른 액정 디스플레이 장치에서 액정(15)의 두께 또는 배향층(9)과 배향층(24) 사이의 셀갭(d)은 2.7㎛ 이하이다. 본 실시예에 따른 액정 디스플레이 장치의 셀갭(d)의 값은 컬럼 스페이서의 높이 변화에 의해 조정될 수 있다.

편광판(26a 및 26b)은 투명 기판(1)과 투명 기판(20)의 외면에 각각 부착된다. 투명 기판(1) 상에 마련된 편광판(26a)은 편광 투과축과 투명 기판(1) 상에 형성된 배향층(9)의 연마 방향(x)이 서로 거의 평행하게 되도록 부착된다. 투명 기판(20) 상에 마련된 편광판(26b)은 편광 투과축과 투명 기판(20) 상에 형성된 배향층(24)의 연마 방향(x)이 서로 거의 수직이 되도록 부착된다.

다음으로, 본 실시예에 따른 액정 디스플레이 장치의 동작에 대해 설명한다. 본 실시예에 따른 액정 디스플레이 장치는 전계가 인가되지 않을 때 광이 통과되지 않는 노멀리 블랙 모드에서 이미지를 표시한다. 즉, 0V 부근의 전압에서 흑색이 표시되고, 전압이 화소 전극에 인가될 때 공통 전극(7)과 화소 전극(8) 사이에 생성된 전계에 의해 액정이 구동되고, 액정의 복굴절성에 의해 광투과율이 변한다.

도 9는 본 발명의 제 2의 실시예에서 공통 전극(7)과 화소 전극(8)의 위치를 도시하는 단면도이다. 본 실시예에 따른 액정 디스플레이 장치에서, 도 9에 도시된 바와 같이, 공통 전극(7)은 배향층과 접촉하도록 형성되거나 절연층(19) 상에 형성되고, 화소 전극(8)은 절연층(19)과 투명 기판(1) 사이에 형성되고, 공통 전극(7)과 화소 전극(8) 사이에 존재하는 절연층(19)의 두께는 T㎛이다. 이러한 경우에, 식(11)에 나타난 바와 같이, 공통 전극(7)과 화소 전극(8)이 배향층(9)과 접촉하는 경우와 비교하여 VT 피크 전압(V_{max})이 증대한다.

식(11)

$$V_{max} = A \times d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5} \times (1.0 + T/3.0)$$

따라서, 본 실시예에 따른 액정 디스플레이 장치에서, 백색 표시시 화소 전극에 인가되는 전압(백색 전압(V_{white}))은 4 내지 7V로 설정되고, 또한, 백색 전압(V_{white}(V)), 액정의 유전 이방성(Δε), 셀갭(d), 공통 전극(7)과 화소 전극(8) 사이의 간격(L㎛), 및 층간층의 두께(T㎛)는 다음 식(12)을 만족하도록 설정된다. 상기로 인해 셀 갭(d)을 2.7㎛ 이하로 설정하더라도 적절한 구동 전압을 유지하며 높은 투과율을 갖고 $15x10^{-3}$초 이하의 높은 응답 속도로 동작하는 IPS 액정 디스플레이 장치를 마련하는 것이 가능하다.

식(12)

$$11.8 > \frac{V_{white}}{\{(1.0 + T/3.0) \times d^{-0.6} \times L^{0.5} \times \Delta\varepsilon^{-0.5}\}} > 9.8$$

본 발명의 상기 실시예의 장점에 대해 본 발명의 범위를 벗어나는 비교예와 비교하여 설명한다. 우선, 도 1 및 2에 도시된 구조를 갖는 액정 디스플레이 장치는 본 발명의 제 1의 예로서 마련된다. 11.2의 유전 이방성(Δε), 75℃의 네마틱 등방성 전이점(T_{ni}), 및 0.120의 굴절율 이방성(Δn)을 갖는 액정 부재가 액정용으로 사용된다. 화소 전극과 공통 전극의 세로 방향과 액정층(15)에서 액정의 초기 배향 방향에 의해 규정된 각도(β)가 15°로 설정되고, 셀갭(d)이 2.4㎛로 설정된다. 백색 전압(V_{white})이 5.0V로 설정되는 경우, 식(10)에서 얻어진 전극 사이의 간격(L)은 5.7㎛보다 크고 8.3㎛보다 작은 범위 내에서 설정된다. 따라서, 본 예에서, 화소 크기는 가로 79.5㎛, 세로 238.5㎛로 설정되고, 화소 전극과 공통 전극의 폭은 3.5㎛로 설정되고, 전극 사이의 간격(L)은 7㎛로 설정되어, 전극이 파라미터의 상태에 따라 가장 효과적으로 배치되도록 한다. 백색 전압(V_{white})을 5.0V로 설정하여 동작할 때, 액정 디스플레이 장치의 특성을 조사하였다. 그 결과가 표(3)에 도시된다.

표(3)

액정	네마틱-등방성 전이점 (T_{ni})	75℃
	굴절율 이방성 (Δn)	0.120
	유전 이방성 ($\Delta\varepsilon$)	11.2
	회전 점성 계수 (γ_1)	90mPa·sec
셀갭 (d)		2.4㎛
화소 전극과 공통 전극 사이의 간격 (L)		7.0㎛
전극의 길이 방향과 액정의 배향 방향에 의해 규정된 각도 (β)		15°
VT 피크 전압 (V_{max})		5.2V
백색 전압 (V_{white})		5.0V
응답 속도 (τ)		11.9 x 10^{-3} sec
흑색 표시로부터 백색 표시로 전환하는 응답 시간 (τ_{on})		5.7 x 10^{-3} sec
백색 표시로부터 흑색 표시로 전환하는 응답 시간 (τ_{off})		6.2 x 10^{-3} sec

본 실시예에 따른 액정 디스플레이 장치에서, 전압이 증가함에 따라 투과율이 증가하고, 5.2V의 전압이 인가될 때 투과율이 최대가된다. 이때 비계 계수(A)가 11.12이다. 따라서, 본 예에서 백색 전압(V_{white})은 투과율이 최대화되는 전압 또는 VT 피크 전압(V_{max})의 96%에 해당한다. 따라서, 본 예에 따른 액정 디스플레이 장치의 투과율은 최대 투과율의 99.2%의 높은 값을 나타낸다. 또한, 표(3)에 도시된 바와 같이, 본 실시예에 따른 액정 디스플레이 장치에서 흑색 표시로부터 백색 표시로 전환하기까지의 액정의 응답 시간(τ_{on})은 5.7x10^{-3}초이고, 백색 표시로부터 흑색 표시로 전환하기까지의 액정의 응답시간(τ_{off})은 6.2x10^{-3}초이다. 따라서, 응답 속도(τ) 또는 이들 두개의 응답 시간의 합은 11.9x10^{-3}초가 되므로, 양호한 비디오 이미지를 취할 수 있는 15x10^{-3}초 보다 매우 더 작게 되어 매우 양호한 비디오 표시 성능을 얻을 수 있게 된다.

다음으로, 도 7 및 8에 도시된 구조를 갖는 액정 디스플레이 장치가 본 발명의 제 2의 예로서 설명된다. 11.2의 유전 이방성($\Delta\varepsilon$), 75℃의 네마틱 등방성 전이점(T_{ni}), 및 0.120의 굴절율 이방성(Δn)을 갖는 액정 재료가 사용된다. 화소 전극과 공통 전극의 세로 방향과 액정층(15)에서 액정의 초기 배향 방향에 의해 규정된 각도(β)는 15°로 설정되고, 화소 전극과 공통 전극 사이에 형성된 질화 실리콘층의 두께(T)는 0.3㎛로 설정되고, 셀갭(d)은 2.4㎛로 설정된다. 백색 전압(V_{white})이 5.5V로 설정되는 경우, 식(12)으로부터 얻어지는 전극 사이의 간격(L)은 5.7㎛보다 크고 8.3㎛보다 작은 범위내에 있다. 따라서 본 예에서, 화소 크기는 가로 79.5㎛, 세로 238.5㎛이며, 화소 전극과 공통 전극의 폭은 3.5㎛이고, 전극 사이의 간격(L)은 7㎛로서, 전극이 가장 효율적으로 배치될 수 있다. 백색 전압(V_{white})을 5.5V로 설정하여 동작할 때, 액정 디스플레이 장치의 특성을 조사하였따. 그 결과는 표(4)에 도시된다.

표(4)

액정	네마틱-등방성 전이점 (T_{ni})	75°C
	굴절율 이방성 (Δn)	0.120
	유전 이방성 ($\Delta\varepsilon$)	11.2
	회전 점성 계수 (γ_1)	90mPa·sec
셀갭 (d)		2.4μm
화소 전극과 공통 전극 사이의 간격 (L)		7.0μm
전극의 길이 방향과 액정의 배향 방향에 의해 규정된 각도 (β)		15°
질화 실리콘층의 두께 (T)		0.3μm
VT 피크 전압 (V_{max})		5.7V
백색 전압 (V_{white})		5.5V
응답 속도 (τ)		11.9 x 10^{-3} sec
흑색 표시로부터 백색 표시로 전환하는 응답 시간 (τ_{on})		5.7 x 10^{-3} sec
백색 표시로부터 흑색 표시로 전환하는 응답 시간 (τ_{off})		6.2 x 10^{-3} sec

본 예에 따른 액정 디스플레이 장치에서, 전압 상승에 따라 투과율이 증가하고, 5.2V의 전압이 인가될 때 투과율은 최대가 된다. 비례 계수(A)는 11.12였다. 따라서, 본 실시예에서 백색 전압(V_{white})은 VT 피크 전압(V_{max}) 또는 투과율이 최대로 된 전압의 96%이다. 따라서, 본 예에 따른 액정 디스플레이 장치의 투과율은 최대 투과율의 99.2%의 높은 값을 나타낸다. 또한, 표(4)에 도시된 바와 같이, 본 예에 따른 액정 디스플레이 장치에서 흑색 표시로부터 백색 표시로 전환하기까지의 액정의 응답 시간(τ_{on})은 $5.7x10^{-3}$초이고, 백색 표시로부터 흑색 표시로 전환하기까지의 액정의 응답 시간(τ_{off})은 $6.2x10^{-3}$초이다. 따라서, 이들 두 응답 시간의 합 또는 응답 속도(τ)는 $11.9x10^{-3}$초가 되므로, 양호한 비디오 이미지를 취할 수 있는 $15x10^{-3}$초 보다 매우 더 작게 되어 매우 양호한 비디오 표시 성능을 얻을 수 있게 된다.

발명의 효과

본 발명에 따르면, 화소 전극과 공통 전극의 세로 방향과 배향층의 연마 방향에 의해 규정된 각도를 10 내지 20°로 설정하고, 제 1의 배향층과 제 2의 배향층 사이의 거리(d(㎛))를 2.7㎛ 이하로 설정하고, 액정의 유전 이방성($\Delta\varepsilon$)을 8 내지 20으로 설정하고, 백색 전압(V_{white}), 액정의 유전 이방성($\Delta\varepsilon$), 제 1 및 제 2의 배향층 사이의 거리(d(㎛)), 및 화소 전극과 공통 전극 사이의 간격(L(㎛))를 최적화함으로써, 신뢰성과 응답 속도가 향상될 수 있다. 상기는 종래의 IPS 액정 디스플레이 장치에 비해 높은 신뢰성을 갖고 응답 속도가 빠른 액정 디스플레이 장치를 제공할 수 있게 한다.

도면의 간단한 설명

도 1은 본 발명의 제 1의 실시예에 따른 액정 디스플레이 장치의 구조를 도시하는 평면도.

도 2는 도 1에서 선(A-A)을 따라 취해지는 단면도.

도 3은 본 발명의 제 1의 실시예에서 공통 전극(7)과 화소 전극(8)의 위치를 예시적으로 도시하는 단면도.

도 4는 수직축 상에서 VT 피크 전압(V_{max})의 대수를 취하며 수평축상에서 대수를 취하여, 셀 갭(d)과 VT 피크 전압(V_{max}) 사이의 관계를 도시하는 그래프.

도 5는 수직축 상에서 VT 피크 전압(V_{max})의 대수를 취하며 수평축상에서 대수를 취하여 전극 사이의 간격(L)과 VT 피크 전압(V_{max})사이의 관계를 도시하는 도면.

도 6은 수직축 상에서 VT 피크 전압(V_{max})의 대수를 취하며 수평축상에서 대수를 취하여 액정의 유전 이방성(Δε)과 VT 피크 전압(V_{max}) 사이의 관계를 도시하는 그래프.

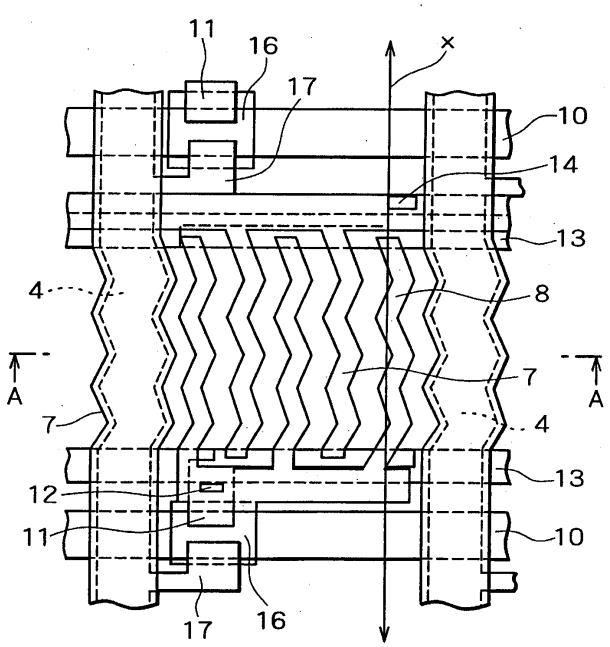
도 7은 본 발명의 제 2의 실시예에 따른 액정 디스플레이 장치의 구조를 도시하는 평면도.

도 8은 도 7에 도시된 선(B-B)을 따라 취해지는 단면도.

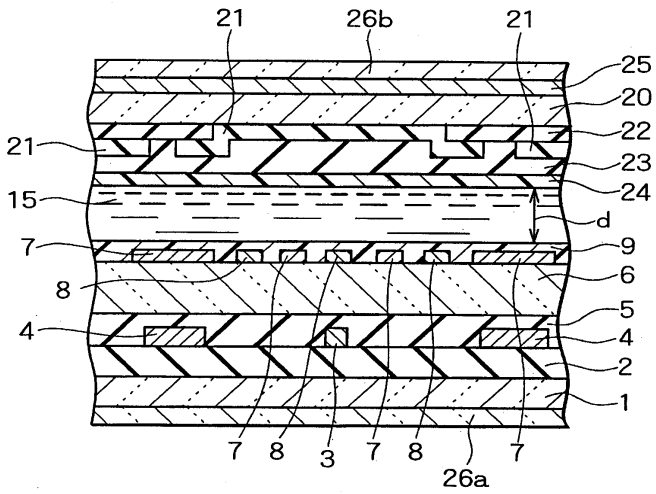
도 9는 본 발명의 제 2의 실시예에서 공통 전극(7)과 화소 전극(8)의 위치를 도시하는 단면도.

도면

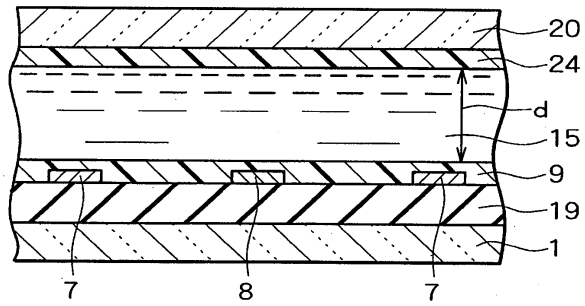
도면1



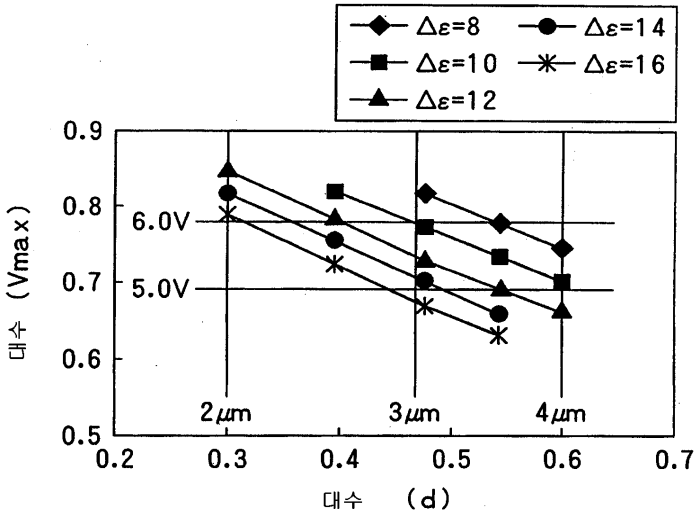
도면2


21
26b
21
25
20
22
23
24
21
15
d
7
9
8
6
5
4
4
2
1
7
8
3
7
8
26a
7

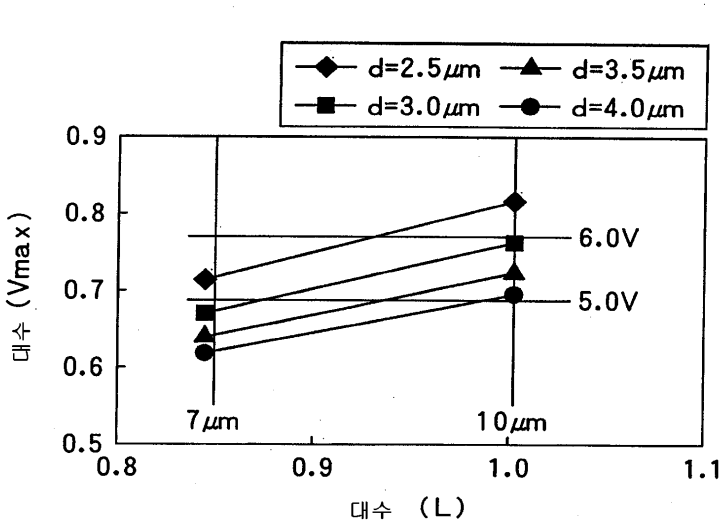
도면3


20
24
d
15
9
19
1
7
8
7

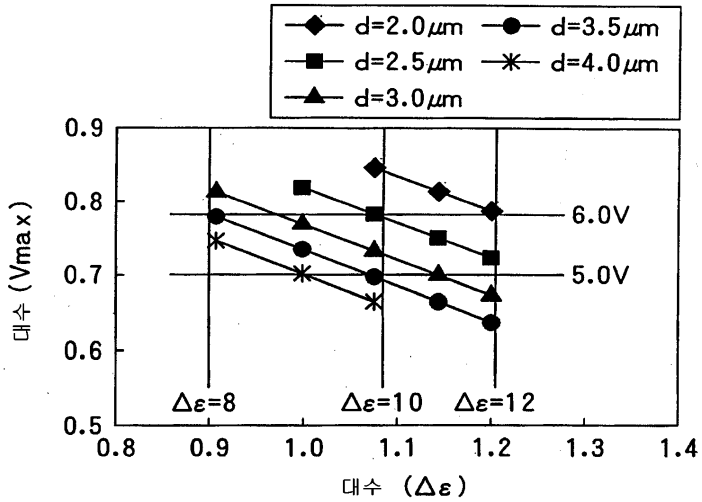
도면4


Δε=8
Δε=14
Δε=10
Δε=16
Δε=12
0.9
0.8
0.7
0.6
0.5
6.0V
5.0V
2μm
3μm
4μm
0.2
0.3
0.4
0.5
0.6
0.7
대수 (Vmax)
대수 (d)

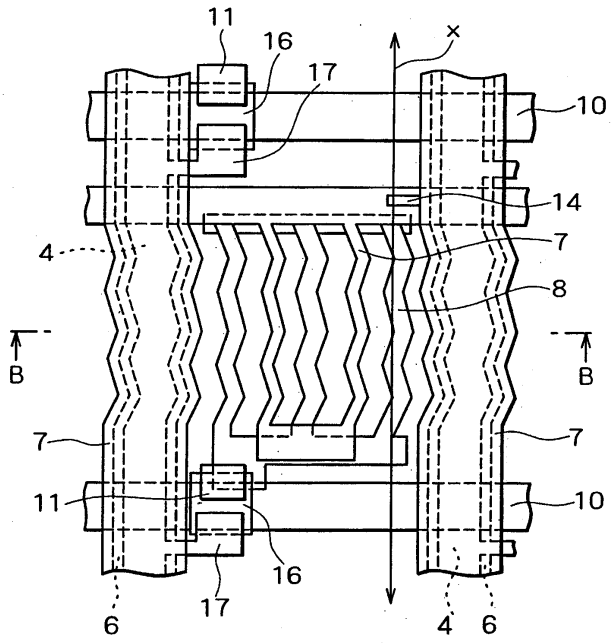
도면5


d=2.5μm
d=3.5μm
d=3.0μm
d=4.0μm
0.9
0.8
0.7
0.6
0.5
대수 (Vmax)
6.0V
5.0V
7μm
10μm
0.8
0.9
1.0
1.1
대수 (L)

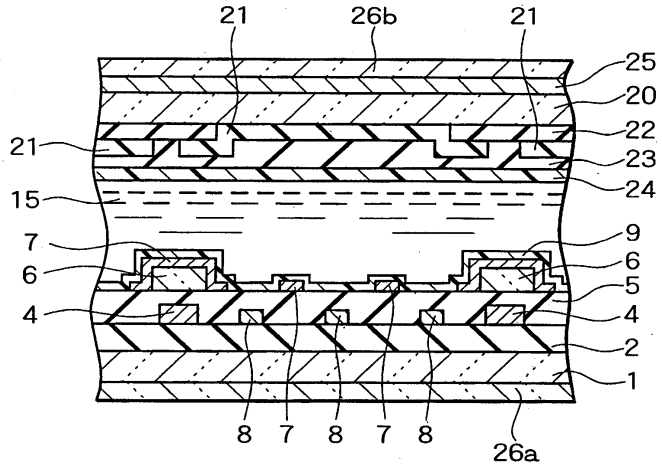
도면6


d=2.0μm
d=3.5μm
d=2.5μm
d=4.0μm
d=3.0μm
0.9
0.8
0.7
0.6
0.5
대수 (Vmax)
6.0V
5.0V
Δε=8
Δε=10
Δε=12
0.8
0.9
1.0
1.1
1.2
1.3
1.4
대수 (Δε)

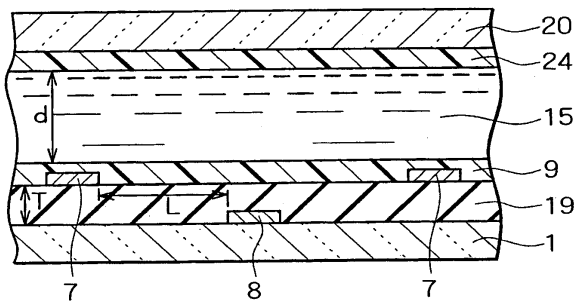
도면7


11
16
17
X
10
14
4
7
8
B
B
7
7
11
10
16
17
6
4
6

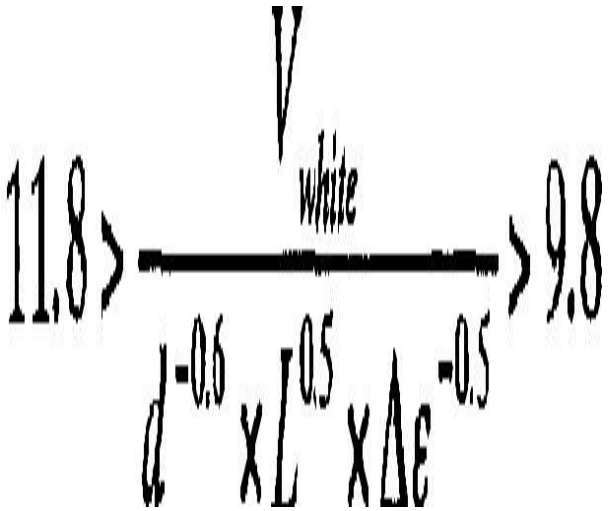
도면8


21
26b
21
25
20
22
21
23
24
15
9
7
6
6
5
4
4
2
1
8
7
8
7
8
26a

도면9


20
24
d
15
9
T
L
19
1
7
8
7

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100689357B1	公开(公告)日	2007-03-02
申请号	KR1020040086508	申请日	2004-10-28
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	INOUE DAISUKE 이노우에다이스케 NISHIDA SHINICHI 니시다신이치		
发明人	이노우에다이스케 니시다신이치		
IPC分类号	G02F1/1343 G02F1/1337 G02F1/133		
CPC分类号	G02F1/133784 G02F1/134363 G02F2201/122		
优先权	2003375935 2003-11-05 JP		
其他公开文献	KR1020050043629A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其制造方法，以实现高响应速度和高可靠性。