



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/36 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월29일 10-0674457 2007년01월19일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0028108 2004년04월23일 2004년04월23일	(65) 공개번호 (43) 공개일자	10-2005-0035064 2005년04월15일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 JP-P-2003-00352203 2003년10월10일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤  
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자 가사이토시히코  
일본아이치켄가스가이시고조지초2-1844-2후지쓰브이엘에스아이가부  
시키가이샤나이

우도신야  
일본아이치켄가스가이시고조지초2-1844-2후지쓰브이엘에스아이가부  
시키가이샤나이

고쿠분마사토시  
일본아이치켄가스가이시고조지초2-1844-2후지쓰브이엘에스아이가부  
시키가이샤나이

기자키요시히로  
일본아이치켄가스가이시고조지초2-1844-2후지쓰브이엘에스아이가부  
시키가이샤나이

(74) 대리인 김태홍  
김성기

심사관 : 이병우

전체 청구항 수 : 총 6 항

(54) 연산 증폭기, 라인 드라이버 및 액정 표시 장치

(57) 요약

본 발명은 보다 단시간에 오프셋 캔슬(offset cancel)이 가능한 연산 증폭기, 및 1 수평 기간(horizontal period)을 짧게 할 수 있는 라인 드라이버(line driver) 및 액정 표시 장치를 제공하는 것을 과제로 한다.

본 발명의 연산 증폭기에서는, 오프셋 캔슬 준비 기간(HC2)에 있어서의 참조 전압을, 1 수평 기간 전의 1 수평 기간(H1)에 있어서의 출력 전압(VO)으로 함으로써, 출력 전압(VO(2))은 오프셋 전압(Voff)분 만큼 피드백 제어에 의해 변화시키면 되는 구성으로 함으로써, 피드백 제어에 걸리는 시간을 종래보다 단축하고 있다.

또 본 발명의 라인 드라이버에서는, 표시데이터(D1 내지 D6)의 출력에 이용되지 않는 연산 증폭기가 오프셋 캔슬 동작이 이루어져, 1 수평 기간마다 순차 천이된다. 따라서 오프셋 캔슬 준비 기간을 출력 기간에 포함할 필요가 없어지기 때문에, 보다 한층 더 1 수평 기간의 단축화가 가능해진다.

## 대표도

도 1

## 특허청구의 범위

### 청구항 1.

전류 미러 회로를 갖춘 차동 증폭 회로와,

상기 차동 증폭 회로의 반전 입력 단자와 비반전 입력 단자와의 사이에 접속되는 제1 스위치와,

연산 증폭기의 출력 단자와 상기 반전 입력 단자와의 사이에 접속되는 제2 스위치와,

상기 전류 미러 회로의 제1 및 제2 전류 단자에 각각 제1 및 제2 트랜지스터의 전류 경로 일단이 접속되는 차동 입력 회로와,

상기 제1 트랜지스터의 게이트와 상기 연산 증폭기의 출력 단자와의 사이에 접속되는 제3 스위치와,

상기 제1 트랜지스터의 게이트와 소정 전압과의 사이에 접속되는 제1 커패시터와,

상기 제2 트랜지스터의 게이트와 상기 연산 증폭기의 출력 단자와의 사이에 접속되는 제4 스위치와,

상기 제2 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제2 커패시터를 구비하고,

오프셋 전압 취득 작업과 오프셋 전압 캔슬 작업을 교대로 반복하여 행하는 연산 증폭기 제어 방법으로서,

1 주기전의 상기 오프셋 전압 캔슬 작업에서 상기 제1 및 제3 스위치가 비도통 상태로 되고 상기 제2 스위치가 도통 상태로 되며 상기 제2 스위치의 도통 상태 기간 중에서 상기 제4 스위치가 소정 기간 도통 상태로 되는 것으로, 상기 출력 신호를 기준 전압으로서 상기 제2 커패시터에 유지하고,

이어서 상기 오프셋 전압 취득 작업에서 상기 제1 및 제3 스위치가 도통 상태로 되고 상기 제2 스위치가 비도통 상태로 되는 것으로, 상기 기준 전압에 대한 오프셋 값을 포함한 상기 출력 신호를 상기 제1 커패시터에 유지하고,

이어서 상기 오프셋 전압 캔슬 작업에서 상기 제1 및 제3 스위치가 비도통 상태로 되고 상기 제2 스위치가 도통 상태로 되는 것으로, 상기 오프셋 값에 따라 상기 연산 증폭기의 오프셋 캔슬을 행하는 것

을 특징으로 하는 연산 증폭기의 제어 방법.

### 청구항 2.

삭제

### 청구항 3.

삭제

### 청구항 4.

전류 미러 회로를 갖춘 차동 증폭 회로와,

상기 차동 증폭 회로의 반전 입력 단자와 비반전 입력 단자와의 사이에 접속된 제1 스위치와,

연산 증폭기의 출력 단자와 상기 반전 입력 단자와의 사이에 접속되는 제2 스위치와,

상기 전류 미러 회로의 제1 및 제2 전류 단자에 각각 제1 및 제2 트랜지스터의 전류 경로 일단이 접속되는 차동 쌍 입력 회로와,

상기 제1 트랜지스터의 게이트와 상기 연산 증폭기의 출력 단자와의 사이에 접속되는 제3 스위치와,

상기 제1 트랜지스터의 게이트와 소정 전압과의 사이에 접속되는 제1 커패시터와,

상기 제2 트랜지스터의 게이트와 상기 비반전 입력 단자와의 사이에 접속되는 제5 스위치와,

상기 제2 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제2 커패시터를 구비하고,

오프셋 전압 취득 작업과 오프셋 전압 캔슬 작업을 교대로 반복하여 행하는 연산 증폭기의 제어 방법으로서,

1 주기전의 상기 오프셋 전압 캔슬 작업에서 상기 제1 및 제3 스위치가 비도통 상태로 되고 상기 제2 스위치가 도통 상태로 되며 상기 제2 스위치의 도통 상태 기간 중에서 상기 제5 스위치가 소정 기간 도통 상태로 되는 것으로, 상기 출력 신호를 기준 전압으로서 상기 제2 커패시터에 유지하고,

이어서 상기 오프셋 전압 취득 작업에서 상기 제1 및 제3 스위치가 도통 상태로 되고 상기 제2 스위치가 비도통 상태로 되는 것으로, 상기 기준 전압에 대한 오프셋 값을 포함한 상기 출력 신호를 상기 제1 커패시터에 유지하고,

이어서 상기 오프셋 전압 캔슬 작업에서 상기 제1 및 제3 스위치가 비도통 상태로 되고 상기 제2 스위치가 도통 상태로 되는 것으로, 상기 오프셋 값에 따라 상기 연산 증폭기의 오프셋 캔슬을 행하는 것

을 특징으로 하는 연산 증폭기의 제어 방법.

### 청구항 5.

삭제

### 청구항 6.

삭제

### 청구항 7.

반복해서 나타나는 출력 기간마다, 적어도 하나의 입력 신호를 그 입력 신호마다 증폭하는 라인 드라이버로서,

상기 입력 신호의 증폭용으로서 상기 입력 신호에 비하여 적어도 하나 많은 연산 증폭기와,

상기 연산 증폭기 중, 상기 입력 신호가 입력되어 증폭 동작을 하는 연산 증폭기를 상기 출력 기간마다 전환하여 선택하는 전환 스위치부를 구비하며,

상기 출력 기간에, 비선택으로 되는 연산 증폭기에 대하여 오프셋 캔슬이 이루어지는 것을 특징으로 하는 라인 드라이버.

**청구항 8.**

제7항에 있어서,

상기 연산 증폭기는 상기 입력 신호의 증폭용으로서 상기 입력 신호에 비하여 하나 더 많고,

상기 전환 스위치부는 인접하는 2개의 상기 연산 증폭기마다 구비되어, 어느 한 쪽의 상기 연산 증폭기를 선택하며,

상기 오프셋 캔슬은 상기 입력 신호가 입력되지 않는 비선택의 연산 증폭기에 대하여 이루어지며,

인접하는 상기 전환 스위치부는 상기 출력 기간마다 순차 전환되는 것을 특징으로 하는 라인 드라이버.

**청구항 9.**

반복해서 나타나는 1 수평 기간마다, 복수의 데이터선을 통해 화상 데이터를 인가하는 액정 표시 장치로서,

입력 신호의 증폭용으로서 상기 입력 신호에 비하여 적어도 하나 많은 연산 증폭기와,

상기 연산 증폭기 중, 상기 입력 신호가 입력되어 증폭 동작을 하는 연산 증폭기를 상기 출력 기간마다 전환하여 선택하는 전환 스위치부를 구비하고,

상기 출력 기간에, 비선택으로 되는 연산 증폭기에 대하여 오프셋 캔슬이 이루어지는 것을 특징으로 하는 라인 드라이버를 갖는 것을 특징으로 하는 액정 표시 장치.

**청구항 10.**

연산 증폭기의 오프셋 값을 기준 전압과의 차분 전압(differential voltage)으로서 받아들이는 오프셋 전압 취득(fetch) 동작과, 차분 전압을 출력 전압으로부터 캔슬하는 오프셋 전압 캔슬 동작을 교대로 반복해서 실행하는 오프셋 캔슬 회로에 있어서,

상기 오프셋 전압 취득 동작을 할 때에 사용되는 기준 전압으로서, 상기 오프셋 전압 취득 동작 이전의 상기 연산 증폭기의 입력 전압, 또는 상기 오프셋 전압 취득 동작 이전의 오프셋 전압 캔슬 동작 후의 상기 연산 증폭기의 출력 전압을 사용하는 것을 특징으로 하는 오프셋 캔슬 회로.

명세서

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 오프셋 캔슬 기능을 갖는 연산 증폭기에 관한 것이다. 또한 오프셋 캔슬 기능을 갖는 액정 표시 장치의 라인 드라이버 및 액정 표시 장치에 관한 것이다.

연산 증폭기에서는, 구성 트랜지스터의 전류 전압 특성의 변동에 의해 오프셋 전압이 발생하는 경우가 있다. 이러한 오프셋 전압의 발생은 연산 증폭기의 특성상 바람직하지 못하다. 예컨대, 복수의 연산 증폭기가 복수의 데이터선을 구동하는 액정 표시 장치의 소스 드라이버 회로에 있어서, 동일한 입력 전압에 대하여도 연산 증폭기의 출력 전압이 다른 경우가 있어, 표시화상의 색얼룩짐의 원인으로 된다. 따라서, 연산 증폭기의 오프셋을 억제할 필요가 있다.

특허문헌1에는, 도 10에 도시한 바와 같은 오프셋 캔슬 기능을 갖는 연산 증폭기 회로(100) 및 도 11에 도시한 바와 같은 연산 증폭기 회로(100)의 동작을 나타내는 타임차트가 개시되어 있다. 도 11의 시점 t1에서부터 t2까지의 오프셋 캔슬 준비 기간에는 도 10에 있어서 스위치(SW101 및 SW103)가 온으로 되고, 스위치(SW102)가 오프로 된다. 이에 따라, 출력 전압(VOJ)이 NMOS 트랜지스터(M101)의 게이트로 피드백되지 않고 NMOS 트랜지스터(M101과 M102)의 게이트전압이 입력 전압(VIJ)으로 되기 때문에, 차동 쌍 입력 회로(115)는 전류 미러 회로(114)에 대한 전류원으로서 동작한다. 이에 대하여, NMOS 트랜지스터(M108)의 게이트에 출력 전압(VOJ)이 피드백되기 때문에, 전류 미러 회로(114)와 차동 쌍 입력 회로(116)로 이루어지는 차동 증폭 회로와 출력 버퍼 회로(112)에 의해 전압 폴로워 회로가 구성되며, 출력 전압(VOJ)이 참조 전압(Vref)에 근접하도록 피드백 제어된다. 이 때, MOS 트랜지스터의 게이트 산화막의 두께의 변동 등에 의해 전압 V101과 V102가 서로 같아지지 않고, 출력 전압(VOJ)이 입력 전압(VIJ)에서 틀어지게 되는 오프셋이 생긴다. 이 오프셋을 포함한 출력 전압(VOJ)에 의해 커패시터(C101)가 충전 또는 방전되어, 그 스위치(SW103)측의 전극의 전압이 출력 전압(VOJ)과 같아진다. 즉 커패시터(C101)에 그 안정 상태에서의 출력 전압(VOJ)이 기억된다.

시점 t2에서 스위치(SW101 및 SW103)가 오프로 되고, 스위치(SW102)가 온으로 되면, 차동 쌍 입력 회로(115와 116)의 동작이 반대로 되며, 차동 증폭 회로(111)와 출력 버퍼 회로(112)로 전압 폴로워가 구성되며, 출력 전압(VOJ)이 입력 전압(VIJ)에 근접하도록 피드백 제어된다. 이 때, NMOS 트랜지스터(M108)의 게이트 전압은 시점 t2에서의 출력 전압(VOJ)과 같다. 차동 쌍 입력 회로(115와 116)의 동작이 반대로 되더라도, 차동 쌍 입력 회로(115와 116)가 전류 미러 회로(114)에 병렬로 접속되어 있고, 또한, NMOS 트랜지스터(M102, M108 및 M109)의 게이트전압이 시점 t2의 스위치 전환 직전에 있어서의 안정 상태의 전압과 같기 때문에, NMOS 트랜지스터(M101)의 게이트전압은 그 스위치 전환 직전의 전압인 입력 전압(VIJ)에 일치한 상태로 피드백 제어가 안정적으로 된다. 즉 오프셋 전압이 캔슬되어, 입력 전압(VIJ)과 같은 출력 전압(VOJ)이 출력된다.

또 특허문헌1에는 오프셋 캔슬 기능을 갖춘 연산 증폭기 회로를 데이터 드라이버(라인 드라이버)에 이용한 액정 표시 장치의 개략적인 구성이 도 12에 도시한 바와 같이 개시되어 있다. 액정표시패널(120)에는 수직방향으로 연장된 복수의 데이터선(121)과 수평방향으로 연장된 복수의 주사선(122)이 서로 크로스오버되어 형성되며, 각 크로스오버 점에 대응하여 화소가 형성되어 있다. 데이터선(121) 및 주사선(122)의 일단은 각각 데이터 드라이버(라인 드라이버)(130) 및 주사 드라이버(140)에 접속되어 있다. 제어 회로(150)는 외부에서 공급되는 비디오 신호, 픽셀 클럭 신호, 수평 동기 신호 및 수직 동기 신호에 기초하여, 데이터 드라이버(라인 드라이버)(130)에 표시 데이터 신호 및 클럭 신호를 공급하는 동시에, 주사 드라이버 데이터 드라이버(라인 드라이버)(130)에 주사 제어 신호를 공급한다. 데이터 드라이버(라인 드라이버)(130)는 1 수평 주사 기간 마다(및 1 픽셀 마다)에, 표시 데이터를 그라운드 전압(GND)에 대하여 정극성(positive polarity) 및 부극성(negative polarity)의 전압으로 변환하여 출력한다. 데이터 드라이버(라인 드라이버)(130)에서는 그 출력단에 정극성의 오프셋 캔슬을 지닌 전압 폴로워(131), 부극성의 오프셋 캔슬이 딸린 전압 폴로워(132)가 형성되며, 이들의 인접하는 1 쌍의 정극성 및 부극성의 오프셋 캔슬을 지닌 전압 폴로워마다 그 출력이 전환 회로(133)에서 평행 접속 또는 크로스오버 접속되도록, 액정표시패널(120)의 데이터선(121)에 접속되어 있다. 정극성의 오프셋 캔슬을 지닌 전압 폴로워(131)는 연산 증폭기 회로(100)와 동일한 구성이며, 부극성의 오프셋 캔슬을 지닌 전압 폴로워(132)는 연산 증폭기 회로(100)에 있어서 NMOS 트랜지스터와 PMOS 트랜지스터를 교체한 구성이다.

[특허문헌1]일본 특허 공개 2003-168936호 공보(단락 0019-0035, 도 1 및 도 2)

### 발명이 이루고자 하는 기술적 과제

그러나 상기 특허문헌1에서는, 연산 증폭기의 오프셋을 캔슬하기 위한 참조 전압으로서 일정치인 참조 전압(Vref)을 이용하고 있었기 때문에, 출력 전압(VOJ)과 참조 전압(Vref)과의 전압차가 큰 경우에는 오프셋 전압을 포함한 출력 전압(VOJ)까지 피드백 제어가 이루어지는 데에 시간이 걸리기 때문에, 이러한 경우를 상정하여 오프셋 캔슬 준비 기간을 길게 잡을 필요가 있다. 따라서 오프셋 캔슬 준비 기간의 단축화에 있어서 방해가 되기 때문에 문제이다.

또한 액정 표시 장치에서는 액정 표시 장치의 고선명화를 위해 표시 라인수가 많아지는 경우에는 1 수평 기간을 짧게 해야만 한다. 그러나 상기 특허문헌1에 있어서의 액정 표시 장치에서는 1 수평 기간 내에 오프셋 캔슬 준비 기간이 존재하기 때문에, 1 수평 기간 전체의 단축화가 곤란하여 문제이다.

본 발명은 상기 종래기술의 과제의 적어도 하나를 해소하기 위해서 이루어진 것으로, 보다 단시간에 오프셋 캔슬이 가능한 연산 증폭기 및 1 수평 기간을 짧게 할 수 있는 라인 드라이버 및 액정 표시 장치를 제공하는 것을 목적으로 한다.

### 발명의 구성

상기 목적을 달성하기 위해서, 청구항 1에 따른 연산 증폭기는, 전류 미러 회로를 갖춘 차동 증폭 회로를 구비하는 연산 증폭기로서, 차동 증폭 회로의 반전 입력 단자와 비반전 입력 단자와의 사이에 접속된 제1 스위치와, 연산 증폭기의 출력 단자와 반전 입력 단자와의 사이에 접속되어, 제1 스위치에 대하여 도전 및 비도전 상태가 역으로 제어되는 제2 스위치와, 전류 미러 회로의 제1 및 제2 전류 단자에 각각 제1 및 제2 트랜지스터의 전류로 일단이 접속되는 차동 쌍 입력 회로와, 제1 트랜지스터의 게이트와 연산 증폭기의 출력 단자와의 사이에 접속되어, 제1 스위치의 도전시에는 도전 상태로 되고, 제1 스위치의 비도전시에는 비도전 상태로 되는 제3 스위치와, 제1 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제1 커패시터와, 제2 트랜지스터의 게이트와 연산 증폭기의 출력 단자와의 사이에 접속되어, 제2 스위치의 도전 상태 기간 중에 있어서 소정 기간 도전 상태로 되는 제4 스위치와, 제2 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제2 커패시터를 구비하여, 오프셋 캔슬 기능을 갖는 것을 특징으로 한다.

또 청구항 4에 따른 연산 증폭기는, 전류 미러 회로를 갖춘 차동 증폭 회로를 구비하는 연산 증폭기로서, 차동 증폭 회로의 반전 입력 단자와 비반전 입력 단자와의 사이에 접속된 제1 스위치와, 연산 증폭기의 출력 단자와 반전 입력 단자와의 사이에 접속되어, 제1 스위치에 대하여 도전 및 비도전 상태가 역으로 제어되는 제2 스위치와, 전류 미러 회로의 제1 및 제2 전류 단자에 각각 제1 및 제2 트랜지스터의 전류로 일단이 접속되는 차동 쌍 입력 회로와, 제1 트랜지스터의 게이트와 연산 증폭기의 출력 단자와의 사이에 접속되어, 제1 스위치의 도전시에는 도전 상태로 되고, 제1 스위치의 비도전시에는 비도전 상태로 되는 제3 스위치와, 제1 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제1 커패시터와, 제2 트랜지스터의 게이트와 비반전 입력 단자와의 사이에 접속되어, 제2 스위치의 도전 상태 기간 중에 있어서 소정 기간 도전 상태로 되는 제5 스위치와, 제2 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제2 커패시터를 구비하여, 오프셋 캔슬 기능을 갖는 것을 특징으로 한다.

청구항 1 및 4에 따른 연산 증폭기에서는, 제2 스위치가 도전 상태로 되고, 제1 및 제3 스위치가 비도전 상태로 될 때는 출력 기간이다. 소정 전압이란 예컨대 접지 전압이 이용된다. 청구항 1에 따른 연산 증폭기에서는 제2 스위치의 도전 상태 기간 중에 있어서 제4 스위치가 소정 기간 도전 상태로 되어, 연산 증폭기의 출력 단자의 전압값이 제2 커패시터에 기억된다. 청구항 4에 따른 연산 증폭기에서는 제2 스위치의 도전 상태 기간 중에 있어서 제5 스위치가 소정 기간 도전 상태로 되어, 비반전 입력 단자의 전압값이 제2 커패시터에 기억된다. 제4 또는 제5 스위치가 도전 상태로 되는 소정 기간의 길이 및 기간을 시작하는 때는, 제2 스위치의 도전 상태 기간 중이든 된다. 그리고 연산 증폭기의 출력 단자의 전압치 또는 비반전 입력 단자의 전압값이 제2 스위치의 도전 상태 기간 내에서 가장 변화되는 경우에 있어서도, 변화 후의 전압값이 안정적으로 되기에 충분한 시간이 경과했을 때를 제4 또는 제5 스위치의 도전 상태로 하는 기간 시작으로 하고, 그 변화 후의 전압값이 제2 커패시터에 기억되기에 충분한 기간 길이면 된다. 한편 출력 기간에서는, 출력 단자의 전압치와 비반전 입력 단자의 전압값이 대략 같게 되고 있다. 다음에 제2 스위치 및 제4 또는 제5 스위치가 비도전 상태로 상태가 천이되는 동시에, 제1 및 제3 스위치가 도전 상태로 상태가 천이되면, 오프셋 캔슬 준비 기간으로 된다. 제3 스위치의 도전에 의해 제1 트랜지스터의 게이트에 연산 증폭기의 출력 단자의 전압값이 피드백된다. 또한 제2 트랜지스터의 게이트에는 상태가 천이되기 전의 연산 증폭기의 출력 단자의 전압치 또는 비반전 입력 단자의 전압값이, 제2 커패시터에 기억되어 인가된다.

이에 따라 오프셋 캔슬 준비 기간에는 제3 스위치의 도전에 의해 제1 트랜지스터의 게이트에 연산 증폭기의 출력 단자의 전압값이 피드백되어, 연산 증폭기의 출력 단자의 전압값이, 상태가 천이되기 전의 출력 단자의 전압치인 제2 커패시터의 전압치와 대략 같아지도록 제어된다. 이 때 연산 증폭기는 전압 폴로워의 동작을 하기 때문이다. 다만 이 기간에는, 제1 스위치가 도전하고 있으며, 차동 증폭 회로의 오프셋 전압이 가산되어 제어된다. 이 때문에 연산 증폭기의 출력 단자의 전압값이 제2 커패시터의 전압치에 대하여 오프셋 전압 만큼 변위된 전압으로 피드백 제어된다. 종래 기술에서는, 연산 증폭기의 오프셋을 캔슬하기 위한 참조 전압으로서 고정치의 전압을 이용하고 있었기 때문에, 연산 증폭기의 출력 단자와 고정치의 전압과의 전압차가 큰 경우에는, 피드백 제어가 종료되는 데 시간이 걸리기므로, 이러한 경우를 상정하여 오프셋 캔슬 준비 기간을 길게 잡을 필요가 있어, 오프셋 캔슬 준비 기간의 단축화에 있어서 방해가 되고 있었다. 그런데 청구항 1 및 4에 따른 연산 증폭기에서는, 제2 커패시터의 전압치와 피드백 제어가 시작되는 시점에서의 연산 증폭기의 출력 단자의 전압값이 대략 같기 때문에, 피드백 제어가 종료될 때까지의 시간이 짧아도 된다. 따라서 오프셋 캔슬 준비 기간의 단축화가 가능해진다.

또한 청구항 2에 따른 라인 드라이버는, 반복해서 나타나는 출력 기간마다, 적어도 하나의 입력 신호를 그 입력 신호마다 증폭하는 라인 드라이버로서, 전류 미러 회로를 갖춘 차동 증폭 회로를 구비하며, 입력 신호를 증폭하는 연산 증폭기를 입력 신호마다 구비하고, 연산 증폭기는, 차동 증폭 회로의 반전 입력 단자와 비반전 입력 단자와의 사이에 접속된 제1 스위치와, 연산 증폭기의 출력 단자와 반전 입력 단자와의 사이에 접속되어, 제1 스위치에 대하여 도전 및 비도전 상태가 역으로 제어되는 제2 스위치와, 전류 미러 회로의 제1 및 제2 전류 단자에 각각 제1 및 제2 트랜지스터의 전류로 일단이 접속되는 차동 쌍 입력 회로와, 제1 트랜지스터의 게이트와 연산 증폭기의 출력 단자와의 사이에 접속되어, 제1 스위치의 도전시에는 도전 상태로 되고, 제1 스위치의 비도전시에는 비도전 상태로 되는 제3 스위치와, 제1 트랜지스터의 게이트와 소정

전압과의 사이에 접속된 제1 커패시터와, 제2 트랜지스터의 게이트와 연산 증폭기의 출력 단자와의 사이에 접속되어, 제2 스위치의 도전 상태 기간 중에 있어서 소정 기간 도전 상태로 되는 제4 스위치와, 제2 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제2 커패시터를 구비하여, 오프셋 캔슬 기능을 갖는 것을 특징으로 한다.

또 청구항 5에 따른 라인 드라이버는, 반복해서 나타나는 출력 기간마다, 적어도 하나의 입력 신호를 그 입력 신호마다 증폭하는 라인 드라이버로서, 전류 미러 회로를 갖춘 차동 증폭 회로를 구비하며, 입력 신호를 증폭하는 연산 증폭기를 입력 신호마다 구비하고, 연산 증폭기는, 차동 증폭 회로의 반전 입력 단자와 비반전 입력 단자와의 사이에 접속된 제1 스위치와, 연산 증폭기의 출력 단자와 반전 입력 단자와의 사이에 접속되어, 제1 스위치에 대하여 도전 및 비도전 상태가 역으로 제어되는 제2 스위치와, 전류 미러 회로의 제1 및 제2 전류 단자에 각각 제1 및 제2 트랜지스터의 전류로 일단이 접속되는 차동 쌍 입력 회로와, 제1 트랜지스터의 게이트와 연산 증폭기의 출력 단자와의 사이에 접속되어, 제1 스위치의 도전시에는 도전 상태로 되고, 제1 스위치의 비도전시에는 비도전 상태로 되는 제3 스위치와, 제1 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제1 커패시터와, 제2 트랜지스터의 게이트와 비반전 입력 단자와의 사이에 접속되어, 제2 스위치의 도전 상태 기간 중에 있어서 소정 기간 도전 상태로 되는 제5 스위치와, 제2 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제2 커패시터를 구비하여, 오프셋 캔슬 기능을 갖는 것을 특징으로 한다.

이에 따라 오프셋 캔슬 준비 기간의 단축화가 이루어진 라인 드라이버를 구성할 수 있다. 따라서 라인 드라이버의 고속화를 도모할 수 있다.

또 청구항 3에 따른 액정 표시 장치는 반복해서 나타나는 1 수평 기간마다, 복수의 데이터선을 통해 화상 데이터 전압 신호를 인가하는 액정 표시 장치로서, 전류 미러 회로를 갖춘 차동 증폭 회로를 구비하며, 화상 데이터 전압 신호를 증폭하는 연산 증폭기를 화상 데이터 전압 신호마다 구비하고, 연산 증폭기는, 차동 증폭 회로의 반전 입력 단자와 비반전 입력 단자와의 사이에 접속된 제1 스위치와, 연산 증폭기의 출력 단자와 반전 입력 단자와의 사이에 접속되어, 제1 스위치에 대하여 도전 및 비도전 상태가 역으로 제어되는 제2 스위치와, 전류 미러 회로의 제1 및 제2 전류 단자에 각각 제1 및 제2 트랜지스터의 전류로 일단이 접속되는 차동 쌍 입력 회로와, 제1 트랜지스터의 게이트와 연산 증폭기의 출력 단자와의 사이에 접속되어, 제1 스위치의 도전시에는 도전 상태로 되고, 제1 스위치의 비도전시에는 비도전 상태로 되는 제3 스위치와, 제1 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제1 커패시터와, 제2 트랜지스터의 게이트와 연산 증폭기의 출력 단자와의 사이에 접속되어, 제2 스위치의 도전 상태 기간 중에 있어서 소정 기간 도전 상태로 되는 제4 스위치와, 제2 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제2 커패시터를 구비하여, 오프셋 캔슬 기능을 갖는 것을 특징으로 한다.

또 청구항 6에 따른 액정 표시 장치는, 반복해서 나타나는 1 수평 기간마다, 복수의 데이터선을 통해 화상 데이터 전압 신호를 인가하는 액정 표시 장치로서, 전류 미러 회로를 갖춘 차동 증폭 회로를 구비하며, 화상 데이터 전압 신호를 증폭하는 연산 증폭기를 화상 데이터 전압 신호마다 구비하고, 연산 증폭기는, 차동 증폭 회로의 반전 입력 단자와 비반전 입력 단자와의 사이에 접속된 제1 스위치와, 연산 증폭기의 출력 단자와 반전 입력 단자와의 사이에 접속되어, 제1 스위치에 대하여 도전 및 비도전 상태가 역으로 제어되는 제2 스위치와, 전류 미러 회로의 제1 및 제2 전류 단자에 각각 제1 및 제2 트랜지스터의 전류로 일단이 접속되는 차동 쌍 입력 회로와, 제1 트랜지스터의 게이트와 연산 증폭기의 출력 단자와의 사이에 접속되어, 제1 스위치의 도전시에는 도전 상태로 되고, 제1 스위치의 비도전시에는 비도전 상태로 되는 제3 스위치와, 제1 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제1 커패시터와, 제2 트랜지스터의 게이트와 비반전 입력 단자와의 사이에 접속되어, 제2 스위치의 도전 상태 기간 중에 있어서 소정 기간 도전 상태로 되는 제5 스위치와, 제2 트랜지스터의 게이트와 소정 전압과의 사이에 접속된 제2 커패시터를 구비하여, 오프셋 캔슬 기능을 갖는 것을 특징으로 한다.

이에 따라 오프셋 캔슬 준비 기간의 단축화가 이루어진 연산 증폭기를 탑재한 액정 표시 장치를 구성할 수 있다. 따라서 액정 표시 장치의 고선명화를 도모할 수 있다.

또 청구항 7에 따른 라인 드라이버는, 반복해서 나타나는 출력 기간마다, 적어도 하나의 입력 신호를 그 입력 신호마다 증폭하는 라인 드라이버로서, 입력 신호의 증폭용으로서 입력 신호에 대하여 적어도 하나 많은 연산 증폭기와, 연산 증폭기 중, 입력 신호가 입력되어 증폭 동작을 하는 연산 증폭기를 출력 기간마다 전환하여 선택하는 전환 스위치부를 구비하며, 출력 기간에, 비선택으로 되는 연산 증폭기에 대하여 오프셋 캔슬이 이루어지는 것을 특징으로 한다.

입력 신호가 입력되는 선택된 연산 증폭기는, 입력 신호를 그 입력 신호마다 증폭하여 출력한다. 또 선택된 연산 증폭기가 신호를 출력하고 있는 동안에, 입력 신호가 입력되지 않는 비선택의 연산 증폭기에 대하여 오프셋 캔슬이 이루어진다. 그리고 선택된 연산 증폭기를 전환하여 스위치부에 의해서 출력 기간마다 전환하여 선택하기 때문에, 비선택으로 되는 연산 증폭기도 출력 기간마다 전환된다. 모든 연산 증폭기가 일정한 순서로 비선택으로 되도록 전환 스위치부가 전환되어, 모든 연산 증폭기의 오프셋 캔슬이 이루어진다. 이에 따라, 각 출력 기간에 앞서서 별도 오프셋 캔슬 준비 기간을 마련할 필요가 없어진다. 따라서 오프셋 캔슬 준비 기간을 출력 기간에 포함할 필요가 없어진다.



또한 청구항 8에 따른 라인 드라이버는, 청구항 7에 기재한 라인 드라이버에 있어서, 상기 연산 증폭기는 상기 입력 신호의 증폭용으로서 상기 입력 신호에 비하여 하나 더 많고, 상기 전환 스위치부는 인접하는 2개의 상기 연산 증폭기마다 구비되어 어느 한 쪽의 상기 연산 증폭기를 선택하며, 상기 오프셋 캔슬은 상기 입력 신호가 입력되지 않는 비선택의 연산 증폭기에 대하여 이루어지며, 인접하는 상기 전환 스위치부는 상기 출력 기간마다 순차 전환되는 것을 특징으로 한다.

입력 신호의 신호수에 대하여 하나 많은 수의 연산 증폭기가 구비된다. 또한 입력 신호가 입력되어 증폭 동작을 하는 연산 증폭기를 출력 기간마다 전환하여 선택하는 전환 스위치부가 구비된다. 예컨대 인접하는 2개의 연산 증폭기마다 전환 스위치부가 구비되고, 전환 스위치부가 출력 기간마다 순차 전환된다. 그리고 출력 기간에 비선택으로 되는 연산 증폭기에 대하여 오프셋 캔슬이 이루어진다.

이에 따라, 입력 신호가 입력되지 않는 연산 증폭기가 출력 기간마다 순차 천이되어, 입력 신호가 입력되지 않는 동안에 오프셋 캔슬 동작이 이루어진다. 그리고 한번 오프셋 캔슬 동작이 이루어지면, 얻어진 오프셋 값은 다음 오프셋 캔슬 동작이 이루어질 때까지 유지된다. 따라서 각 출력 기간에 앞서서 별도 오프셋 캔슬 준비 기간을 마련할 필요가 없어, 오프셋 캔슬 준비 기간을 출력 기간에 포함할 필요가 없어진다.

또한 청구항 9에 따른 액정 표시 장치는, 반복해서 나타나는 1 수평 기간마다, 복수의 데이터선을 통해 화상 데이터를 인가하는 액정 표시 장치로서, 입력 신호의 증폭용으로서 입력 신호에 대하여 적어도 하나 많은 연산 증폭기와, 연산 증폭기 중, 입력 신호가 입력되어 증폭 동작을 하는 연산 증폭기를 출력 기간마다 전환하여 선택하는 전환 스위치부를 구비하며, 출력 기간에, 비선택으로 되는 연산 증폭기에 대하여 오프셋 캔슬이 이루어지는 것을 특징으로 하는 라인 드라이버를 갖는 것을 특징으로 한다.

이에 따라, 각 출력 기간에 앞서서 오프셋 캔슬 준비 기간을 마련할 필요가 없어지기 때문에, 1 수평 기간을 짧게 할 수 있어, 표시라인수를 많게 하여 액정 표시 장치의 고선명화를 도모할 수 있다.

또한 청구항 10에 따른 오프셋 캔슬 회로는, 연산 증폭기의 오프셋 값을 기준 전압과의 차분 전압(differential voltage)으로서 받아들이는 오프셋 전압 취득(fetch) 동작과, 차분 전압을 출력 전압으로부터 캔슬하는 오프셋 전압 캔슬 동작을 교대로 반복해서 행하는 오프셋 캔슬 회로에 있어서, 오프셋 전압 취득 동작을 할 때에 사용되는 기준 전압으로서, 그 이전의 입력 전압 또는 그 이전의 오프셋 전압 캔슬 동작을 한 후의 출력 전압을 사용하는 것을 특징으로 한다.

오프셋 전압 캔슬 동작에서는 차분 전압이 출력 전압으로부터 캔슬되고, 오프셋 전압 캔슬 동작 후에 있어서는, 입력 전압에 대응하여 오프셋 값이 캔슬된 출력 전압을 얻을 수 있다. 오프셋 전압 취득 동작에서는, 연산 증폭기의 오프셋 값이 기준 전압과의 차분 전압으로서 받아들여진다. 오프셋 전압 취득 동작은 예컨대 연산 증폭기의 출력 전압이, 기준 전압에 대하여 연산 증폭기의 오프셋 값을 차분 전압으로서 포함하도록 피드백 제어됨으로써 이루어진다. 기준 전압으로서, 오프셋 전압 취득 동작을 하기 이전의 입력 전압, 또는 오프셋 전압 취득 동작 이전으로 오프셋 전압 캔슬 동작을 한 후에 얻어지는 출력 전압이 이용된다. 여기서 오프셋 전압 캔슬 동작을 한 후에 얻어지는 출력 전압은 오프셋 값이 캔슬된 출력 전압이다. 그리고 입력 전압 또는 오프셋 값이 캔슬된 출력 전압이, 예컨대 커패시터 등의 전압을 유지하는 기구에 의해서 유지됨으로써, 오프셋 전압 취득 동작시에는 그 유지된 전압을 기준 전압으로서 이용할 수 있다.

이에 따라, 기준 전압과 오프셋 전압 취득 동작이 시작되는 시점에서의 연산 증폭기의 출력 단자의 전압값이 대략 같기 때문에, 오프셋 전압 취득 동작에 걸리는 시간을 짧게 할 수 있다. 따라서 오프셋 전압 취득의 동작 기간을 단축화할 수 있게 된다.

이하, 본 발명의 오프셋 캔슬 기능을 갖는 연산 증폭기, 라인 드라이버 및 액정 표시 장치에 관해서 구체화한 실시형태를 도 1 내지 도 9에 기초하여 도면을 참조하면서 상세히 설명한다. 본 발명의 제1 실시형태에 있어서의 제1 실시예를 도 1 및 도 2를 이용하여 설명한다. 도 1에 제1 실시형태의 오프셋 캔슬 회로를 갖춘 연산 증폭기(10)의 회로도(1)를 도시한다. 연산 증폭기 회로(1)는 전류 미러 회로(2), 제1 차동 쌍 입력 회로(3), 출력 버퍼 회로(6)를 구비하며, 오프셋 캔슬 회로(5)는 제2 차동 쌍 입력 회로(4)를 구비한다. 전류 미러 회로(2) 및 제1 차동 쌍 입력 회로(3)에 의해서 차동 증폭 회로(7)가 구성된다. 제1 차동 쌍 입력 회로(3)와 제2 차동 쌍 입력 회로(4)는 제1 전류 단자(N1) 및 제2 전류 단자(N2)로 전류 미러 회로(2)에 대하여 병렬로 접속되어 있다. 전류 미러 회로(2)에서는, PMOS 트랜지스터(M4와 M5)의 소스가 전원전압(VDD)에 접속되고, PMOS 트랜지스터(M4와 M5)의 게이트가 PMOS 트랜지스터(M4)의 드레인에 접속되어 있다. 차동 쌍 입력 회로(3)에서는 NMOS 트랜지스터(M1과 M2)의 소스가 NMOS 트랜지스터(M3)의 드레인에 접속되고, 트랜지스터(M3)의 소스가 그라운드 전압(GND)에 접속되어 있다. NMOS 트랜지스터(M3)는 그 게이트에 바이어스 전압(VBB)이 인가되어



정전류원으로 기능한다. 출력 버퍼 회로(6)는 전원 전압(VDD)과 그라운드 전압(GND)과의 사이에 직렬 접속된 PMOS 트랜지스터(M6)와 NMOS 트랜지스터(M7)로 이루어지며, NMOS 트랜지스터(M7)는 그 게이트에 바이어스전압(VBB)이 인가되어 정전류원으로 기능한다. 트랜지스터(M6)의 드레인이 출력 단자(VOUT)에 접속된다.

또 스위치(SW1)는 반전 입력 단자(N5)와 비반전 입력 단자(N6)와의 사이에, 스위치(SW2)는 연산 증폭기의 출력 단자(VOUT)와 반전 입력 단자(N5)와의 사이에 각각 접속되어 있다. 오프셋 캔슬 회로(5)는 제1 차동 쌍 입력 회로(3)와 동일한 구성의 제2 차동 쌍 입력 회로(4), 제1 커패시터(C1) 및 제2 커패시터(C2), 스위치(SW3 및 SW4)를 구비한다. 제1 커패시터(C1)의 한쪽 단은 NMOS 트랜지스터(M8)의 게이트와 노드(N3)에 의해 접속되고, 다른 쪽 단은 그라운드 전압(GND)에 접속된다. 제2 커패시터(C2)의 한쪽 단은 NMOS 트랜지스터(M9)의 게이트와 노드(N4)에 의해 접속되고, 다른 쪽 단은 그라운드 전압(GND)에 접속된다. 또한 스위치(SW3)는 노드(N3)와 출력 단자(VOUT)와의 사이에, 스위치(SW4)는 노드(N4)와 출력 단자(VOUT)와의 사이에 각각 접속되어 있다.

이어서 동작에 대해 설명한다. 도 2는 타이밍차트이다. 본 발명의 오프셋 캔슬 기능을 갖춘 연산 증폭기(10)는 1 수평 기간(H1) 중에 오프셋 캔슬 준비 기간(HC1)과 출력 기간(HT1)을 갖추고, 1 수평 기간을 H1, H2 ...로 반복하는 동작을 한다. 또한 1 수평 기간(Hn)에 있어서의 출력 전압을 출력 전압 VO(n), 입력 전압을 입력 전압 VI(n)으로 한다. 또 본 발명의 연산 증폭기(10)에 있어서의 노드(N3, N4)의 전압을 VC1, VC2로 하고, 종래의 연산 증폭기(100)에 있어서의 노드(N103, N104)의 전압을 VC101, VC102로 한다. 도 2의 출력 기간(HT1)의 시간 t1에서는 스위치(SW2)가 온으로 되고, 스위치(SW1, SW3)가 오프로 된다. 또한 스위치(SW4)는 오프 상태이다. 이 때 후술하는 원리에 의해서 오프셋이 캔슬되기 때문에, 출력 전압(VO(1))의 전압값은 입력 전압(VI(1))의 전압값(VV0)과 같은 값으로 된다(도 2, 화살표 K1).

다음에 시간 t2에서부터 t3에 있어서, 출력 기간(HT1)에 있어서의 출력 전압(VO(1))의 전압치(VV0)를 제2 커패시터(C2)에 기억시키는 동작이 이루어진다. 즉 시간 t2에 있어서 스위치(SW4)가 온으로 되어, 제2 커패시터(C2)와 출력 단자(VOUT)가 도전 상태로 된다. 제2 커패시터(C2)에는 출력 전압(VO(1))의 전압값(VV0)이 축적되기 때문에, 노드(N4)의 전압(VC2)도 전압값(VV0)이 된다. 그리고 소정 시간 경과한 시간 t3에 있어서 스위치(SW4)가 오프로 되고, 제2 커패시터(C2)와 출력 단자(VOUT)가 비도전 상태로 된다. 이에 따라 출력 기간(HT1)에 있어서의 출력 전압(VO(1))의 전압값(VV0)이 제2 커패시터(C2)에 기억된다(도 2, 화살표 K2).

또 시간 t2에서부터 t3까지의 소정 시간에는, 제2 커패시터(C2)에 기억되는 전압값의 변화량이 가장 큰 때에 있어서도 충전 완료 가능한 충분한 길이의 시간이 필요하며, 제2 커패시터(C2)의 용량, 출력 전압(VO)의 전압값의 요동 폭, 배선 용량 등에 따라 정해지는 값이다. 그리고 스위치(SW4)가 온, 오프로 되는 타이밍은 출력 기간(HT)내이면 되며, 연산 증폭기의 출력 단자의 전압값이 출력 기간(HT)내에서 가장 변화되는 경우에 있어서도, 변화 후의 전압값이 안정되기에 충분한 시간이 경과했을 때를 스위치(SW4)의 온 상태로 하는 기간을 시작하는 때로 하고, 그 변화 후의 전압값이 제2 커패시터(C2)에 기억되기에 충분한 기간을 스위치(SW4)를 온 상태로 하는 기간 길이로 하면 된다.

그리고 시간 t4에 있어서, 다음의 1 수평 기간(H2)의 오프셋 캔슬 준비 기간(HC2)으로 이행한다. 1 수평 기간(H2)에서는 입력 단자(VIN)에는 1 수평 기간(H2)의 입력 전압(VI(2))(전압값(VV1))이 인가된다. 그리고 도 1에 있어서 스위치(SW1, SW3)가 온으로 되고, 스위치(SW2)가 오프로 된다. 스위치(SW4)는 오프의 상태이다. 오프셋 캔슬 준비 기간(HC2)에서는, 도 1에 있어서, 스위치(SW1)의 도전에 의해 트랜지스터(M1, M2)의 양 게이트와 같은 입력 전압(VI(2))이 인가되어, 스위치(SW3)의 도전에 의해 트랜지스터(M8)의 게이트에 트랜지스터(M6)의 드레인이 피드백된다. 또한 트랜지스터(M9)의 게이트에는 제2 커패시터(C2)에 기억되어 있는, 출력 기간(HT1)에 있어서의 출력 전압(VO(1))의 전압값(VV0)이 인가된다.

트랜지스터(M1, M2)의 게이트 소스간 전압·드레인 전류 특성에 변동이 있는 경우, 양 트랜지스터의 게이트와 같은 입력 전압(VI(2))(전압값(VV1))이 인가되더라도, 그것에 따른 드레인 전류는 다르다. 예컨대, 트랜지스터(M2)의 전류 구동 능력이 높아지도록 변동되고 있다고 하면, 트랜지스터(M2)의 드레인 전류 쪽이, 트랜지스터(M1)의 드레인 전류보다 커진다. 여기서 전류 미러 회로(2)의 제1 전류 단자(N1)와 제2 전류 단자(N2)에 흐르는 전류값은 같다고 하자. 트랜지스터(M1, M2)의 특성 변동에 기인하는 다른 드레인 전류를 흡수하는 드레인 전류가, 트랜지스터(M8, M9)에 흐르도록(트랜지스터(M1, M8)의 드레인 전류의 합과, 트랜지스터(M2, M9)의 드레인 전류의 합이 같아지도록), 트랜지스터(M8)의 게이트 전압값인 노드(N3)의 전압(VC1)이 피드백 제어된다.

그리고 시간 t5의 안정 상태에서는, 노드(N3)의 전압(VC1)이 노드(N4)의 전압(VC2)(기억되어 있는 출력 전압(VO(1))(전압값(VV0)))을 기준으로 하여, 오프셋 전압 Voff 만큼 변위된 전압(노드(N4)의 전압(VC2)(전압치(VV0))+ 오프셋 전압(Voff))으로 설정됨으로써(도 2, 점 P 1), 제1 전류 단자(N1) 및 제2 전류 단자(N2)에 동일한 전류가 흐르는 상태로 안정

되게 된다. 그리고 이 때의 노드(N3)의 오프셋 전압을 포함한 전압(VC1)이 제1 커패시터(C1)에 기억된다. 즉, 트랜지스터(M1, M2)의 게이트에 동일한 입력 전압(VI(2))(전압값(VV1))이 인가된 상태에 있어서의 오프셋 드레인 전류가, 오프셋 캔슬 회로(5)에 기억된다.

여기서 도 2의 타이밍 차트에 있어서, 본 발명의 연산 증폭기(10)에 있어서의 노드(N3)의 전압(VC1)의 안정화 시간(TT1)과, 종래의 연산 증폭기(100)에 있어서의 노드(N103)의 전압(VC101)의 안정화 시간(TT101)을 비교하여 설명한다. 시간 t4에 있어서 스위치(SW3)가 온으로 되면, 노드(N3)와 출력 단자(VOUT)가 도전 상태로 된다. 그리고 출력 단자(VOUT) 쪽이 각종 회로와 접속되어 있어 부하가 크기 때문에, 시간 t4에 있어서 노드(N3)의 전압(VC1)은 출력 단자(VOUT)의 출력 전압(VO(1))(전압값(VV0))으로 된다(도 2, 화살표 K3). 다음에 출력 전압(VO(2))이, 전압값(VV0)을 출발점으로 하고, 「노드(N4)의 전압(VC2)을 참조 전압으로 하여 오프셋 전압(Voff) 만큼 변위된 전압」으로 피드백 제어됨으로써, 제1 전류 단자(N1) 및 제2 전류 단자(N2)에 동일한 전류가 흐르는 상태로 안정되게 된다. 여기서 출력 단자(VOUT)의 끝에는 각종 부하가 접속되어 있기 때문에, 출력 전압(VO(2))의 전압값을 크게 변화시키는 경우에는 전압값이 안정될 때까지의 안정화 시간이 길게 필요하며, 안정화 시간이 길면 오프셋 캔슬 준비 기간(HC2)을 단축할 수 없어 문제이다. 즉 오프셋 캔슬 준비 기간(HC2)에 있어서의 출력 전압(VO(2))의 전압값을 크게 변화시키지 않는 수법을 취하는 것이 중요하게 된다.

여기서 본 발명의 연산 증폭기(10)에서는, 참조 전압(시간 t4에 있어서의 노드(N4)의 전압(VC2))은 제2 커패시터(C2)에 기억되어 있는 출력 전압(VO(1))(전압치(VV0))이다(도 2, 점 P2). 또한 오프셋 캔슬 준비 기간(HC2) 시작점에서의 출력 전압(VO(2))의 전압값도 VV0이다(도 2, 점 P3). 따라서 양자는 같기 때문에, 출력 전압(VO(2))을, 전압값(VV0)을 출발점으로 하여, 「오프셋 전압(Voff) 만큼 변위된 전압」만큼 피드백 제어하면 되기 때문에, 안정화에 필요한 시간(안정화 시간(TT1))은 짧아도 되어, 시간 t5에 안정화가 종료된다.

한편, 종래의 연산 증폭기(100)에서는 참조 전압(시간 t4에 있어서의 노드(N104)의 전압(VC102))은 일정한 전압인 참조 전압(Vref)이다(도 2, 점 B1). 또한 오프셋 캔슬의 시작점에서의 출력 전압(VOJ(2))은 전압값(VV0)이다(도 2, 점 B2). 따라서 전압값(VV0)과 전압값(Vref)이 떨어져 있는 경우에는, 전압값(VV0)을 출발점으로 하여, 출력 전압(VOJ(2))을 「참조 전압(Vref)를 참조 전압으로 하여 오프셋 전압(Voff) 만큼 변위된 전압(Vref+Voff)」(도 2, 점 B3)까지 피드백 제어할 필요가 있다. 이러한 경우, 안정화에 필요한 시간(안정화 시간(TT101))은 본 발명에서의 안정화 시간(TT1)과 비교하면 길어, 시간 t5a에서 겨우 안정화가 종료된다.

즉 본 발명에서는, 오프셋 캔슬 준비 기간(HC2)에 있어서의 참조 전압(노드(N4)의 전압(VC2), 점 P2)을, 1 수평 기간 앞의 1 수평 기간(H1)에 있어서의 출력 전압(VO)(도 2, 점 P4)으로 함으로써, 출력 전압(VO(2))은 오프셋 전압(Voff)분 만큼 피드백 제어에 의해 변화시키면 되는 구성으로 함으로써, 피드백 제어에 걸리는 시간을 종래보다 단축화하고 있다. 한편, 종래의 연산 증폭기에서는 참조 전압은 일정(전압치(Vref))하기 때문에, 오프셋 캔슬 준비 기간을 시작하는 때에 있어서의 출력 전압(VOJ(2))의 전압(도 2, 점 B2)과 참조 전압(도 2, 점 B1)이 떨어져 있는 경우에는, 출력 전압(VO(2))을 참조 전압치(Vref) 근방까지 변화시키지 않으면 안되어, 그 만큼의 피드백 제어에 걸리는 시간이 길어진다.

예컨대 출력 전압의 피드백 제어의 스루레이트(through rate)(단위 시간당 전압 변화량)= $1.8(V/\mu s)$ , 오프셋 전압(Voff)의 전압값=0.4(V), 참조 전압(Vref)=7.6(V), 전압값(VV0)=5.7(V), 전압값(VV1)=9.9(V)일 때를 생각한다. 종래의 연산 증폭기(100)에서는 전압값(VV0)(5.7 V)을 출발점으로 하여, 참조 전압값(Vref)(7.6(V))+ 오프셋 전압값(Voff)(0.4(V))까지, 출력 전압(VOJ)을 2.3(V) 변화시킬 필요가 있어, 스루레이트로 계산하면 안정화 시간(TT101)은  $1.28(\mu s)$  필요하다. 한편, 본 발명의 연산 증폭기(10)에서는, 전압값(VV0)을 출발점으로 하여, 오프셋 전압값(Voff)(0.4(V))분 만큼 전압(VC1)을 변화시키면 되기 때문, 안정화시간(TT1)은  $0.22(\mu s)$ 로 약 1/6까지 단축되는 것을 알 수 있다.

그리고 안정화 시간이 종료된 후, 시간 t6으로 이행하면 출력 기간(HT2)으로 되어, 도 1에 있어서 스위치(SW2)가 온으로 되고, 스위치(SW1, SW3)가 오프로 된다. 스위치(SW4)는 오프 상태이다. 이 때 트랜지스터(M8 및 M9)의 게이트에는 트랜지스터(M1과 M2)의 전류 구동 능력의 차를 반영한, 오프셋 캔슬 준비 기간(HC2)과 동일한 전압이 제1 커패시터(C1) 및 제2 커패시터(C2)에 의해서 유지되고 있다. 따라서 트랜지스터(M8, M9)에 흐르는 드레인 전류가, 트랜지스터(M1, M2)에 흐르는 드레인 전류의 차를 흡수하도록 흐른다. 즉 전류 미러 회로(2)의 제1 전류 단자(N1)와 제2 전류 단자(N2)에 흐르는 전류값은 같다고 하면, 트랜지스터(M1, M8)의 드레인 전류의 합과, 트랜지스터(M2, M9)의 드레인전류의 합이 같아지도록 흐른다. 이 상태는 반전 입력 단자(N5)와 비반전 입력 단자(N6)와의 전압이 같을 때의 상태를 위해, 출력 단자(VOUT)의 출력 전압(VO(2))은 입력 단자(VIN)의 입력 전압(VI(2))과 같은 전압값(VV1)에서 안정되게 된다(도 2, 점 P5). 즉 오프셋 캔슬이 이루어진다.

또 본 발명의 제2 실시예의 오프셋 캔슬 회로를 갖춘 연산 증폭기(20)를 도 3을 이용하여 설명한다. 연산 증폭기(20)는 노드(N4)와 제2 커패시터(C2)와의 사이에 위치하는 노드(N7), 스위치(SW1)와 입력 단자(VIN)와의 사이에 위치하는 노드

(N8)를 지니고, 양 노드 사이를 접속하는 스위치(SW5)를 갖춘다. 그 밖의 구성은 제1 실시예에 있어서의 연산 증폭기(10)와 동일하기 때문에 여기서는 설명을 생략한다. 또한 스위치(SW5)의 동작은 제1 실시예의 연산 증폭기(10)에 있어서의 스위치(SW4)와 동일한 동작이 이루어진다.

이에 따라, 참조 전압(노드(N4)의 전압(VC2))이 1 수평 기간 전의 출력 전압(VO)인 제1 실시예의 연산 증폭기(10)에 있어서, 그 대신에 1 수평 기간 전의 입력 전압(VI)으로 하는 것이 가능해진다. 따라서 연산 증폭기(20)에 있어서도, 출력 전압(VO)은 오프셋 전압(Voff)분 만큼 피드백 제어에 의해 변화시키면 되는 구성으로 되어, 오프셋 캔슬 준비 기간에 있어서의 피드백 제어 시간을 종래보다 단축화할 수 있다.

한편, 제2 차동 쌍 입력 회로(4)는 차동 쌍 입력 회로, 트랜지스터(M8)는 제1 트랜지스터, 트랜지스터(M9)는 제2 트랜지스터, 그라운드 전압(GND)은 소정 전압의 각각 일레이다.

또한 본 발명의 연산 증폭기에서는, 오프셋 캔슬 시간을 종래의 연산 증폭기와 동등하게 유지하는 경우, 동일한 시간내에 피드백 제어에 의해 변화시키는 전압량은 본 발명의 연산 증폭기 쪽이 작기 때문에 소비 전류의 절감을 도모하는 것이 가능하다. 예를 들면 제1 실시형태에서 설명한 바와 같이, 안정화 시간(TT101)(1.28( $\mu$ s)) 내에, 종래의 연산 증폭기에서는 참조 전압값(Vref)+ 오프셋 전압(Voff)(1.28(V)) 만큼, 본 발명의 연산 증폭기에서는 오프셋 전압(Voff)(0.4(V)) 만큼, 각각 피드백 제어에 의해 변동시키는 경우, 연산 증폭기에서 소비되는 전류는 종래의 연산 증폭기에서는 17( $\mu$ A), 본 발명의 연산 증폭기에서는 11.5( $\mu$ A)로 되어, 소비전류가 30% 삭감된다.

따라서 이상에 의해 본 발명의 제1 실시형태의 연산 증폭기에서는, 오프셋 캔슬 준비 기간(HC)에서는, 스위치(SW3)의 도전에 의해 트랜지스터(M8)의 게이트에 출력 단자(VOU)의 전압값(VO)이 피드백되고, 상태가 천이되기 전의 출력 단자의 전압값이 유지되고 있는 제2 커패시터(C2)의 전압값과 대략 같아지도록 제어된다. 이 기간에는 스위치(SW1)가 도전하고 있으며, 차동 증폭 회로(7)의 오프셋 전압이 가산되어 제어된다. 이 때문에 출력 단자(VOU)의 전압값(VO)이 제2 커패시터(C2)의 전압값에 대하여 오프셋 전압 만큼 변위된 전압으로 피드백 제어된다. 그 때문에 제2 커패시터(C2)의 전압값과 피드백 제어가 시작되는 시점에서의 출력 단자(VOU)의 전압값이 대략 같기 때문에, 피드백 제어가 종료될 때까지의 시간을 짧게 할 수 있다. 따라서 오프셋 캔슬 준비 기간(HC)의 단축화가 가능해진다.

본 발명의 연산 증폭기를 이용한 액정 표시 장치 구동 회로 및 액정 표시 장치에 관한 제2 실시형태를 설명한다. 도 12에 도시한 바와 같은 액정 표시 장치에 있어서의 라인 드라이버(130)에 있어서, 오프셋 캔슬을 지닌 전압 폴로워(131)의 구성 방법에 관하여, 종래의 구성 방법을 빼낸 개략도를 도 13에 도시한다. 라인 드라이버(130) 내에서는, 복수의 입출력 단자를 하나의 블록으로 하여, 화소수에 따른 수의 블록을 배치함으로써 라인 드라이버(130)가 구성된다. 도 13에서는 예로서 6입력 6출력인 경우의 블록(135)을 도시한다. 블록(135)에는 데이터 입력 단자(DIJ1 내지 DIJ6) 및 데이터 출력 단자(DOJ1 내지 DOJ6)가 구비된다. 데이터 입력 단자(DIJ1 내지 DIJ6)에는 제어 회로(150)(도 12)로부터 표시 데이터(D1 내지 D6)가 입력되고, 데이터 출력 단자(DOJ1 내지 DOJ6)로부터 각각 대응하는 데이터선(121)으로 출력된다. 또한 데이터 입력 단자(DIJ1 내지 DIJ6)와 데이터 출력 단자(DOJ1 내지 DOJ6)와의 사이에는, 입출력 단자마다 전압 폴로워로서 동작하는 연산 증폭기(AJ1 내지 AJ6)가 구비된다. 데이터 입력 단자(DIJ1)로부터 입력되는 데이터는 연산 증폭기(AJ1)의 비반전 입력에 입력되고, 연산 증폭기(AJ1)의 출력으로부터 출력된 데이터는 데이터 출력 단자(DOJ1)를 통해 데이터선(121)(도 12)으로 출력된다. 또한 오프셋 캔슬 제어 신호 입력 단자(OST)를 통해, 오프셋 캔슬 제어 신호(OS)가 연산 증폭기(AJ1 내지 AJ6)에 입력된다.

도 14에 종래의 라인 드라이버(130)의 동작을 설명하는 타이밍챠트를 도시한다. 1 수평 기간(H1) 중에 오프셋 캔슬 준비 기간(HC1)과 출력 기간(HT1)을 갖추고, 1 수평 기간을 H1, H2 ...로 반복하는 동작이 이루어진다. 그리고 예컨대 S-XGA 액정패널(화소수 1024×768)의 경우에는, 1 수평 기간 768H로 1 프레임기간이 구성된다. 또한 연산 증폭기(AJ1 내지 AJ6)로서, 예컨대 도 10에 도시한 바와 같은 오프셋 캔슬 기능을 갖는 연산 증폭기 회로(100)에 의해 구성되어 있다. 도시하지 않는 신호 발생기로부터 블록(135)으로 입력되는 오프셋 캔슬 제어 신호(OS)가 하이 레벨로 됨으로써 오프셋 캔슬 준비 기간(HC1)이 시작되어, 연산 증폭기 회로(100)(도 10)의 스위치(SW101 및 SW103)가 도전 상태로 되고, 스위치(SW102)가 비도전 상태로 되어, 연산 증폭기(AJ1 내지 AJ6)의 오프셋이 캔슬된다. 그리고 오프셋 캔슬 제어 신호(OS)가 로우 레벨로 됨으로써 오프셋 캔슬 준비 기간(HC1)이 종료되어, 스위치(SW101 및 SW103)가 비도전 상태로 되고, 스위치(SW102)가 도전 상태로 된다. 따라서 연산 증폭기(AJ1 내지 AJ6)는 전압 폴로워로서 동작하며, 데이터 입력 단자(DIJ1 내지 DIJ6)에 입력되는 입력 전압이, 데이터 출력 단자(DOJ1 내지 DOJ6)에 출력된다. 이와 같이 종래기술에서는, 오프셋 캔슬 준비 기간(HC)과 출력 기간(HT)이 필요하다. 그리고 XGA 표시의 경우에는 1 수평 기간(H)은 20( $\mu$ s) 이하가 요구되고, 1 수평 기간(H)의 내역으로서 예컨대 오프셋 캔슬 준비 기간(HC)은 2( $\mu$ s), 출력 기간(HT)은 18( $\mu$ s)의 값을 취하는 경우가 있다. 그리고 액정의 고선명화를 진행시키기 위해서는 1 수평 기간(H)의 보다 한층 더 단축화가 필수이며, 오프셋 캔슬 준비 기간(HC)의 존재가 문제가 된다.

본 발명에 있어서의 6입력 6출력인 경우의 블록(35)의 개략도를 도 4에 도시한다. 블록(35)에는 데이터 입력 단자(DI1 내지 DI6) 및 데이터 출력 단자(DO1 내지 DO6)가 구비된다. 데이터 입력 단자(DI1 내지 DI6)에는 제어 회로(150)(도 12)로부터 표시 데이터(D1 내지 D6)가 입력되고, 데이터 출력 단자(DO1 내지 DO6)로부터는 표시 데이터(D1 내지 D6)가 각각 대응하는 데이터선(121)(도 12)으로 출력된다. 또한 데이터 입력 단자(DI)와 데이터 출력 단자(DO)와의 사이에는 전압 폴로워로서 동작하는 연산 증폭기(A1 내지 A7)가, 6조의 입출력 단자에 대하여 하나 많은 7개 구비된다. 데이터 입력 단자(DI1)는 스위치(SI1)에 의해서 연산 증폭기(A1 또는 A2)의 어느 한 쪽의 비반전 입력 단자에 선택 가능하게 접속된다. 또한 데이터 출력 단자(DO1)는 스위치(SO1)에 의해서 연산 증폭기(A1 또는 A2)의 어느 한 쪽의 출력 단자에 선택 가능하게 접속된다. 그리고 이하 같은 식으로, 데이터 입력 단자(DI2 내지 DI6) 및 데이터 출력 단자(DO2 내지 DO6)도, 스위치(SI2 내지 SI6 및 SO2 내지 SO6)를 갖는다.

또 연산 증폭기(A1 내지 A7)에 대응하도록 D 플립플롭(FF1 내지 FF7)이 구비되고, 이들은 직렬 접속되어 시프트 레지스터를 구성한다. 각 D 플립플롭의 클록 입력 단자(CK)에는 1 수평 기간의 주기를 갖는 클록신호(CLK)가 입력된다. 또한 D 플립플롭(FF1 내지 FF6)의 리셋 신호 입력 단자(R)에는 최종단의 D 플립플롭(FF7)의 출력 신호(Q7)가 리셋 신호로서 입력된다. 또한 D 플립플롭(FF1 내지 FF7)의 출력(Q1 내지 Q7)은 스위치(SI1 내지 SI7), 및 스위치(SO1 내지 SO7)에 각각 입력된다. 스위치(SI1 및 SO1)는 로우 레벨의 출력(Q1)이 입력될 때는 함께 연산 증폭기(A2)에 접속되고, 하이 레벨의 출력(Q1)이 입력될 때는 함께 연산 증폭기(A1)에 접속되는 구성을 갖는다. 그리고 스위치(SI2 내지 SI7 및 SO2 내지 SO7)도 같은 식의 작용을 발휘한다.

또한 D 플립플롭(FF1)의 상보 출력(QB1)이 오프셋 캔슬 신호(OC1)로서 연산 증폭기(A1)에 입력된다. 또한 D 플립플롭(FF1)의 출력(Q1)과 D 플립플롭(FF2)의 상보 출력(QB2)이 AND 게이트(AD2)에 입력되고, AND 게이트(AD2)의 출력은 오프셋 캔슬 신호(OC2)로서 연산 증폭기(A2)에 입력된다. 이하 같은 식으로, AND 게이트(AD3 내지 AD7)로부터 출력되는 오프셋 캔슬 신호(OC3 내지 OC7)가, 연산 증폭기(A3 내지 A7)에 입력된다. D 플립플롭(FF1)의 입력 단자(D)에는 입력 신호(DD1)가 입력되고 있다. 연산 증폭기(A1 내지 A6)는 오프셋 캔슬 기능을 갖추어, 입력되는 오프셋 캔슬 신호(OCX)(X=1~6)가 하이 레벨인 동안은 오프셋 캔슬 동작이 이루어지고, 로우 레벨인 동안은 통상의 전압 폴로워동작이 이루어진다.

작용에 대해 설명한다. 도 5에 타이밍차트를 도시한다. 도 5에서 1 수평 기간(H1)의 기간 중, D 플립플롭(FF1 내지 FF7)의 출력(Q1 내지 Q7)은 전부 로우 레벨이다. 따라서 스위치(SI1 및 SO1)는 함께 연산 증폭기(A2)에 접속되기 때문에, 연산 증폭기(A1)는 데이터 입력 단자(DI1) 및 데이터 출력 단자(DO1)와는 분리되어, 비선택의 연산 증폭기로 된다. 또한 연산 증폭기(A2)는 데이터 입력 단자(DI1) 및 데이터 출력 단자(DO1)와 접속된다. 그리고 연산 증폭기(A3)는 데이터 입력 단자(DI2) 및 데이터 출력 단자(DO2)와 접속, 연산 증폭기(A4)는 데이터 입력 단자(DI3) 및 데이터 출력 단자(DO3)와 접속되며, 이하 같은 식으로 하여 연산 증폭기(A7)는 데이터 입력 단자(DI6) 및 데이터 출력 단자(DO6)와 접속된다. 또한 1 수평 기간(H1)에 있어서는 하이 레벨의 오프셋 캔슬 신호(OC1), 즉 D 플립플롭(FF1)의 상보 출력(QB1)이 연산 증폭기(A1)에 입력되기 때문에, 1 수평 기간(H1) 중에는 연산 증폭기(A1)는 오프셋 캔슬 동작이 이루어진다. 또한 오프셋 캔슬 신호(OC2 내지 OC7)는 로우 레벨이기 때문에 연산 증폭기(A2 내지 A7)는 전압 폴로워 동작이 이루어져, 데이터 입력 단자(DI1 내지 DI6)에 입력되는 표시 데이터(D1 내지 D6)가 데이터 출력 단자(DO1 내지 DO6)로부터 출력된다.

다음에 1 수평 기간(H2)으로 이행하면, 도시되지 않는 신호 발생 회로에 의해 하이 레벨로 된 입력 신호(DD1)가 D 플립플롭(FF1)에 입력된다. 여기서 입력 신호(DD1)는 클록 신호(CLK)의 최초의 1주기에 있어서 로우 레벨, 계속되는 6주기에 있어서 하이 레벨을 반복하는 신호이다. 그리고 D 플립플롭(FF1)의 출력(Q1)이 하이 레벨로 됨(화살표 Y1)에 따라 스위치(SI1 및 SO1)만이 전환됨으로써 데이터 입력 단자(DI1) 및 데이터 출력 단자(DO1)는 연산 증폭기(A2)에서 연산 증폭기(A1)로 접속처가 전환된다. 이 때 다른 스위치는 전환 동작이 이루어지지 않기 때문에, 연산 증폭기(A3 내지 A7)는 데이터 입력 단자(DI2 내지 DI6), 데이터 출력 단자(DO2 내지 DO6)와 접속 상태가 유지되기 때문에, 연산 증폭기(A2)만이 데이터 입출력 단자로부터 완전히 분리된다. 즉 비선택의 연산 증폭기가 연산 증폭기 A1에서 A2로 전환된다. 또한 하이 레벨의 D 플립플롭(FF1)의 출력(Q1) 및 D 플립플롭(FF2)의 상보 출력(QB2)이 AND 게이트(AD2)에 입력되기 때문에, 하이 레벨의 오프셋 캔슬 신호(OC2)가 연산 증폭기(A2)에 입력되고(화살표 Y2), 1 수평 기간(H2)중에는 연산 증폭기(A2)는 오프셋 캔슬 동작이 이루어진다. 또한 오프셋 캔슬 신호(OC1 및 OC3 내지 OC7)는 로우 레벨이기 때문에 연산 증폭기(A1 및 A3 내지 A7)에서는 전압 폴로워 동작이 이루어져, 데이터 입력 단자(DI1 내지 DI6)에 입력되는 화상 데이터를 데이터 출력 단자(DO1 내지 DO6)에 출력한다.

그리고 같은 식의 동작이 1 수평 기간(H3 내지 H7)에 있어서도 이루어진다. 즉 도 6의 연산 증폭기의 전환 동작표에 나타난 바와 같이, 1 수평 기간이 H1에서 H7까지 경과하는 경우에는, 연산 증폭기 A1에서부터 A7까지가 순서대로 입출력 단자와 비접속 상태로 된 뒤에 오프셋 캔슬이 이루어진다.

그리고 도 5에 있어서 1 수평 기간(H7)이 경과하여 1 수평 기간(H8)으로 이행하면, 클럭 신호(CLK)의 수직 상승 엣지 신호에 의해 D 플립플롭(F7)의 출력(Q7)이 하이 레벨로 된다(화살표 Y3). D 플립플롭(F7)의 출력(Q7)은 리셋 신호로서 D 플립플롭(F1 내지 F6)의 리셋 신호 입력 단자(R)에 입력되기 때문에, D 플립플롭(F1 내지 F6)의 출력(Q1 내지 Q6)은 전부 로우 레벨로 리셋되어(화살표 Y4), 스위치(S1 내지 S6) 및 스위치(SO1 내지 SO6)는 전부 전환된다. 즉 도 6에 있어서, 1 수평 기간(H8)에서는 1 수평 기간(H1)과 동일한 접속 상태로 복귀되고, 연산 증폭기(A1)에서는 데이터 입출력 단자와는 분리되어 오프셋 캔슬 동작이 이루어지는 동시에, 연산 증폭기(A2 내지 A7)로부터는 표시 데이터(D1 내지 D6)가 출력된다.

다음에 연산 증폭기(A1)에 있어서의 오프셋 캔슬 동작을 설명한다. 연산 증폭기(A1)는 도 7에 도시한 바와 같은 오프셋 캔슬 기능을 갖는 연산 증폭기 회로(10a)에 의해 구성되어 있다. 연산 증폭기 회로(10a)는 종래의 연산 증폭기(100)의 회로도(도 10)에 대하여, 노드(N10)와 노드(N11)를 스위치(SW6)로 접속하는 구성을 갖고 있다. 이것은 연산 증폭기(A1)가 오프셋 캔슬 동작이 이루어질 때는, 입력 단자(VIN) 및 출력 단자(VOUT)는 데이터 입력 단자(DI1) 및 데이터 출력 단자(DO1)와는 접속되어 있지 않고, 스위치(SW1)가 온, 스위치(SW2)가 오프로 되기 때문에, 트랜지스터(M1과 M2)의 게이트가 플로우팅(floating) 상태로 되는 것을 방지하기 위해서, SW6을 통해 참조 전압(Vref)을 트랜지스터(M1과 M2)의 게이트에 공급하는 것이다. 그 밖의 구성은 종래의 연산 증폭기(100)와 동일하기 때문에 설명을 생략한다.

도 8에 연산 증폭기 회로(10a)의 타이밍차트를 도시한다. 1 수평 기간(H1)의 기간 중에 있어서는 하이 레벨의 오프셋 캔슬 신호(OC1)(즉 D 플립플롭(F1)의 상보 출력(QB1))가 연산 증폭기(A1)에 입력되고, 오프셋 캔슬 신호(OC1)의 하이 레벨에 따라서 연산 증폭기 회로(10a) 내의 스위치(SW1, SW3, SW6)가 온상태, 스위치(SW2)가 오프 상태로 된다(화살표 Y6). 또한 1 수평 기간(H1)에 있어서, 입력 단자(VIN) 및 출력 단자(VOUT)는 데이터 입력 단자(DI1) 및 데이터 출력 단자(DO1)(도 4 참조)와는 접속되어 있지 않기 때문에, SW6을 통해 참조 전압(Vref)이 NMOS 트랜지스터(M1과 M2)의 게이트에 공급된다. 그 밖의 동작은 종래의 연산 증폭기(100)와 같은 식이며, 연산 증폭기(A1)의 오프셋이 캔슬된다. 1 수평 기간(H2 내지 H7)에서, 연산 증폭기(A1)의 입력 단자(VIN) 및 출력 단자(VOUT)는 데이터 입력 단자(DI1) 및 데이터 출력 단자(DO1)와 접속되어, 입력되는 표시 데이터(D1)를 전압 폴로워로서 출력한다. 1 수평 기간(H8)에서는 1 수평 기간(H1)과 마찬가지로 연산 증폭기(A1) 오프셋 캔슬이 이루어진다. 이하 같은 동작이 반복된다. 또, 연산 증폭기(A2 내지 A7)에 있어서도 같은 구성이다.

또 라인 드라이버는, 복수의 입출력 단자를 하나의 블록으로 하여, 이 블록을 복수 배치함으로써 구성되는데, 이 1 블록당 입출력 단자의 수는 예컨대 384 단자 등의 값이 이용된다. 이 단자수에 있어서의 제2 실시형태의 오프셋 캔슬 준비 기간의 간격의 타당성을 생각하면, 1 수평 기간이 20( $\mu$ s)인 경우는, 도 6의 연산 증폭기가 전환 동작표에 따라서 1 수평 기간이 384주기에 1회(즉 7.7(ms)에 1회) 오프셋 캔슬이 이루어진다. 또한 도 7에 도시하는 연산 증폭기 회로(10a)에 있어서 제1 커패시터(C1)의 허용되는 용량 오차를 1(mv), 용량을 500(fF), 누설 전류를 20(fA)로 하면, 1(mv) 낮추는데 걸리는 시간은 25(ms)이다. 즉 1회 오프셋 캔슬이 완료되면 25(ms) 동안은 오프셋이 유효하게 기억된다. 따라서 384주기에 1회의 오프셋 캔슬의 실행으로 충분한 것을 알 수 있다.

따라서 이상에 의해 본 발명의 액정 표시 장치 구동 회로 및 액정 표시 장치에서는 표시 데이터(D1 내지 D6)의 출력에 이용되지 않는 연산 증폭기가 1 수평 기간마다 순차 천이되어, 출력에 이용되지 않는 동안에 오프셋 캔슬 동작이 이루어진다. 그리고 1회 오프셋 캔슬 동작이 이루어지면, 얻어진 오프셋 값은 다음 오프셋 캔슬 동작이 이루어질 때까지 유지된다. 따라서 1 수평 기간마다, 각 출력 기간에 앞서서 별도 오프셋 캔슬 준비 기간을 둘 필요가 없어, 오프셋 캔슬 준비 기간을 출력 기간에 포함할 필요가 없어지기 때문에, 보다 한층 더 1 수평 기간의 단축화가 가능해진다. 그 때문에 표시 라인수를 많게 하여 액정 표시 장치의 고선명화를 도모할 수 있다.

한편, 본 발명은 상기 실시형태에 한정되는 것이 아니라, 본 발명의 취지를 일탈하지 않는 범위내에서 여러 가지 개량, 변형이 가능한 것은 물론이다. 제1 실시형태의 연산 증폭기(10)(도 1)에 있어서 제1 커패시터(C1) 및 제2 커패시터(C2)를 갖춘다고 했지만, 양 커패시터에 유지된 전하가 누설되는 속도가 거의 같을 때에는 양 커패시터의 용량을 작게 할 수 있다. 이것은 양 커패시터의 전압값의 차가 문제가 되기 때문으로, 전하 누설 속도가 거의 같은 경우에는 누설이 발생하더라도 양 커패시터의 전압차가 유지되기 때문이다. 한편, 종래의 연산 증폭기(10)에서는 커패시터(C101)는 고정값인 참조 전압(Vref)과의 전압차를 유지해야만 하기 때문에 전하가 누설되는 것을 피하지 않으면 안되고, 그 때문에 커패시터(C101)의 용량을 크게 할 필요가 있었다. 또한 커패시터를 반도체 집적 회로 상에 작성하는 경우에는, 트랜지스터 등의 다른 소자에 비하여 큰 면적을 필요로 한다는 것을 생각하면, 본 발명에서 커패시터의 용량을 작게 함으로써, 반도체 장치의 면적 축소화, 저가격화를 도모할 수 있다.

또 제1 커패시터(C1) 또는 제2 커패시터(C2)에 고비유전율의 재료를 이용한 커패시터를 이용하면, 용량을 확보하면서 커패시터의 면적을 감소시키는 것이 가능하게 되어 반도체 장치의 면적의 축소화, 저가격화를 도모할 수 있다. 또한 면적을 일정하게 유지한 채로 용량을 크게 하는 것이 가능하게 되어, 오프셋 캔슬의 정밀도를 올릴 수 있다.

또한 연산 증폭기(10)(도 1)에 있어서, 노드(N3)와 전원 전압(VDD), 그리고 노드(N3)와 그라운드 전압(GND)을 각각 저항을 통해 접속하고, 적어도 한 쪽의 저항을 저항 가변형의 기억 소자로 하는 구성을 이용하는 것이 가능하다. 이에 따라 오프셋 값을 커패시터를 이용하는 방법에 비하여 긴 시간 기억시키는 것이 가능하여, 오프셋 캔슬을 하는 빈도를 적게 하는 것이 가능해진다.

또 제2 실시형태에 있어서 연산 증폭기(A1)는 도 7에 도시한 바와 같은 오프셋 캔슬 기능을 갖는 연산 증폭기 회로(10a)에 의해 구성되어 있다고 했지만, 제1 실시형태에 있어서의 본 발명에 따른 연산 증폭기(10)(도 1)에 의해 구성된다고 하여도 좋다. 또 이 경우, 연산 증폭기(A1)가 오프셋 캔슬 동작이 이루어질 때는, 트랜지스터(M1과 M2)의 게이트가 플로우팅 상태로 되는 것을 방지하기 위해서, 도시하지 않는 스위치를 통해 소정 전압을 트랜지스터(M1과 M2)의 게이트에 공급하는 것이 바람직하다.

또 제2 실시형태에 있어서 데이터 입력 단자(DI)와 데이터 출력 단자(DO)와의 사이에는 전압 폴로워로서 동작하는 연산 증폭기(A1 내지 A7)가, 6조의 입출력 단자에 대하여 하나 많은 7개 구비된다고 했지만, 본 발명은 이들 구성에 한정되지 않는다. 예컨대, 1조의 입출력 단자(DI1 및 DO1)에 대하여 3개의 연산 증폭기(A1 내지 A3)가 구비되고, 스위치에 의해서 연산 증폭기(A1 내지 A3)가 순차 선택되는 구성으로 하여, 이 구성이 각 입출력 단자에 대해서 구비된다고 하여도 좋다. 이에 따라, 3회의 스위치 전환에 대해 1회 연산 증폭기가 선택되기 때문에, 연산 증폭기가 선택되는 주기가 길어져 오프셋 캔슬을 하기 위한 시간을 충분히 확보할 수 있다.

또 오프셋 캔슬의 순서는 도 6의 연산 증폭기의 전환 동작표에 도시한 바와 같이, 1 수평 기간이 H1에서부터 H7까지는 연산 증폭기 A1에서부터 A7까지가 순서대로 입출력 단자와 비접속 상태로 된 뒤에 오프셋 캔슬이 이루어져 1 수평 기간(H8)에서는 1 수평 기간(H1)과 동일한 접속 상태로 복귀된다고 했지만, 이것에 한정되지 않는다. 예컨대 도 9에 도시한 바와 같이 1 수평 기간 H1에서부터 H7까지는 연산 증폭기(A1에서부터 A7)가 오름차순으로 오프셋 캔슬되고, 1 수평 기간 H8에서부터 H13까지는 연산 증폭기(A6에서부터 A1)가 내림차순으로 오프셋 캔슬된다고 하는 순서를 반복하는 형태를 취하라고 좋다.

## 발명의 효과

본 발명의 오프셋 캔슬 기능을 갖는 연산 증폭기, 라인 드라이버 및 액정 표시 장치에 따르면, 오프셋 캔슬 동안 피드백 제어가 종료될 때까지의 시간을 짧게 할 수 있어, 오프셋 캔슬 준비 기간의 단축화가 가능해진다. 또한, 입력 신호가 입력되지 않는 연산 증폭기가 출력 기간마다 순차 천이되어, 입력 신호가 입력되지 않는 비선택의 연산 증폭기가 그 비선택인 동안에 오프셋 캔슬된다. 따라서 각 출력 기간에 앞서서 오프셋 캔슬 준비 기간을 마련할 필요가 없어진다.

## 도면의 간단한 설명

도 1은 본 발명의 제1 실시형태의 제1 실시예에 있어서의 연산 증폭기의 회로도.

도 2는 본 발명의 제1 실시형태의 제1 실시예에 있어서의 연산 증폭기의 타이밍차트.

도 3은 본 발명의 제1 실시형태의 제2 실시예에 있어서의 연산 증폭기의 회로도.

도 4는 본 발명의 제2 실시형태에 있어서의 블록의 개략도.

도 5는 본 발명의 제2 실시형태에 있어서의 블록의 타이밍차트.

도 6은 본 발명의 제2 실시형태에 있어서의 연산 증폭기의 전환동작표(1).

도 7은 본 발명의 제2 실시형태에 있어서의 연산 증폭기의 회로도.

도 8은 본 발명의 제2 실시형태에 있어서의 연산 증폭기의 타이밍차트.

도 9는 본 발명의 제2 실시형태에 있어서의 연산 증폭기의 전환동작표(2).

도 10은 종래의 오프셋 캔슬 기능을 갖는 연산 증폭기 회로도.

도 11은 종래의 오프셋 캔슬 기능을 갖는 연산 증폭기의 타이밍차트.

도 12는 액정 표시 장치의 개략적인 구성도.

도 13은 종래의 라인 드라이버의 구성을 도시한 도면.

도 14는 종래의 라인 드라이버의 동작을 설명하는 타이밍차트.

<도면의 주요부분에 대한 부호의 설명>

1 : 연산 증폭기 회로

2 : 전류 미리 회로

3 : 제1 차동 쌍 입력 회로

4 : 제2 차동 쌍 입력 회로

5 : 오프셋 캔슬 회로

6 : 출력 버퍼 회로

7 : 차동 증폭 회로

10 : 연산 증폭기

C1, C2 : 커패시터

H : 1 수평 기간

HC : 오프셋 캔슬 준비 기간

HT : 출력 기간

VI : 입력 전압

VO : 출력 전압

Voff : 오프셋 전압

Vref : 참조 전압

TT1, TT101 : 안정화 시간

A1 내지 A7 : 연산 증폭기

FF1 내지 FF7 : D 플립플롭



SI1 내지 SI7, SO1 내지 SO7 : 스위치

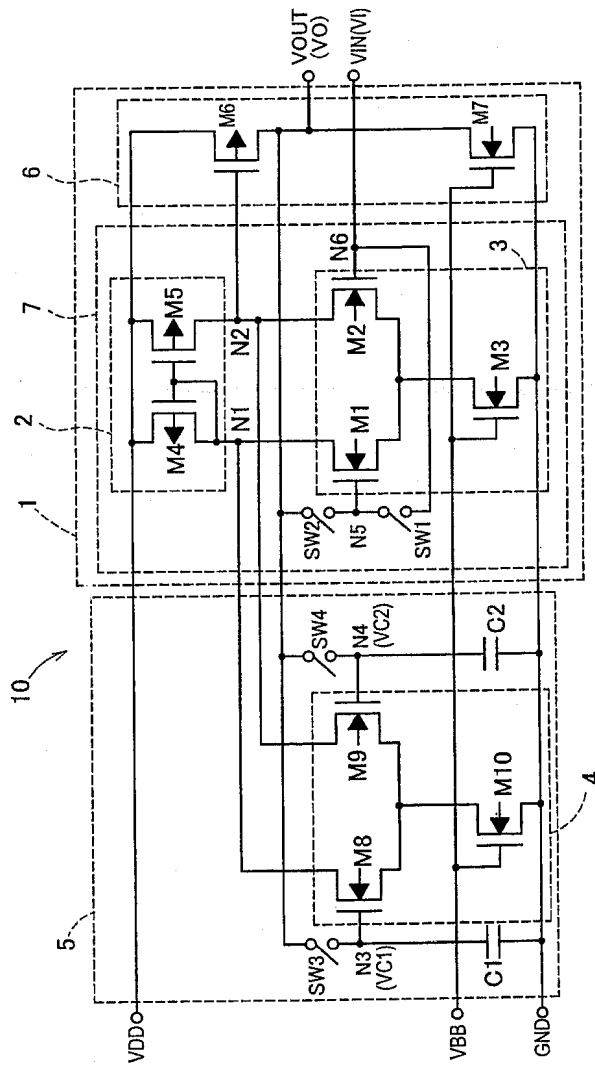
DI1 내지 DI6 : 데이터 입력 단자

DO1 내지 DO6 : 데이터 출력 단자

도면

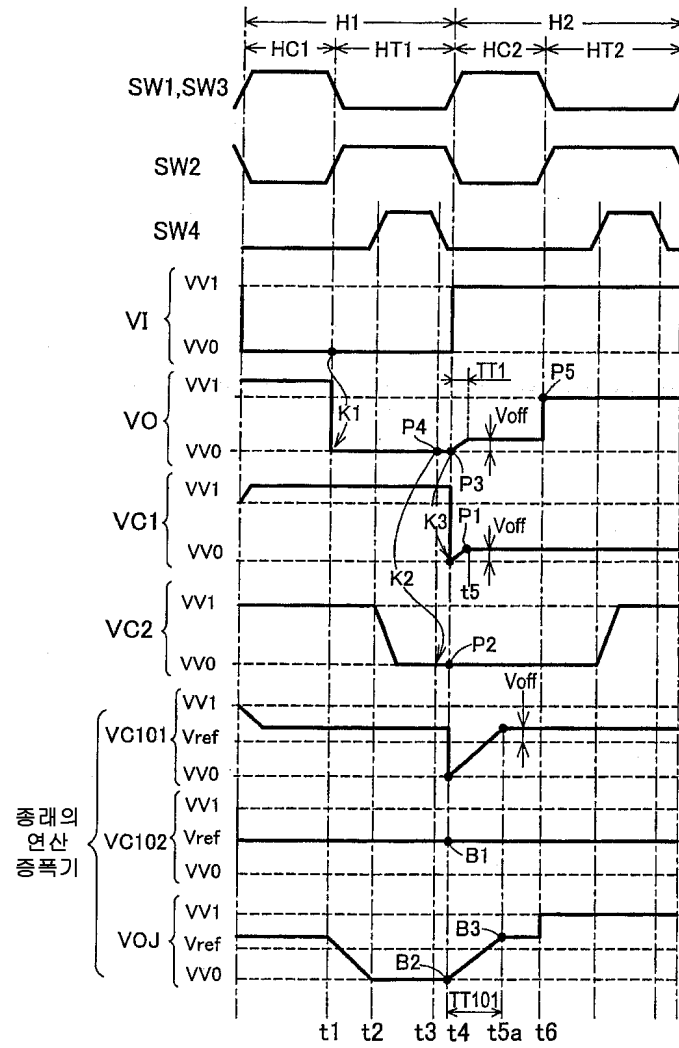
도면1

본 발명의 제1 실시형태의 제1 실시예에 있어서의 연산 증폭기 회로도



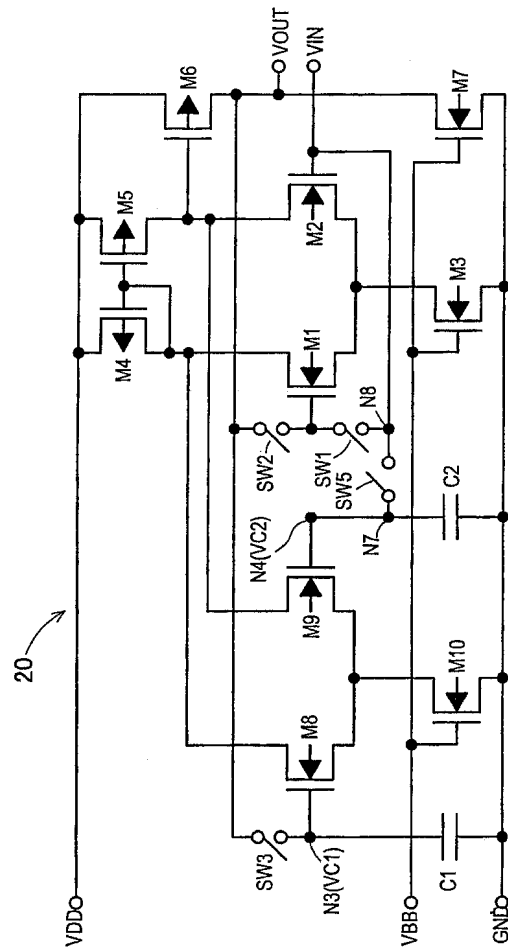
도면2

본 발명의 제1실시형태의 제1실시예에 있어서의 연산 증폭기의 타이밍 차트



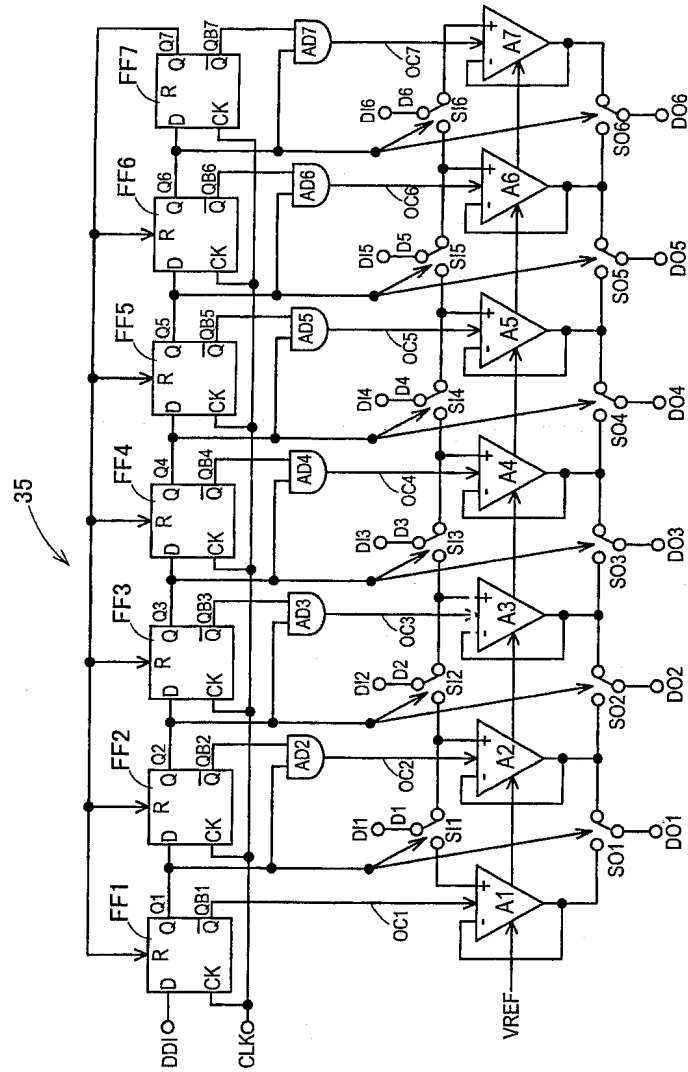
도면3

본 발명의 제1실시형태의 제2 실시예에 있어서의 연산 애플리케이션 회로도



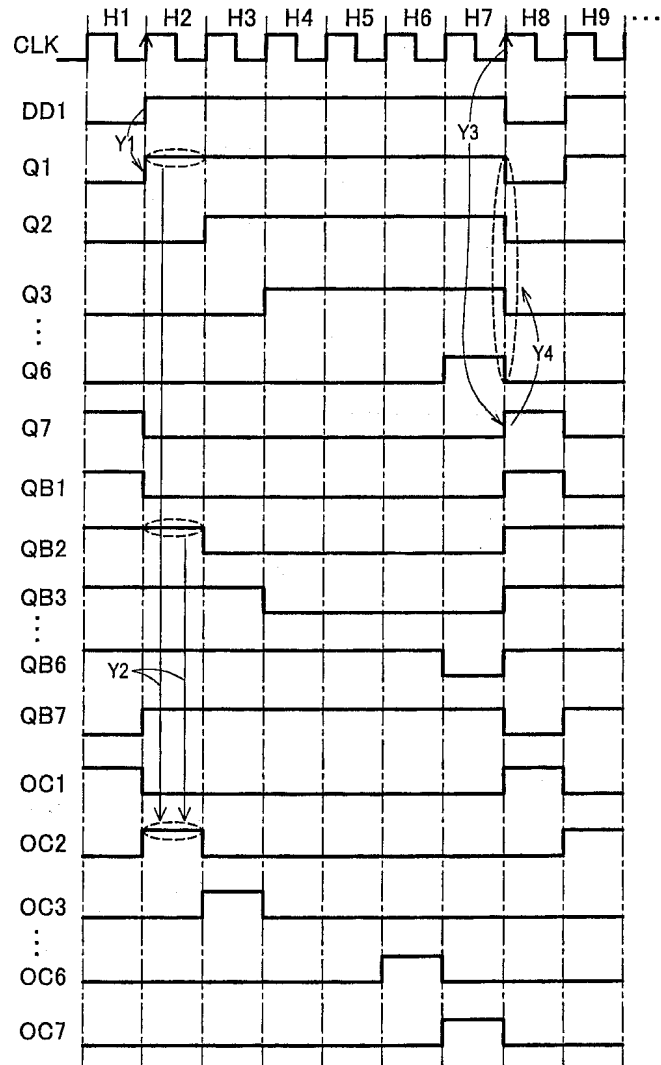
도면4

본 발명의 제2실시형태에 있어서의 블록의 개략도



도면5

본 발명의 제2실시형태에 있어서의 블록의 타이밍 차트



도면6

본 발명의 제2실시형태에 있어서의 연산 증폭기의 전환 동작표(1)

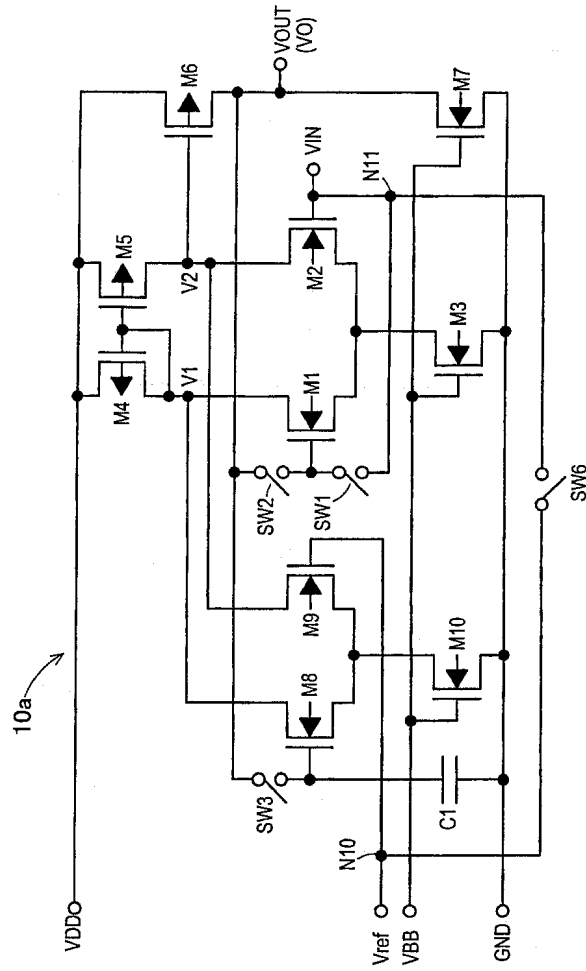
연산 증폭기

	A1	A2	A3	A4	A5	A6	A7
H1	오프셋 캔슬	D1	D2	D3	D4	D5	D6
H2	D1	오프셋 캔슬	D2	D3	D4	D5	D6
H3	D1	D2	오프셋 캔슬	D3	D4	D5	D6
H4	D1	D2	D3	오프셋 캔슬	D4	D5	D6
H5	D1	D2	D3	D4	오프셋 캔슬	D5	D6
H6	D1	D2	D3	D4	D5	오프셋 캔슬	D6
H7	D1	D2	D3	D4	D5	D6	오프셋 캔슬
H8	오프셋 캔슬	D1	D2	D3	D4	D5	D6
H9	D1	오프셋 캔슬	D2	D3	D4	D5	D6
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

1 수평기간

도면7

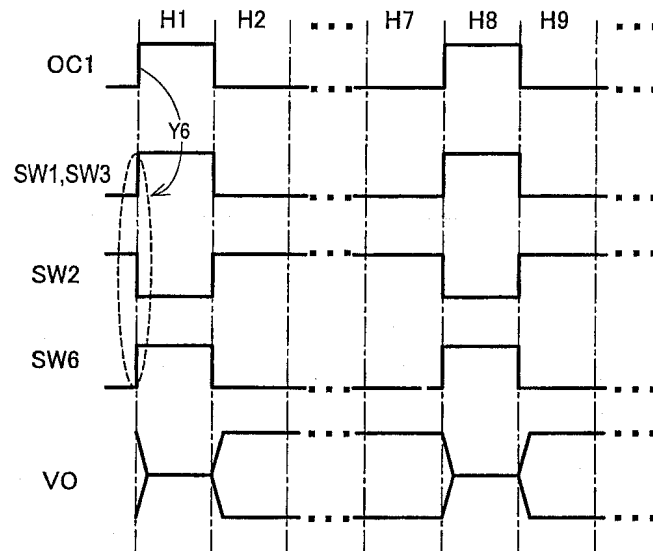
본 발명의 제2실시형태에 있어서의 연산 증폭기 회로도





도면8

본 발명의 제2실시형태에 있어서의 연산 증폭기의 타이밍 차트



도면9

본 발명의 제2실시형태에 있어서의 연산 증폭기의 전환 동작표(2)

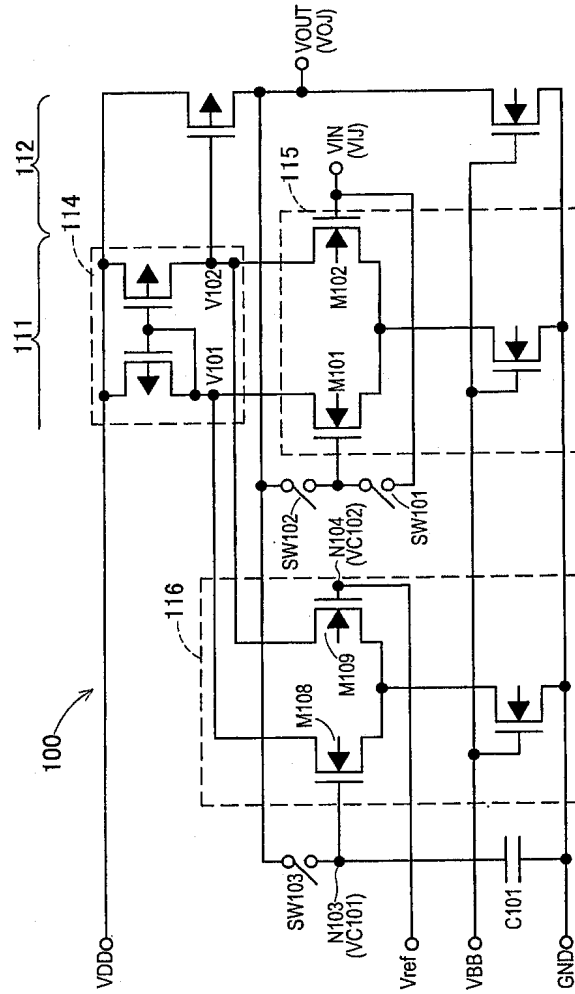
# 연산 증폭기

1 수평기간

	A1	A2	A3	A4	A5	A6	A7
H1	오프셋 캔슬	D1	D2	D3	D4	D5	D6
H2	D1	오프셋 캔슬	D2	D3	D4	D5	D6
H3	D1	D2	오프셋 캔슬	D3	D4	D5	D6
H4	D1	D2	D3	오프셋 캔슬	D4	D5	D6
H5	D1	D2	D3	D4	오프셋 캔슬	D5	D6
H6	D1	D2	D3	D4	D5	오프셋 캔슬	D6
H7	D1	D2	D3	D4	D5	D6	오프셋 캔슬
H8	D1	D2	D3	D4	D5	오프셋 캔슬	D6
H9	D1	D2	D3	D4	오프셋 캔슬	D5	D6
H10	D1	D2	D3	오프셋 캔슬	D4	D5	D6
H11	D1	D2	오프셋 캔슬	D3	D4	D5	D6
H12	D1	오프셋 캔슬	D2	D3	D4	D5	D6
H13	오프셋 캔슬	D1	D2	D3	D4	D5	D6
H14	D1	오프셋 캔슬	D2	D3	D4	D5	D6
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

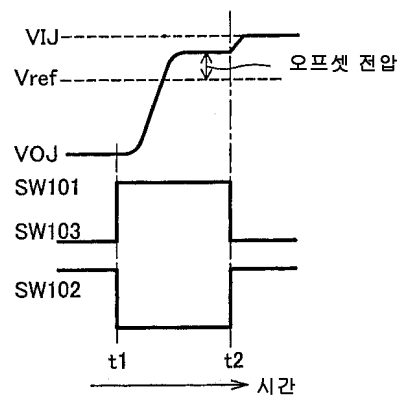
도면10

종래의 오프셋 캔슬 기능을 갖는 연산 증폭기 회로도

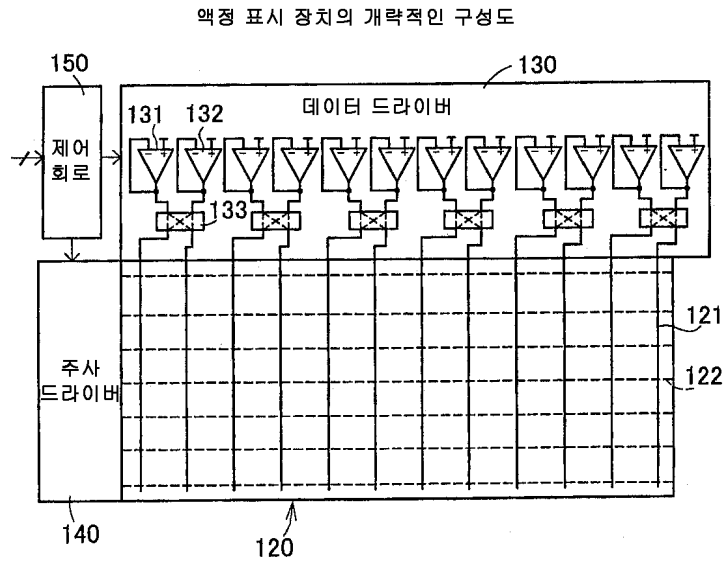


도면11

종래의 오프셋 캔슬 기능을 갖는 연산 증폭기의 타이밍 차트

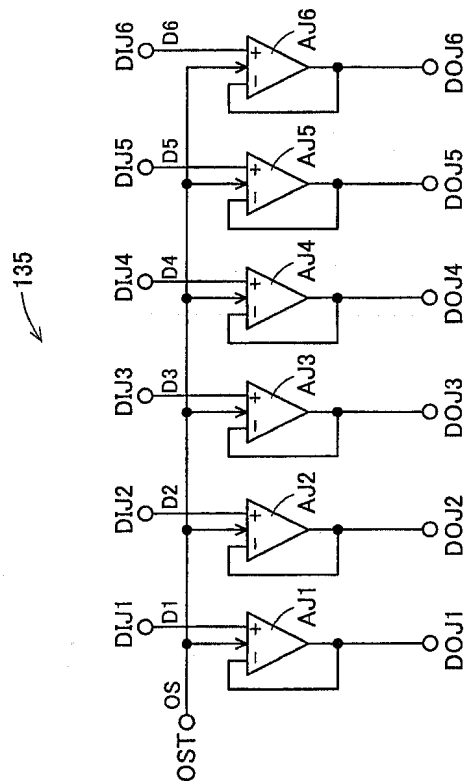


도면12



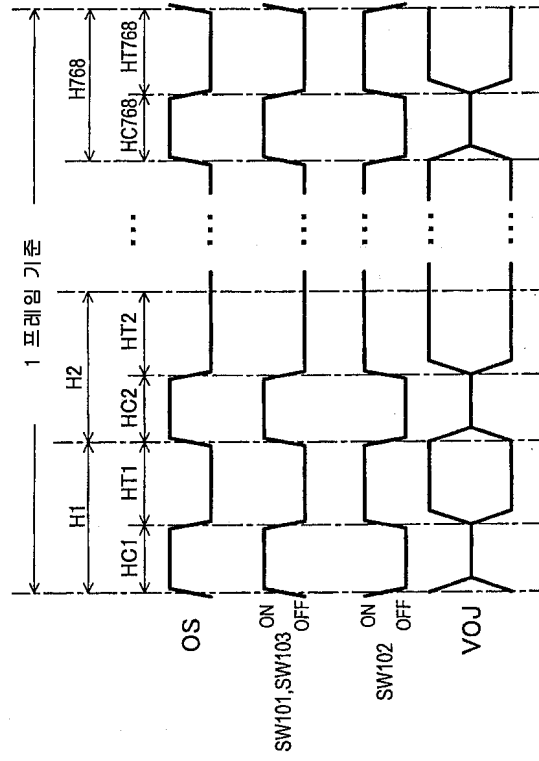
도면13

종래의 라인 드라이버의 구성을 도시한 도면



도면14

종래의 라인 드라이버의 동작을 설명하는 타이밍 차트



专利名称(译)	运算放大器，线路驱动器 and 液晶显示器		
公开(公告)号	<a href="#">KR100674457B1</a>	公开(公告)日	2007-01-29
申请号	KR1020040028108	申请日	2004-04-23
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士sikki有限公司		
当前申请(专利权)人(译)	富士sikki有限公司		
[标]发明人	KASAI TOSHIHIKO 가사이토시히코 UDO SHINYA 우도신야 KOKUBUN MASATOSHI 고쿠분마사토시 KIZAKI YOSHIHIRO 기자키요시히로		
发明人	가사이토시히코 우도신야 고쿠분마사토시 기자키요시히로		
IPC分类号	G09G3/36 G09G3/20 H03F3/45		
CPC分类号	G09G3/3688 H03F3/45753		
代理人(译)	金泰HONG KIM , SEONG KI		
优先权	2003352203 2003-10-10 JP		
其他公开文献	KR1020050035064A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

提供了能够在短时间内实现偏移的运算放大器，取消了本发明的偏移和线驱动器以及使1个水平周期短的液晶显示器。在本发明的运算放大器中，它具有在偏移取消准备时段（HC2）中的参考电压作为在水平时段之前的1个水平时段（H1）中的输出电压（VO）。以这种方式，通过配置来完成输出电压（VO（2））随着反馈控制的偏移电压（Voff）而变化。以这种方式比以前缩短了反馈控制所花费的时间。并且在本发明的线路驱动器中，进行了不用于输出显示数据（D1至D6）的运算放大器的偏移消除操作。它从连续转换到1个水平周期。因此，偏移取消准备时段不必包括在输出时段中。因此，1个水平周期的缩短变得越来越可能。

본 발명의 제1 실시형태의 제1 실시예에 있어서의 연산 증폭기 회로도

