

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.
G02F 1/133 (2006.01)

(45) 공고일자	2006년08월02일
(11) 등록번호	10-0608106
(24) 등록일자	2006년07월26일

(21) 출원번호	10-2003-0082620	(65) 공개번호	10-2005-0048878
(22) 출원일자	2003년11월20일	(43) 공개일자	2005년05월25일

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자
 김경면
 서울특별시 마포구 성산동 450 시영아파트 11-505

최창희
 경기도 용인시 기흥읍 서천리 SK아파트 107동 202호

(74) 대리인
 박영우

심사관 : 이동윤

(54) 소스 라인 리페어 기능을 갖는 액정표시장치 및 소스 라인리페어 방법

요약

액정 패널상의 소스 라인들 중 적어도 하나의 소스 라인이 단선이 된 경우 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 소스 구동신호를 공급할 수 있는 소스 구동회로가 개시되어 있다. 소스 구동회로는 쉬프트 레지스터부, 래치부, D/A 컨버터부, 버퍼부, 및 적어도 하나의 소스 라인 리페어 회로를 구비한다. 소스 라인 리페어 회로는 공통전압 신호와 단선된 소스 라인에 대응하는 소스 구동신호를 수신하고, 소스 구동신호에 응답하여 버퍼부를 구성하는 증폭기와 동일한 타입의 증폭기를 선택하고 그 출력신호를 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 공급한다. 따라서, 소스 구동회로는 버퍼부를 구성하는 증폭기와 동일한 타입의 증폭기를 선택할 수 있는 소스 라인 리페어 회로를 구비함으로써 소스 구동신호가 공급되지 않는 단선된 소스 라인 부분에 소스 구동신호를 안전하게 공급할 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스형 액정표시장치를 나타내는 블록도이다.

도 2는 본 발명의 하나의 실시예에 따른 소스 구동부의 개별 소스 드라이버 IC와 액정 패널의 구성을 나타내는 블록도이다.

도 3은 정극성 증폭기를 나타내는 회로도이다.

도 4는 부극성 증폭기를 나타내는 회로도이다.

도 5는 레일-투-레일 증폭기를 나타내는 회로도이다.

도 6은 도 2에 있는 리페어 회로의 구성을 나타내는 도면이다.

도 7은 본 발명의 다른 실시예에 따른 소스 구동부의 개별 소스 드라이버 IC와 액정 패널의 구성을 나타내는 블록도이다.

도 8은 공통전압 발생회로 구성의 일례를 나타내는 회로도이다.

도 9는 공통전압 발생회로 구성의 다른 예를 나타내는 회로도이다.

도 10은 도 2의 회로에서 2 번째 소스 라인(SL2)이 단선되었을 때 치유방법을 설명하기 위한 도면이다.

도 11은 본 발명의 또 다른 실시예에 따른 소스 구동부의 개별 소스 드라이버 IC와 액정 패널의 구성을 나타내는 블록도이다.

도 12는 도 11의 회로에서 2 번째 소스 라인(SL2) 및 k-1 번째 소스 라인(SLk-1)이 단선되었을 때 치유방법을 설명하기 위한 도면이다.

도 13은 2 개의 결선(open line)을 갖는 액정 패널을 치유하는 방법을 설명하기 위한 도면이다.

도면의 주요부분에 대한 부호의 설명

100 : 컨트롤러 110 : 전원부

120 : 계조전압 발생부 130 : 게이트 전압 발생부

140 : 게이트 구동부 150 : 패널

200, 400, 600, 800 : 소스 드라이버 IC

210 : 쉬프트 레지스터부 220 : 래치부

225 : 레벨 쉬프터부 230 : D/A 컨버터부

240 : 버퍼부 250 : 스위치부

260, 270 : 소스 라인 리페어 회로

280 : 공통전압 발생회로 1000 : 소스 구동부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display device; 이하 LCD 장치라 함)의 소스 구동회로에 관한 것으로, 특히 소스라인 리페어(source-line repair) 기능을 갖는 LCD 장치의 소스 구동회로에 관한 것이다.

LCD 장치는 음극선관(Cathode Ray Tube)에 비해 두께가 얇고 가벼우며 그 품질도 점차 개선되고 있기 때문에, 정보처리 기기로서 널리 사용되고 있다.

액티브 매트릭스형 LCD 장치는 매트릭스 내에 배열된 복수의 픽셀 전극 각각에 연결된 복수의 능동 소자를 가진다. 액티브 매트릭스형 LCD 장치는 단순 매트릭스형 LCD 장치에 비해 높은 콘트라스트 비(contrast ratio)를 가진다. 따라서, 액티브 매트릭스형 구동은 칼라 LCD 장치에 필수적으로 되고 있다. 액티브 매트릭스형 LCD 장치의 각 픽셀 전극에 연결되는 능동소자로는 박막 필름 트랜지스터(Thin Film Transistor; 이하 TFT라 함)가 널리 사용되고 있다.

도 1은 종래의 액티브 매트릭스형 LCD 장치를 나타내는 블록도로서, 미국등록특허 6,407,729에 개시되어 있다. 도 1을 참조하면, 컨트롤러(100)는 비디오 데이터와 제어신호를 수신하고, 제어신호(SCON)와 데이터(DATA)를 출력한다. 전원부(110)는 외부 전원(POWER)을 수신하고 안정된 DC 전압을 발생시켜 컨트롤러(100), 계조전압 발생부(120), 및 게이트 전압 발생부(130)에 공급한다. 계조전압 발생부(120)는 소스 구동부(1000)에 기준 계조전압(reference gray voltage) (VGR)을 제공한다. 게이트 전압 발생부(130)는 트랜지스터의 턴온 전압과 턴오프 전압을 발생시켜 게이트 구동부(140)에 제공한다. 게이트 구동부(140)와 소스 구동부(1000)는 각각 복수의 게이트 드라이브 IC와 복수의 소스 드라이브 IC를 구비한다. 데이터(DATA)는 각 픽셀에 대한 계조 레벨(gray level)을 결정한다. 게이트 구동부(140)는 제어신호(SCON)를 수신하고, 소스 구동부(1000)는 데이터(DATA)를 수신한다. 소스 구동부(1000)는 소스 신호들을 액정 패널(liquid crystal panel)(150)에 인가하고, 게이트 구동부(140)는 게이트 신호들을 액정 패널(150)에 인가한다. 액정 패널(150)은 매트릭스의 각 교차점에 있는 TFT를 가진다. TFT의 소스는 소스 신호를 수신하고, TFT의 게이트는 게이트 신호를 수신한다. TFT는 드레인 단자에 스토리지 커패시터(storage capacitor)(CS)와 액정 커패시터(CLC)를 가진다.

그런데, TFT-LCD 패널의 임의의 소스 라인에 결선이 발생한 경우, 소스 드라이버 IC에 연결되지 않은 소스 라인 부분에는 소스 구동신호가 전달되지 않아 전체 패널의 사용이 불가능하게 된다. 이처럼 패널상의 소스 라인들 중 한 두개가 결선을 갖는 경우를 모두 불량 처리한다면, LCD 패널의 생산 수율이 너무 낮아지게 된다.

따라서, 소스 드라이버 IC에 연결되지 않은 소스 라인 부분에 소스 구동신호가 전달될 수 있는 수단을 구비한다면, 액정 패널상의 소스 라인들 중 몇 개의 소스 라인이 단선된 경우에도 양품으로 처리함으로써, 액정 패널의 생산 수율을 향상시킬 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래의 문제점을 해결하고자 고안된 발명으로서, 본 발명의 목적은 액정 패널상의 소스 라인들 중 적어도 하나의 소스 라인이 단선이 된 경우 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 소스 구동신호를 공급하는 것이다.

본 발명의 다른 목적은 액정 패널상의 소스 라인들 중 적어도 하나의 소스 라인이 단선이 된 경우 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 소스 구동신호를 공급할 수 있는 소스 라인 리페어 기능을 갖는 액정표시장치의 소스 구동회로를 제공하는 것이다.

본 발명의 또 다른 목적은 액정 패널상의 소스 라인들 중 적어도 하나의 소스 라인이 단선이 된 경우 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 소스 구동신호를 공급할 수 있는 소스 라인 리페어 기능을 갖는 액정표시장치를 제공하는 것이다.

본 발명의 또 다른 목적은 액정 패널상의 소스 라인들 중 적어도 하나의 소스 라인이 단선이 된 경우 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 소스 구동신호를 공급할 수 있는 소스 라인 리페어 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른 소스 라인 리페어 회로는 비교기, 증폭회로, 및 선택회로를 구비한다.

비교기는 액정표시장치의 단선된 소스 라인에 대응하는 소스 구동신호를 공통전압 신호와 비교하고, 상기 소스 구동신호가 상기 공통전압 신호보다 높을 때는 제 1 전압 레벨을 가지고 상기 소스 구동신호가 상기 공통전압 신호보다 낮을 때는 제 2 전압 레벨을 가지는 선택신호를 발생시킨다.

증폭회로는 소스 구동신호를 증폭하여 제 1 증폭신호와 제 2 증폭신호를 출력한다. 증폭회로는 정극성 증폭기와 부극성 증폭기를 구비한다. 정극성 증폭기는 소스 구동신호를 수신하고 소스 구동신호가 공통전압 신호보다 클 때 소스 구동신호를 증폭하고 제 1 증폭신호를 발생시킨다. 부극성 증폭기는 소스 구동신호를 수신하고 소스 구동신호가 공통전압 신호보다 작을 때 소스 구동신호를 증폭하고 상기 제 2 증폭신호를 발생시킨다.

선택회로는 상기 선택신호에 응답하여 상기 제 1 증폭신호 및 제 2 증폭신호 중 하나를 선택하여 상기 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 출력한다.

본 발명에 따른 액정표시장치의 소스 구동회로는 쉬프트 레지스터부, 래치부, D/A 컨버터부, 버퍼부, 및 적어도 하나의 소스 라인 리페어 회로를 구비한다.

쉬프트 레지스터부는 소정의 주파수를 갖는 수평클럭신호와 쉬프트 신호를 수신하고, 상기 수평클럭신호의 제어하에 일정 수의 클럭마다 펄스 신호를 발생시키고, 일정 수의 쉬프트 신호마다 캐리아웃 신호를 발생시킨다.

래치부는 입력 데이터를 수신하고 쉬프트 레지스터의 펄스 신호에 응답하여 입력 데이터를 래치하고, 로드 신호의 제어하에 입력 데이터를 출력한다.

D/A 컨버터부는 기준 계조전압들과 래치부의 출력신호들을 수신하고 래치부의 출력신호들에 응답하여 계조전압들을 발생시킨다.

버퍼부는 정극성 증폭기 또는 부극성 증폭기로 구성되고, 상기 D/A 컨버터부에 의해 선택된 계조전압들을 버퍼링하고 상기 버퍼링된 계조전압들을 각각 대응하는 소스 라인들에 출력한다.

소스 라인 리페어 회로는 공통전압 신호와 단선된 소스 라인에 대응하는 소스 구동신호를 수신하고, 소스 구동신호에 응답하여 버퍼부를 구성하는 증폭기와 동일한 타입의 증폭기를 선택하고 그 출력신호를 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 공급한다.

본 발명에 따른 액정표시장치는 액정 패널, 게이트 구동회로, 및 소스 구동회로를 구비한다.

액정 패널은 복수의 소스 라인, 복수의 소스 라인에 수직하게 배열된 복수의 게이트 라인, 및 적어도 하나의 더미 입력라인과 적어도 하나의 더미 출력라인을 구비하고 이미지를 디스플레이 한다.

게이트 구동회로는 게이트 구동신호를 발생시킨다.

소스 구동회로는 복수의 소스 드라이버 IC로 구성되고 소스 구동신호를 발생시킨다. 소스 드라이버 IC는 버퍼 회로 및 적어도 하나의 소스 라인 리페어 회로를 구비한다.

버퍼회로는 정극성 증폭기 또는 부극성 증폭기로 구성된다.

소스 라인 리페어 회로는 공통전압 신호와 더미 입력라인을 통해 단선된 소스 라인에 대응하는 소스 구동신호를 수신하고 소스 구동신호에 응답하여 버퍼회로를 구성하는 증폭기와 동일한 타입의 증폭기를 선택한다. 소스 라인 리페어 회로는 선택된 증폭기의 출력신호를 더미 출력라인을 통해 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 공급한다.

본 발명에 따른 소스 라인 리페어 방법은 액정표시장치의 단선된 소스 라인에 대응하는 소스 구동신호와 공통전압 신호를 수신하여 비교하고 소스 구동신호에 응답하는 선택신호를 출력하는 단계, 소스 구동신호를 수신하고 소스 구동신호가 공통전압 신호보다 클 때는 소스 구동신호를 증폭하여 제 1 증폭신호를 출력하고 소스 구동신호가 공통전압 신호보다 작을 때는 소스 구동신호를 증폭하여 제 2 증폭신호를 출력하는 단계, 및 제 1 증폭신호 및 제 2 증폭신호를 수신하고 선택신호에 응답하여 제 1 증폭신호 및 제 2 증폭신호 중 하나를 선택하여 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 출력하는 단계를 구비한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하고자 한다.

도 2는 본 발명의 하나의 실시예에 따른 소스 구동부의 개별 소스 드라이버 IC와 액정 패널의 구성을 나타낸다.

도 2를 참조하면, 소스 드라이버 IC(200)는 쉬프트 레지스터부(210), 래치부(220), 레벨 쉬프터부(225), D/A 컨버터(Digital to Analog Converter)부(230), 버퍼부(240), 스위치부(250), 및 소스 라인 리페어 회로(260)를 구비한다.

쉬프트 레지스터(210)는 소정의 주파수를 갖는 수평클럭신호(H_CLK)와 쉬프트 신호(STH)를 수신한다. 쉬프트 신호(STH)는 하나의 수평 주기마다 하나의 펄스로 입력된다. 쉬프트 레지스터부(210)는 수평클럭신호(H_CLK)에 따라서 일정 수의 클럭마다 래치부(220)에 펄스를 출력한다. 일정 수의 쉬프트 신호들은 캐리아웃 신호(CARRY-OUT)를 발생시킨다. 캐리아웃 신호(CARRY-OUT)는 뒤따르는 쉬프트 레지스터부(미도시)에 인가된다.

래치부(220)는 컨트롤러(100)로부터 데이터(DATA)를 수신한다. 래치부(220)는 쉬프트 레지스터부(210)의 쉬프트 순서에 따라 데이터(DATA)를 래치하고, 로드 신호(TP)가 인가되면 데이터(DATA)를 출력한다.

레벨 쉬프터부(225)는 래치부(220)의 출력신호의 전압 레벨을 높이는 기능을 한다.

D/A 컨버터부(Digital-to-Analog Converter)(230)는 소스 라인(SL1 ~ SLk)과 동일한 수인 k 개의 D/A 컨버터들(DAC1 ~ DACk)로 구성된다. D/A 컨버터부(230)는 계조 전압 발생부(120)로부터 기준 계조전압들(VGR)을 수신하고 래치부(220)의 출력신호들에 응답하여 k 개의 전압신호들을 발생시켜 버퍼부(240)에 출력한다. 계조전압들은 래치부(220)에 입력되는 데이터의 순서에 따라서 각 소스 라인으로 출력된다.

버퍼부(240)는 k 개의 버퍼들(BUFFER1 ~ BUFFERk)로 구성된다. 버퍼부(240)는 D/A 컨버터부(230)로부터 계조전압들을 수신하고 버퍼한다.

스위치부(250)는 소스 라인(SL1 ~ SLk)의 수에 대응하는 스위치들(SWITCH1 ~ SWITCHk)로 구성된다. 스위치부(250)는 버퍼부(240)의 출력신호인 버퍼된 계조전압들을 로드 신호(TP)에 따라 소스 라인들(SL1 ~ SLk)에 공급한다.

리페어 회로(260)는 개별 소스 드라이버 IC(200) 내에 적절한 수로 존재할 수 있으며, 도 2에는 리페어 회로(260)를 하나 구비한 소스 드라이버 IC가 도시되어 있다. 리페어 회로(260)는 스위치부(250)의 출력신호들(Y1 ~ Yk) 중 하나(Y1)를 입력신호(RCI1)로서 수신하여 버퍼링하고 이 신호(Y1)에 대응하는 신호(RCO1)를 발생시킨다.

리페어 회로(260)는 액정 패널(150) 내에 배열된 소스 라인들 중 적어도 하나의 라인이 끊어져서 결선(open line)이 발생했을 경우, 더미 입력라인(LDI1)과 더미 출력라인(LDO1)을 통하여 개별 소스 드라이버 IC(200)의 출력신호(Y1)가 공급되지 않는 라인 부분(SL1P)에 개별 소스 드라이버 IC(200)의 출력신호(Y1)에 대응하는 신호(RCO1)를 공급한다.

이하, 도 2를 참조하여 본 발명의 제 1 실시예에 따른 소스 드라이브 IC의 동작을 설명한다.

소스 드라이버 IC(200)는 비디오 데이터(DATA)와 기준 계조전압들(VGR)을 수신하고 데이터(DATA)의 전압레벨을 높이고, 데이터(DATA)에 응답하여 k 개의 계조전압들을 발생시키고 버퍼링한다. 버퍼링된 계조전압들(Y1 ~ Yk)은 k 개의 소스 라인들(SL1 ~ SLk)에 공급된다.

소스 라인들(SL1 ~ SLk) 중 제 1 소스 라인(SL1)에 결선이 발생한 경우, 제 1 소스 라인(SL1)과 제 1 더미 입력라인(LDI1)을 전기적으로 연결시키고, 제 1 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SL1P)과 제 1 더미 출력라인(LDO1)을 전기적으로 연결시킨다. 제 1 소스 라인(SL1)과 제 1 더미 입력라인(LDI1)의 연결, 및 소스 드라이버 IC(200)에 연결되지 않은 부분(SL1P)과 제 1 더미 출력라인(LDO1)의 연결은 레이저 범 등의 방법을 사용하여 수행한다. 제 1 더미 입력라인(LDI1)은 소스 라인 리페어 회로(260)의 입력단자와 연결되고 제 1 더미 출력라인(LDO1)은 소스 라인 리페어 회로(260)의 출력단자에 연결된다. 소스 드라이버 IC(200)의 제 1 소스 구동신호(Y1)는 소스 라인 리페어 회로(260)의 입력신호(RCI1)가 되며, 소스 라인 리페어 회로(260)는 제 1 소스 구동신호(Y1)의 전압 레벨에 따라 정극성 증폭기(미도시)의 출력과 부극성 증폭기(미도시)의 출력 중 어느 하나를 선택하고 버퍼링하여 리페어 출력신호(RCO1)를 발생시킨다. 리페어 출력신호(RCO1)는 제 1 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SL1P)에 공급된다.

도 3은 정극성 증폭기를 나타내고, 도 4는 부극성 증폭기를 나타낸다.

정극성 증폭기는, 도 3에 도시된 바와 같이, NMOS 트랜지스터들(NM1, NM2)이 입력 트랜지스터로서 사용되고, 전류 성크(I1)를 통해 접지(VSS)에 연결된다. NMOS 트랜지스터들(NM1, NM2)의 출력라인에는 합산회로(summing circuit)와 출력단(output stage)(SO1)이 연결된다.

부 극성 증폭기는, 도 4에 도시된 바와 같이, PMOS 트랜지스터들(PM1, PM2)이 입력 트랜지스터로서 사용되고, 전류 소스(I2)를 통해 전원전압(VDD)에 연결된다. PMOS 트랜지스터들(PM1, PM2)의 출력라인에는 합산회로(summing circuit)와 출력단(output stage)(SO2)이 연결된다.

정 극성 증폭기는 공통전압(common voltage)(VCOM) 이상의 입력신호를 증폭하여 출력할 때 사용하고, 부 극성 증폭기는 공통전압(VCOM) 이하의 입력신호를 증폭하여 출력할 때 사용한다.

도 5는 레일-투-레일 증폭기를 나타내며, 정 극성 증폭기와 부 극성 증폭기를 결합한 구조를 갖는다. 레일-투-레일 증폭기는 전원전압에서 접지전압까지 넓은 입출력 전압 범위에서 동작할 수 있다는 장점이 있는 반면, 반도체 집적회로로 구현시 칩 면적을 많이 차지하는 단점이 있다.

TFT-LCD 장치에서 계조전압들은 공통전압(VCOM)보다 큰 정 극성 전압과 공통전압(VCOM)보다 작은 부 극성 전압을 교대로 가진다. 소스 드라이버 IC(200)의 출력신호인 소스 구동신호들(Y1 ~ Yk)도 정 극성 전압과 부 극성 전압을 교대로 가진다. 도 2의 소스 드라이버 IC(200)에서 버퍼부(240)를 구성하는 버퍼들(BUFFER1 ~ BUFFERk)로서 정 극성 증폭기와 부 극성 증폭기를 교대로 사용한다. 일반적으로 TFT-LCD 패널에서 결선은 한개 또는 두개 발생하는 경우가 대부분이므로, 각 소스 라인마다 이에 대응하는 소스 라인 리페어 회로를 구비하는 것은 칩 사이즈면에서 바람직하지 못하다. 리페어 회로(260)에 사용하는 증폭기는 리페어하려는 소스 라인에 대응하는 버퍼를 구성하는 증폭기의 극성과 일치하는 극성의 증폭기를 사용해야 한다. 버퍼부(240)의 버퍼들(BUFFER1 ~ BUFFERk)을 위해서는 정 극성 증폭기 또는 부 극성 증폭기를 사용하고, 소스 라인 리페어 회로(260)를 위해서는 도 5에 도시된 바와 같은 레일-투-레일 증폭기를 사용할 수 있다. 그런데, 이 경우 소스 라인 리페어 회로의 출력신호와 소스 라인 리페어 회로를 사용하지 않는 다른 채널의 소스 구동신호와의 사이에 전압의 상대 오차가 발생할 수 있다. 버퍼부(240)의 버퍼들(BUFFER1 ~ BUFFERk)과 소스 라인 리페어 회로(260)에 각각 레일-투-레일 증폭기를 사용하면, 이와 같은 문제는 발생하지 않지만, 반도체 집적회로로 구현시 칩 면적을 많이 차지하는 단점이 있다.

도 6은 도 2에 있는 소스 라인 리페어 회로의 구성을 나타내는 도면이다.

소스 라인 리페어 회로(260)는 비교기(262), 증폭회로(263), 및 선택회로(264)를 구비한다.

비교기(262)는 입력신호(RCI1)와 공통전압 신호(VCOM)를 수신하여 이들 신호를 서로 비교하고, 소스 구동신호에 응답하는 선택신호(COMPO)를 출력한다. 입력신호(RCI1)는 액정표시장치의 단선된 소스 라인에 대응하는 소스 구동신호이다.

증폭회로(263)는 입력신호(RCI1)를 수신하고 입력신호(RCI1)가 공통전압 신호보다 클 때는 입력신호를 증폭하여 제 1 증폭신호(PAMPO)를 출력하고 입력신호(RCI1)가 공통전압 신호보다 작을 때는 입력신호(RCI1)를 증폭하여 제 2 증폭신호(NAMPO)를 출력한다.

선택회로(264)는 증폭회로(263)로부터 제 1 증폭신호(PAMPO) 및 제 2 증폭신호(NAMPO)를 수신하고 선택신호(COMPO)에 응답하여 제 1 증폭신호(PAMPO) 및 제 2 증폭신호(NAMPO) 중 하나를 선택하여 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 출력한다.

증폭회로(263)는 정 극성 증폭기(265)와 부 극성 증폭기(266)를 구비한다. 정 극성 증폭기(265)는 입력신호(RCI1)를 수신하고 증폭하여 제 1 증폭신호(PAMPO)를 발생시킨다. 부 극성 증폭기(266)는 입력신호(RCI1)를 수신하고 증폭하여 제 2 증폭신호(NAMPO)를 발생시킨다. 정 극성 증폭기(265)와 부 극성 증폭기(266)는 모두 반전 입력단자와 출력단자가 단락(short)되어 있어서 이들의 전압 이득은 모두 1이다.

선택회로(264)는 인버터(INV1), 제 1 전달 게이트(TG1), 및 제 2 전달 게이트(TG2)를 구비한다. 인버터(INV1)는 선택신호(COMPO)를 수신하여 반전시킨다. 제 1 전달 게이트(TG1)는 선택신호(COMPO)와 인버터(INV1)의 출력신호의 제어하에 제 1 증폭신호(PAMPO)를 리페어 신호(RCO1)로서 출력한다. 제 2 전달 게이트(TG2)는 선택신호(COMPO)와 인버터(INV1)의 출력신호의 제어하에 제 2 증폭신호(NAMPO)를 리페어 신호(RCO1)로서 출력한다.

이하, 도 6의 소스 라인 리페어 회로의 동작을 설명한다.

소스 라인 리페어 회로(260)의 입력신호(RCI1)는 소스 라인 구동신호들(도 2의 Y1 ~ Yk) 중 하나가 된다.

입력신호(RCI1)가 공통전압 신호(VCOM)보다 큰 경우, 비교기(262)의 출력신호(COMPO)는 로직 하이 상태가 된다. 따라서, 전달 게이트(TG1)는 온되고, 전달 게이트(TG2)는 오프된다. 이 때, 정극성 증폭기(265)는 입력신호(RCI1)를 증폭하여 제1증폭신호(PAMPO)를 발생시키고, 제2증폭신호(PAMPO)는 전달 게이트(TG1)를 통하여 리페어 신호(RCO1)로서 출력된다.

입력신호(RCI1)가 공통전압 신호(VCOM)보다 작은 경우, 비교기(262)의 출력신호(COMPO)는 로직 로우 상태가 된다. 따라서, 전달 게이트(TG1)는 오프되고, 전달 게이트(TG2)는 온된다. 이 때, 부극성 증폭기(266)는 입력신호(RCI1)를 증폭하여 제2증폭신호(NAMPO)를 발생시키고, 제2증폭신호(NAMPO)는 전달 게이트(TG2)를 통하여 리페어 신호(RCO1)로서 출력된다.

도 7은 본 발명의 다른 실시예에 따른 소스 구동부의 개별 소스 드라이버 IC와 액정 패널의 구성을 나타낸다.

도 7의 소스 드라이버 IC(200)는 소스 라인 리페어 회로에 의해 사용되는 공통전압 신호(VCOM)를 발생시키는 공통전압 발생회로(280)를 IC 내부에 구비한다는 점이 도 2의 소스 드라이버 IC와 다르다. 공통전압 발생회로(280)는 고전압 신호(VP)와 저전압 신호(VN)를 수신하고 이들 두 신호의 중간 값을 갖는 공통전압 신호(VCOM)를 발생시킨다. 고전압 신호(VP)로는 전원전압을 사용하고 저전압 신호(VN)로는 접지전압을 사용할 수 있다. 또한, 고전압 신호(VP)로는 전원전압의 1/2인 전압에 대칭되는 한쌍의 기준계조전압 중 레벨이 높은 전압을 사용하고 저전압 신호로는 이중레벨이 낮은 전압을 사용할 수 있다. 도 7의 회로는 공통전압 발생회로(280)를 IC 내부에 구비한다는 점 외에는 도 2의 소스 드라이버 IC와 동일하기 때문에 여기서 상세한 설명을 생략한다.

도 8과 도 9는 공통전압 발생회로 구성의 예를 나타내는 회로도이다.

도 8의 공통전압 발생회로(280)는 연산증폭기(281), 연산증폭기(282), 저항(R1), 및 저항(R2)를 구비한다.

연산증폭기(281)는 반전 입력단자와 출력단자가 단락되어 있고, 비반전 입력단자로 고전압 신호(VP)를 수신한다. 연산증폭기(282)는 반전 입력단자와 출력단자가 단락되어 있고, 비반전 입력단자로 저전압 신호(VN)를 수신한다. 연산증폭기(281)의 출력단자와 연산증폭기(282)의 출력단자 사이에 저항(R1)과 저항(R2)이 직렬 연결되어 있고, 이들 두 저항이 연결되는 점에서 공통전압 신호(VCOM)가 출력된다.

도 9의 공통전압 발생회로(280)는 연산증폭기(281), 연산증폭기(282), 커패시터(C1), 및 커패시터(C2)를 구비한다.

도 9의 공통전압 발생회로(280)는 커패시터(C1, C2)의 비에 의해 전압을 분배한다는 점이 도 8의 회로와 다르다. 연산증폭기(281)는 반전 입력단자와 출력단자가 단락되어 있고, 비반전 입력단자로 고전압 신호(VP)를 수신한다. 연산증폭기(282)는 반전 입력단자와 출력단자가 단락되어 있고, 비반전 입력단자로 저전압 신호(VN)를 수신한다. 연산증폭기(281)의 출력단자와 연산증폭기(282)의 출력단자 사이에 커패시터(C1)와 커패시터(C2)가 직렬 연결되어 있고, 이들 두 커패시터가 연결되는 점에서 공통전압 신호(VCOM)가 출력된다.

도 8과 도 9의 공통전압 발생회로에서 연산증폭기(281, 282)를 사용하는 이유는 고전압 신호(VP)와 저전압 신호(VN)의 값이 변화하는 것을 방지하기 위함이다. 물론, 연산증폭기(281, 282)를 사용하지 않고 저항들(R1, R2) 또는 커패시터들(C1, C2)만 사용해서 공통전압 신호(VCOM)를 발생시킬 수도 있다.

도 10은 도 2의 회로에서 제2소스 라인(SL2)이 단선되었을 때 치유방법을 설명하기 위한 도면이다.

소스 라인들(SL1 ~ SLk) 중 제2소스 라인(SL2)이 단선된 경우, 제2소스 라인(SL2)과 제1더미 입력라인(LDI1)을 전기적으로 연결시키고, 제2소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SL2P)과 제1더미 출력라인(LDO1)을 전기적으로 연결시킨다. 제1더미 입력라인(LDI1)은 소스 라인 리페어 회로(260)의 입력단자와 연결되고 제1더미 출력라인(LDO1)은 소스 라인 리페어 회로(260)의 출력단자에 연결된다. 소스 드라이버 IC(200)의 제2소스 구동신호(Y2)는 소스 라인 리페어 회로(260)의 입력신호(RCI1)가 되며, 소스 라인 리페어 회로(260)는 제2소스 구동신호(Y2)의 전압레벨에 따라 정극성 증폭기(미도시)의 출력과 부극성 증폭기(미도시)의 출력 중 어느 하나를 선택하고 버퍼링하여 리페어 출력신호(RCO1)를 발생시킨다. 리페어 출력신호(RCO1)는 제2소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SL2P)에 공급된다.

도 11은 본 발명의 또 다른 실시예에 따른 소스 구동부의 개별 소스 드라이버 IC와 액정 패널의 구성을 나타내는 블록도이다. 도 11에 도시된 LCD 장치는 소스 드라이버 IC 내에 소스 라인 리페어 회로를 2 개 구비한다는 점이 도 2의 회로 구성과 다르다. 소스 드라이버 IC(200) 내에서, 제 1 소스 라인 리페어 회로(260)는 제 1 소스 라인(SL1)에 가까운 쪽에 배치하고, 제 2 소스 라인 리페어 회로(270)는 제 k 소스 라인(SLk)에 가까운 쪽에 배치한다.

이하, 도 11을 참조하여 소스 라인들(SL1 ~ SLk) 중 제 1 소스 라인(SL1)과 제 k 소스 라인(SLk)이 단선되었을 경우, 그 치유 방법을 설명한다.

제 1 소스 라인을 치유하기 위하여, 제 1 소스 라인(SL1)과 제 1 더미 입력라인(LDI1)을 전기적으로 연결시키고, 제 1 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SL1P)과 제 1 더미 출력라인(LDO1)을 전기적으로 연결시킨다. 제 1 소스 라인(SL1)과 제 1 더미 입력라인(LDI1)의 연결, 및 소스 드라이버 IC(200)에 연결되지 않은 부분(SL1P)과 제 1 더미 출력라인(LDO1)의 연결은 레이저 빔 등의 방법을 사용하여 수행한다. 제 1 더미 입력라인(LDI1)은 소스 라인 리페어 회로(260)의 입력단자와 연결되고 제 1 더미 출력라인(LDO1)은 소스 라인 리페어 회로(260)의 출력단자에 연결된다. 소스 드라이버 IC(200)의 제 1 소스 구동신호(Y1)는 소스 라인 리페어 회로(260)의 입력신호(RCI1)가 되며, 소스 라인 리페어 회로(260)는 제 1 소스 구동신호(Y1)의 전압 레벨에 따라 정극성 증폭기(미도시)의 출력과 부극성 증폭기(미도시)의 출력 중 어느 하나를 선택하고 버퍼링하여 리페어 출력신호(RCO1)를 발생시킨다. 리페어 출력신호(RCO1)는 제 1 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SL1P)에 공급된다.

제 k 소스 라인을 치유하기 위하여, 제 k 소스 라인(SLk)과 제 2 더미 입력라인(LDI2)을 전기적으로 연결시키고, 제 k 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SLkP)과 제 2 더미 출력라인(LDO2)을 전기적으로 연결시킨다. 제 k 소스 라인(SLk)과 제 2 더미 입력라인(LDI2)의 연결, 및 소스 드라이버 IC(200)에 연결되지 않은 부분(SLkP)과 제 2 더미 출력라인(LDO2)의 연결은 레이저 빔 등의 방법을 사용하여 수행한다. 제 2 더미 입력라인(LDI2)은 소스 라인 리페어 회로(270)의 입력단자와 연결되고 제 2 더미 출력라인(LDO2)은 소스 라인 리페어 회로(270)의 출력단자에 연결된다. 소스 드라이버 IC(200)의 제 k 소스 구동신호(Yk)는 소스 라인 리페어 회로(270)의 입력신호(RCI2)가 되며, 소스 라인 리페어 회로(270)는 제 k 소스 구동신호(Yk)의 전압 레벨에 따라 정극성 증폭기(미도시)의 출력과 부극성 증폭기(미도시)의 출력 중 어느 하나를 선택하고 버퍼링하여 리페어 출력신호(RCO2)를 발생시킨다. 리페어 출력신호(RCO2)는 제 k 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SLkP)에 공급된다.

도 12는 도 11의 회로에서 2 번째 소스 라인(SL2) 및 k-1 번째 소스 라인(SLk-1)이 단선되었을 때 치유방법을 설명하기 위한 도면이다.

이하, 도 12를 참조하여 소스 라인들(SL1 ~ SLk) 중 제 2 소스 라인(SL2)과 제 k-1 소스 라인(SLk-1)이 단선되었을 경우, 그 치유 방법을 설명한다.

제 2 소스 라인을 치유하기 위하여, 제 2 소스 라인(SL2)과 제 1 더미 입력라인(LDI1)을 전기적으로 연결시키고, 제 2 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SL2P)과 제 1 더미 출력라인(LDO1)을 전기적으로 연결시킨다. 제 2 소스 라인(SL2)과 제 1 더미 입력라인(LDI1)의 연결, 및 소스 드라이버 IC(200)에 연결되지 않은 부분(SL2P)과 제 1 더미 출력라인(LDO1)의 연결은 레이저 빔 등의 방법을 사용하여 수행한다. 제 1 더미 입력라인(LDI1)은 소스 라인 리페어 회로(260)의 입력단자와 연결되고 제 1 더미 출력라인(LDO1)은 소스 라인 리페어 회로(260)의 출력단자에 연결된다. 소스 드라이버 IC(200)의 제 2 소스 구동신호(Y2)는 소스 라인 리페어 회로(260)의 입력신호(RCI1)가 되며, 소스 라인 리페어 회로(260)는 제 2 소스 구동신호(Y2)의 전압 레벨에 따라 정극성 증폭기(미도시)의 출력과 부극성 증폭기(미도시)의 출력 중 어느 하나를 선택하고 버퍼링하여 리페어 출력신호(RCO1)를 발생시킨다. 리페어 출력신호(RCO1)는 제 2 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SL2P)에 공급된다.

제 k-1 소스 라인을 치유하기 위하여, 제 k-1 소스 라인(SLk-1)과 제 2 더미 입력라인(LDI2)을 전기적으로 연결시키고, 제 k-1 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SLk-1P)과 제 2 더미 출력라인(LDO2)을 전기적으로 연결시킨다. 제 k-1 소스 라인(SLk)과 제 2 더미 입력라인(LDI2)의 연결, 및 소스 드라이버 IC(200)에 연결되지 않은 부분(SLk-1P)과 제 2 더미 출력라인(LDO2)의 연결은 레이저 빔 등의 방법을 사용하여 수행한다. 제 2 더미 입력라인(LDI2)은 소스 라인 리페어 회로(270)의 입력단자와 연결되고 제 2 더미 출력라인(LDO2)은 소스 라인 리페어 회로(270)의 출력단자에 연결된다. 소스 드라이버 IC(200)의 제 k-1 소스 구동신호(Yk-1)는 소스 라인 리페어 회로(270)의 입력신호(RCI2)가 되며, 소스 라인 리페어 회로(270)는 제 k-1 소스 구동신호(Yk-1)의 전압 레벨에 따라 정극성 증폭기(미도시)의 출력과 부극성 증폭기(미도시)의 출력 중 어느 하나를 선택하고 버퍼링하여 리페어 출력신호(RCO2)를 발생시킨다. 리페어 출력신호(RCO2)는 제 k-1 소스 라인 중 소스 드라이버 IC(200)에 연결되지 않은 부분(SLk-1P)에 공급된다.

도 11과 도 12에 도시된 LCD 장치는 2 개의 소스 라인이 단선되었을 때, 2 개의 소스 라인 리페어 회로(260, 270)를 사용하여 소스 드라이버 IC에 연결이 되지 않은 라인 부분에 소스 구동신호를 안전하게 공급할 수 있다. 소스 라인 리페어 회로(260)에 가까운 곳에 위치한 소스 라인들이 단선될 경우에는 소스 라인 리페어 회로(260)에 의해 단선된 소스 라인을 치유하고, 소스 라인 리페어 회로(270)에 가까운 곳에 위치한 소스 라인들이 단선될 경우에는 소스 라인 리페어 회로(270)에 의해 단선된 소스 라인을 치유한다.

도 13은 2 개의 결선(open line)을 갖는 액정 패널을 치유하는 방법을 설명하기 위한 도면이다. 도 13에는 LCD 장치 중 패널(150)과 소스 구동부(1000) 부분만 도시되어 있다. LCD 장치의 나머지 부분은 도 1에 도시된 LCD 장치의 구성과 동일하다. 또한, 도 13에는 소스 구동부(1000)가 4 개의 IC로 구성된 경우를 예로 도시하였다. 도 13을 참조하면, 소스 구동부(1000)는 소스 라인 리페어 회로를 2 개씩 갖는 소스 드라이버 IC들(200, 400, 600, 800)을 구비한다. 소스 드라이버 IC(200)는 소스 라인 리페어 회로들(201, 202)을 가지고, 소스 드라이버 IC(400)는 소스 라인 리페어 회로들(401, 402)을 가지고, 소스 드라이버 IC(600)는 소스 라인 리페어 회로들(601, 602)을 가지고, 소스 드라이버 IC(800)는 소스 라인 리페어 회로들(801, 802)을 가진다. 소스 드라이버 IC(200)에는 소스 라인들(SL11 ~ SL1k)이 연결되어 있고, 소스 드라이버 IC(400)에는 소스 라인들(SL21 ~ SL2k)이 연결되어 있고, 소스 드라이버 IC(600)에는 소스 라인들(SL31 ~ SL3k)이 연결되어 있고, 소스 드라이버 IC(800)에는 소스 라인들(SL41 ~ SL4k)이 연결되어 있다. 도 13에 도시된 LCD 장치의 예에서는 소스 드라이버 IC(400)에 연결된 2 번째 소스 라인(SL22)과 소스 드라이버 IC(600)에 연결된 2 번째 소스 라인(SL32)이 단선되어 있다.

패널(150)에서 스크린(SCR)의 바깥쪽 부분에는 더미 입력 라인들(LDI1, LDI2)과 더미 출력 라인들(LDO1, LDO2)이 배치되어 있다.

소스 라인(SL22)을 치유하기 위하여, 소스 라인(SL22)과 제 1 더미 입력라인(LDI1)을 전기적으로 연결시키고, 소스 라인 중 소스 드라이버 IC(400)에 연결되지 않은 부분(SL22P)과 제 1 더미 출력라인(LDO1)을 전기적으로 연결시킨다. 소스 라인(SL22)과 제 1 더미 입력라인(LDI1)의 연결, 및 소스 드라이버 IC(200)에 연결되지 않은 부분(SL22P)과 제 1 더미 출력라인(LDO1)의 연결은 레이저 범 등의 방법을 사용하여 수행한다. 제 1 더미 입력라인(LDI1)은 소스 라인 리페어 회로(201)의 입력단자와 연결되고 제 1 더미 출력라인(LDO1)은 소스 라인 리페어 회로(201)의 출력단자에 연결된다. 소스 드라이버 IC(400)의 제 2 소스 구동신호(Y22)는 소스 라인 리페어 회로(201)의 입력신호(RCI1)가 되며, 소스 라인 리페어 회로(201)는 소스 드라이버 IC(400)의 제 2 소스 구동신호(Y22)의 전압 레벨에 따라 정극성 증폭기(미도시)의 출력과 부극성 증폭기(미도시)의 출력 중 어느 하나를 선택하고 버퍼링하여 리페어 출력신호(RCO1)를 발생시킨다. 리페어 출력신호(RCO1)는 소스 드라이버 IC(400)의 제 2 소스 라인 중 소스 드라이버 IC(400)에 연결되지 않은 부분(SL22P)에 공급된다.

소스 라인(SL32)을 치유하기 위하여, 소스 라인(SL32)과 제 2 더미 입력라인(LDI2)을 전기적으로 연결시키고, 소스 라인 중 소스 드라이버 IC(600)에 연결되지 않은 부분(SL32P)과 제 2 더미 출력라인(LDO2)을 전기적으로 연결시킨다. 소스 라인(SL32)과 제 2 더미 입력라인(LDI2)의 연결, 및 소스 드라이버 IC(600)에 연결되지 않은 부분(SL32P)과 제 2 더미 출력라인(LDO2)의 연결은 레이저 범 등의 방법을 사용하여 수행한다. 제 2 더미 입력라인(LDI2)은 소스 라인 리페어 회로(802)의 입력단자와 연결되고 제 2 더미 출력라인(LDO2)은 소스 라인 리페어 회로(802)의 출력단자에 연결된다. 소스 드라이버 IC(600)의 제 2 소스 구동신호(Y32)는 소스 라인 리페어 회로(802)의 입력신호(RCI2)가 되며, 소스 라인 리페어 회로(802)는 소스 드라이버 IC(600)의 제 2 소스 구동신호(Y32)의 전압 레벨에 따라 정극성 증폭기(미도시)의 출력과 부극성 증폭기(미도시)의 출력 중 어느 하나를 선택하고 버퍼링하여 리페어 출력신호(RCO2)를 발생시킨다. 리페어 출력신호(RCO2)는 소스 드라이버 IC(600)의 제 2 소스 라인 중 소스 드라이버 IC(600)에 연결되지 않은 부분(SL32P)에 공급된다.

실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 소스 구동회로는 버퍼부를 구성하는 증폭기와 동일한 타입의 증폭기를 선택할 수 있는 소스 라인 리페어 회로를 구비함으로써 액정 패널상의 소스 라인들 중 적어도 하나의 소스 라인이 단선이 된 경우 단선된 소스 라인 중 소스 구동신호가 공급되지 않는 부분에 소스 구동신호를 안전하게 공급할 수 있다. 따라서, 본 발명에 따른 소스 구동회로에 의해 액정 패널의 생산 수율을 개선시킬 수 있다.

(57) 청구의 범위

청구항 1.

액정표시장치의 단선된 소스 라인에 대응하는 소스 구동신호를 공통전압 신호와 비교하고 상기 소스 구동신호가 상기 공통전압 신호보다 높을 때는 제 1 전압 레벨을 가지고 상기 소스 구동신호가 상기 공통전압 신호보다 낮을 때는 제 2 전압 레벨을 가지는 선택신호를 발생시키는 비교기;

상기 소스 구동신호를 증폭하여 제 1 증폭신호와 제 2 증폭신호를 발생시키는 증폭회로; 및

상기 선택신호에 응답하여 상기 제 1 증폭신호 및 상기 제 2 증폭신호 중 하나를 선택하여 상기 단선된 소스 라인에 제공하는 선택회로를 구비하는 것을 특징으로 하는 소스 라인 리페어 회로.

청구항 2.

제 1 항에 있어서, 상기 증폭회로는

상기 소스 구동신호를 수신하고 상기 소스 구동신호가 상기 공통전압 신호보다 클 때 상기 소스 구동신호를 증폭하고 상기 제 1 증폭신호를 발생시키는 정극성 증폭기; 및

상기 소스 구동신호를 수신하고 상기 소스 구동신호가 상기 공통전압 신호보다 작을 때 상기 소스 구동신호를 증폭하고 상기 제 2 증폭신호를 발생시키는 부극성 증폭기를 구비하는 것을 특징으로 하는 소스 라인 리페어 회로.

청구항 3.

제 2 항에 있어서, 상기 정극성 증폭기와 상기 부극성 증폭기는 모두 전압 이득이 1인 것을 특징으로 하는 소스 라인 리페어 회로.

청구항 4.

제 1 항에 있어서, 상기 선택 회로는

상기 선택신호를 수신하여 반전시키는 인버터;

상기 제 1 증폭신호를 수신하고 상기 선택신호와 상기 인버터의 출력신호의 제어하에 상기 제 1 증폭신호를 출력하는 제 1 전달 게이트; 및

상기 제 2 증폭신호를 수신하고 상기 선택신호와 상기 인버터의 출력신호의 제어하에 상기 제 2 증폭신호를 출력하는 제 2 전달 게이트를 구비하는 것을 특징으로 하는 소스 라인 리페어 회로.

청구항 5.

소정의 주파수를 갖는 수평클럭신호와 쉬프트 신호를 수신하고, 상기 수평클럭신호의 제어하에 일정 수의 클럭마다 펄스 신호를 발생시키고, 일정 수의 쉬프트 신호마다 캐리아웃 신호를 발생시키는 쉬프트 레지스터부;

입력 데이터를 수신하고 상기 쉬프트 레지스터의 상기 펄스 신호에 응답하여 상기 입력 데이터를 래치하고, 로드 신호의 제어하에 상기 입력 데이터를 출력하는 래치부;

기준 계조전압들과 상기 래치부의 출력신호들을 수신하고 상기 래치부의 출력신호들에 응답하여 계조전압들을 발생시키는 D/A 컨버터부;

정극성 증폭기 또는 부극성 증폭기로 구성되고, 상기 D/A 컨버터부에 의해 선택된 계조전압들을 버퍼링하고 상기 버퍼링된 계조전압들을 각각 대응하는 소스 라인들에 출력하는 버퍼부; 및

공통전압 신호와 단선된 소스 라인에 대응하는 소스 구동신호를 수신하고, 상기 소스 구동신호에 응답하여 상기 버퍼부를 구성하는 증폭기와 동일한 타입의 증폭기를 선택하고 그 출력신호를 상기 단선된 소스 라인 중 상기 소스 구동신호가 공급되지 않는 부분에 공급하는 적어도 하나의 소스 라인 리페어 회로를 구비하는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 6.

제 5 항에 있어서, 상기 액정표시장치의 소스 구동회로는

상기 래치부와 상기 D/A 컨버터부 사이에 상기 래치부의 출력신호의 전압 레벨을 높이는 케벨 쉬프터부를 더 구비하는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 7.

제 5 항에 있어서, 상기 액정표시장치의 소스 구동회로는

로드 신호의 제어하에 상기 버퍼부의 출력신호를 소스 라인들에 전달시키기 위한 스위치부를 더 구비하는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 8.

제 5 항에 있어서, 상기 액정표시장치의 소스 구동회로는

상기 소스 라인 리페어 회로를 2개 가지는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 9.

제 5 항에 있어서, 상기 쉬프트 레지스터부에서 발생된 캐리아웃 신호는

뒤따르는(subsequent) 쉬프트 레지스터부에 입력되는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 10.

제 5 항에 있어서, 상기 액정표시장치의 소스 구동회로는

고 전압 신호와 저 전압 신호를 수신하여 이들 두 신호의 중간 값을 구하고 상기 공통전압 신호를 발생시키는 공통전압 발생회로를 더 구비하는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 11.

제 10 항에 있어서,

상기 고 전압 신호는 전원전압이고 저 전압 신호는 접지전압인 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 12.

제 10 항에 있어서,

상기 고 전압 신호는 전원전압의 1/2인 전압에 대칭되는 한 쌍의 기준 계조전압 중 레벨이 높은 전압이고 저 전압 신호는 레벨이 낮은 전압인 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 13.

제 10 항에 있어서, 상기 공통전압 발생회로는

상기 고 전압 신호를 수신하여 버퍼링하는 제 1 버퍼;

상기 저 전압 신호를 수신하고 버퍼링하는 제 2 버퍼;

상기 제 1 버퍼의 출력단자와 상기 제 2 버퍼의 출력단자 사이에 직렬 연결된 제 1 저항 및 제 2 저항을 구비하고,

상기 제 1 저항과 상기 제 2 저항의 연결점에서 상기 공통전압 신호가 출력되는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 14.

제 10 항에 있어서, 상기 공통전압 발생회로는

상기 고 전압 신호를 수신하여 버퍼링하는 제 1 버퍼;

상기 저 전압 신호를 수신하고 버퍼링하는 제 2 버퍼;

상기 제 1 버퍼의 출력단자와 상기 제 2 버퍼의 출력단자 사이에 직렬 연결된 제 1 커패시터 및 제 2 커패시터를 구비하고,

상기 제 1 커패시터와 상기 제 2 커패시터의 연결점에서 상기 공통전압 신호가 출력되는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 15.

복수의 소스 라인, 상기 복수의 소스 라인에 수직하게 배열된 복수의 게이트 라인, 및 적어도 하나의 더미 입력라인과 적어도 하나의 더미 출력라인을 구비하고 이미지를 디스플레이하는 액정 패널;

게이트 구동신호를 발생시키는 게이트 구동회로; 및

소스 구동신호를 발생시키고, 정극성 증폭기 또는 부극성 증폭기로 구성된 버퍼 회로, 및 공통전압 신호와 상기 더미 입력라인을 통해 단선된 소스 라인에 대응하는 소스 구동신호를 수신하고 상기 소스 구동신호에 응답하여 상기 버퍼회로를

구성하는 증폭기와 동일한 타입의 증폭기를 선택하고 상기 선택된 증폭기의 출력신호를 상기 더미 출력라인을 통해 상기 단선된 소스 라인 중 상기 소스 구동신호가 공급되지 않는 부분에 공급하는 적어도 하나의 소스 라인 리페어 회로를 구비하는 소스 드라이버 IC를 복수로 구비하는 소스 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 16.

제 15 항에 있어서, 소스 드라이버 IC들 각각은

상기 소스 라인 리페어 회로를 2 개 구비하는 것을 특징으로 하는 액정표시장치.

청구항 17.

제 15 항에 있어서,

상기 소스 라인들 중 적어도 하나의 소스 라인들이 단선되었을 때, 상기 더미 입력라인과 상기 단선된 소스 라인의 연결 및 상기 더미 출력라인과 상기 단선된 소스 라인과의 연결은 레이저 빔을 사용하여 수행하는 것을 특징으로 하는 액정표시장치.

청구항 18.

제 15 항에 있어서, 상기 액정표시장치는

상기 소스라인들 중 2 개의 소스라인이 단선되었을 때, 상기 단선된 2 개의 소스라인들 중 상기 패널의 중심선에서 왼쪽에 위치한 소스라인은 상기 소스 구동부의 맨 왼쪽에 배치된 소스 드라이버 IC 내에 있는 소스 라인 리페어 회로를 사용하여 소스 구동신호가 공급되지 않는 부분에 상기 소스 구동신호를 공급하고, 상기 패널의 중심선에서 오른쪽에 위치한 소스라인이 단선되었을 때는 상기 소스 구동부의 맨 오른쪽에 배치된 소스 드라이버 IC 내에 있는 소스 라인 리페어 회로를 사용하여 소스 구동신호를 공급하는 것을 특징으로 하는 액정표시장치.

청구항 19.

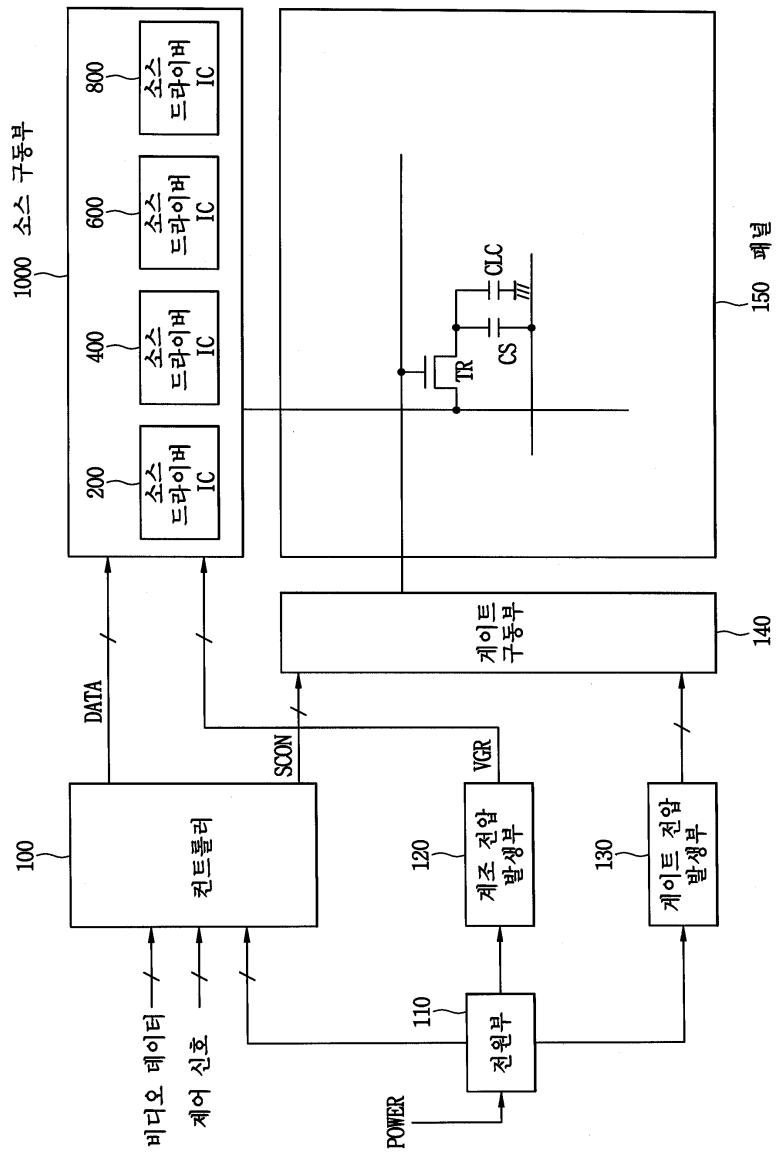
액정표시장치의 단선된 소스 라인에 대응하는 소스 구동신호와 공통전압 신호를 수신하여 비교하고 상기 소스 구동신호에 응답하는 선택신호를 출력하는 단계;

상기 소스 구동신호를 수신하고 상기 소스 구동신호가 상기 공통전압 신호보다 클 때는 상기 소스 구동신호를 증폭하여 제 1 증폭신호를 출력하고 상기 소스 구동신호가 상기 공통전압 신호보다 작을 때는 상기 소스 구동신호를 증폭하여 제 2 증폭신호를 출력하는 단계; 및

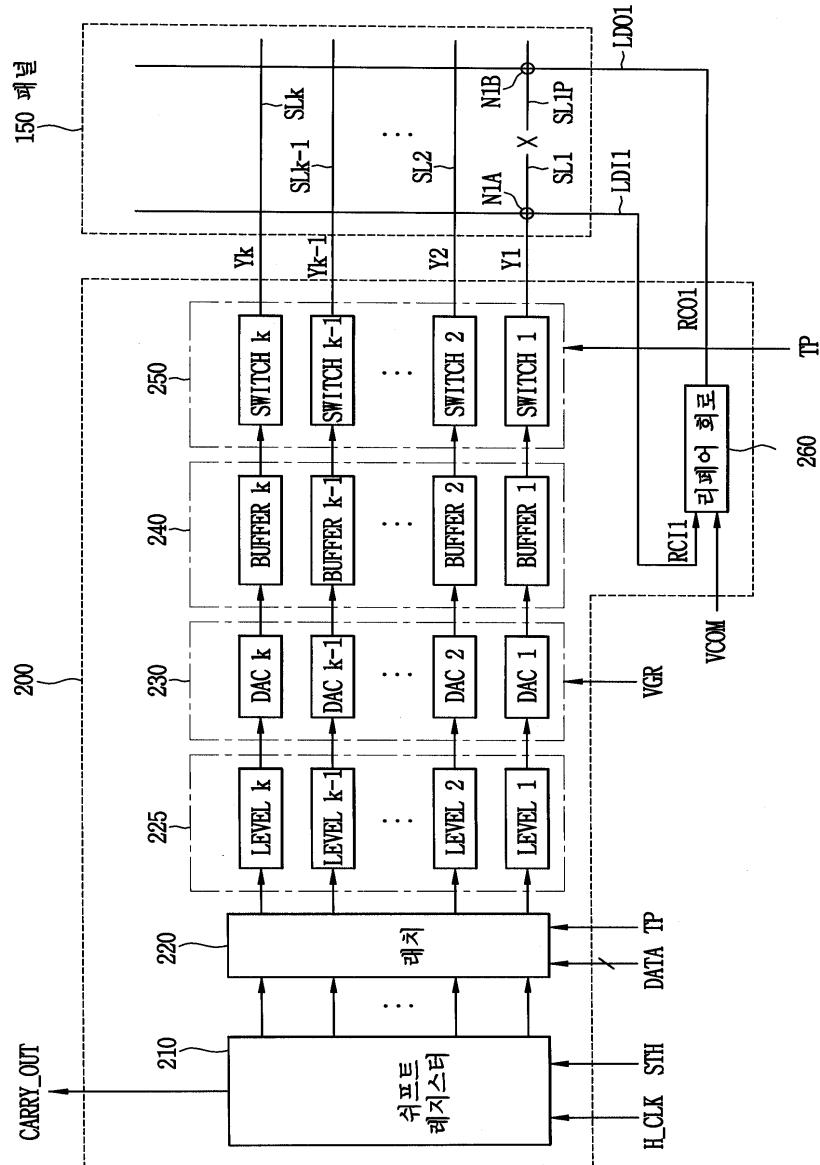
상기 제 1 증폭신호 및 상기 제 2 증폭신호를 수신하고 상기 선택신호에 응답하여 상기 제 1 증폭신호 및 상기 제 2 증폭신호 중 하나를 선택하여 상기 단선된 소스 라인 중 상기 소스 구동신호가 공급되지 않는 부분에 출력하는 단계를 구비하는 것을 특징으로 하는 소스 라인 리페어 방법.

도면

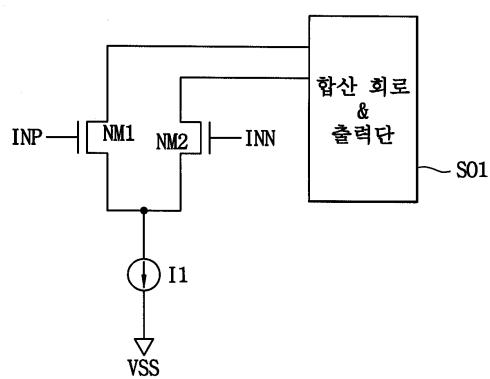
도면1



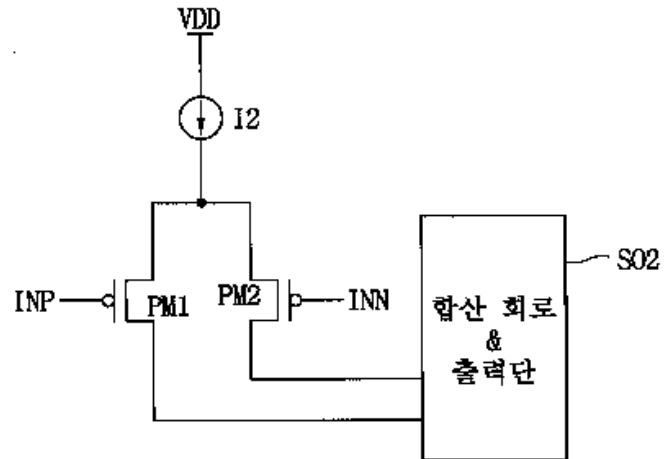
도면2



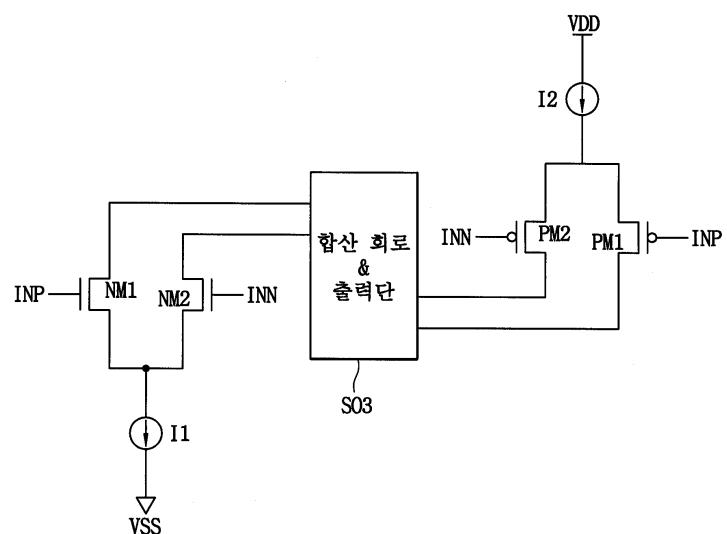
도면3



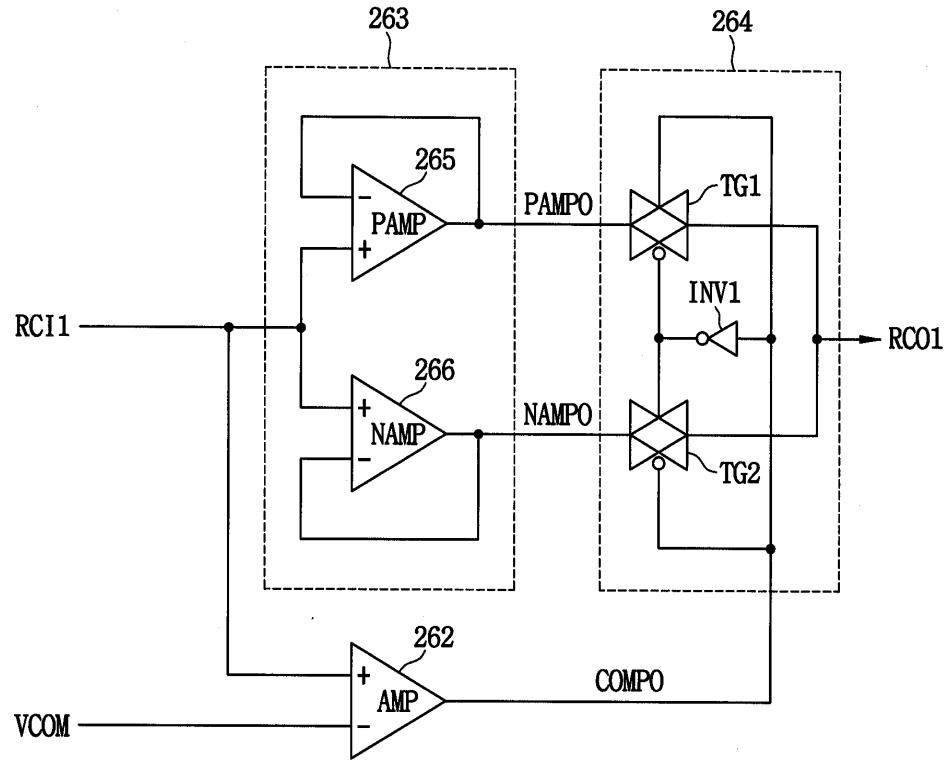
도면4



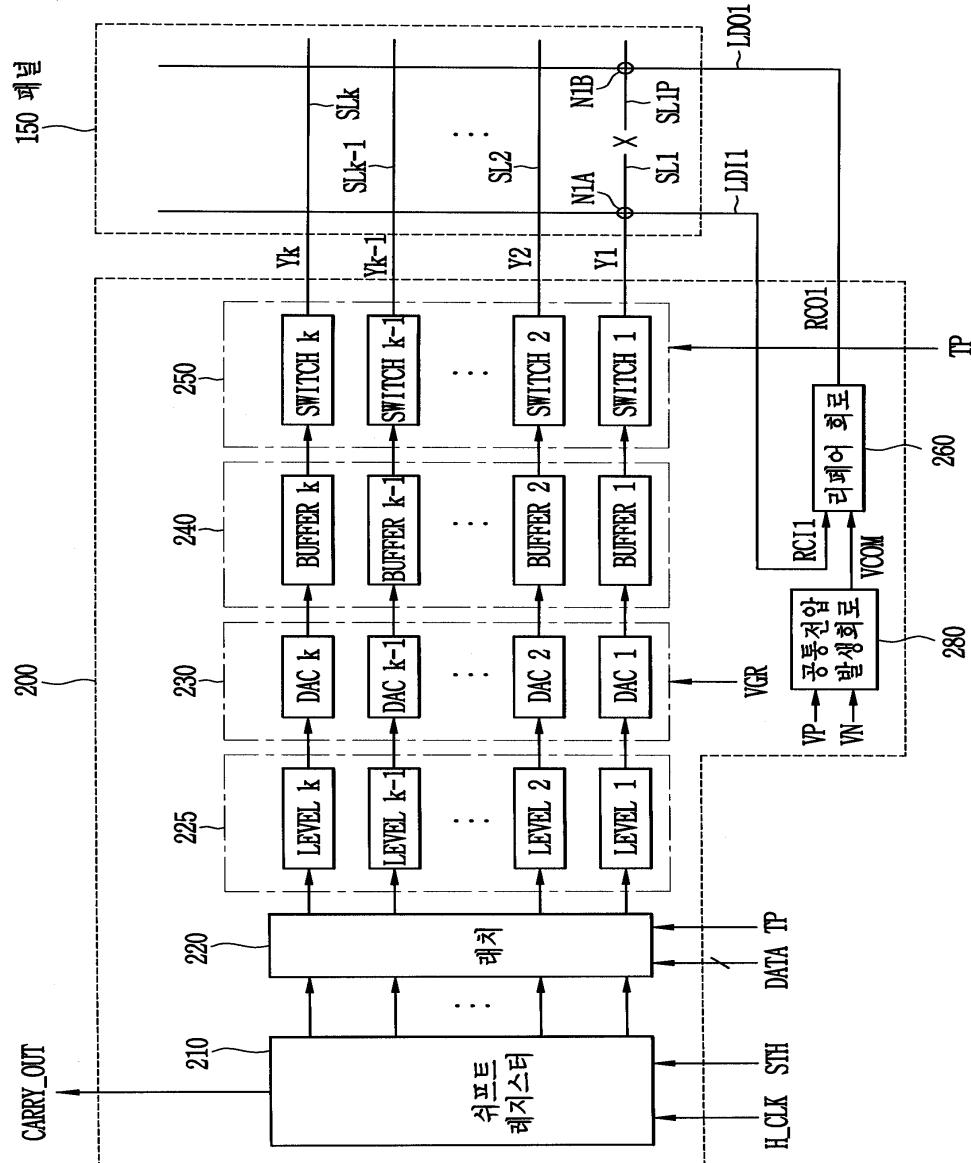
도면5



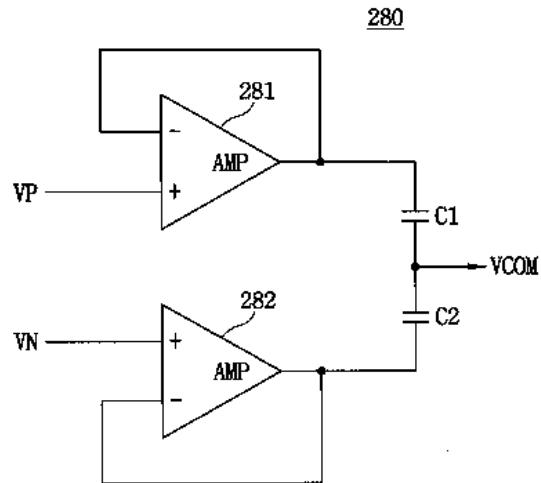
도면6

260

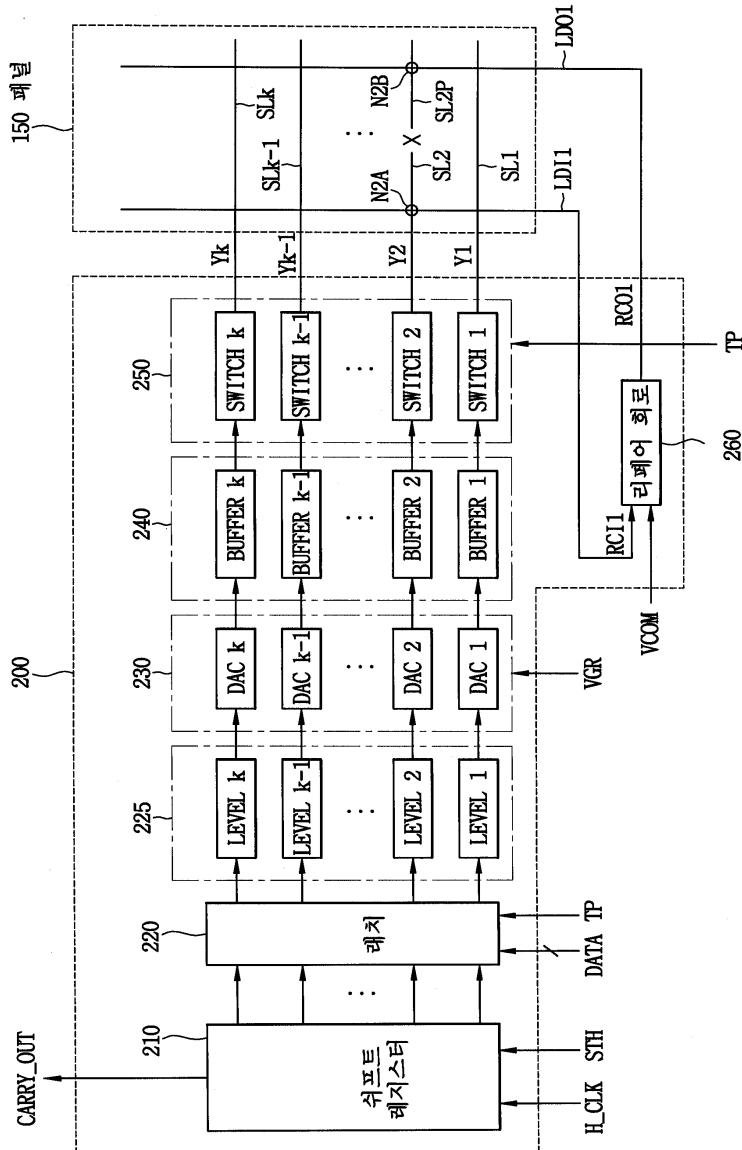
도면7



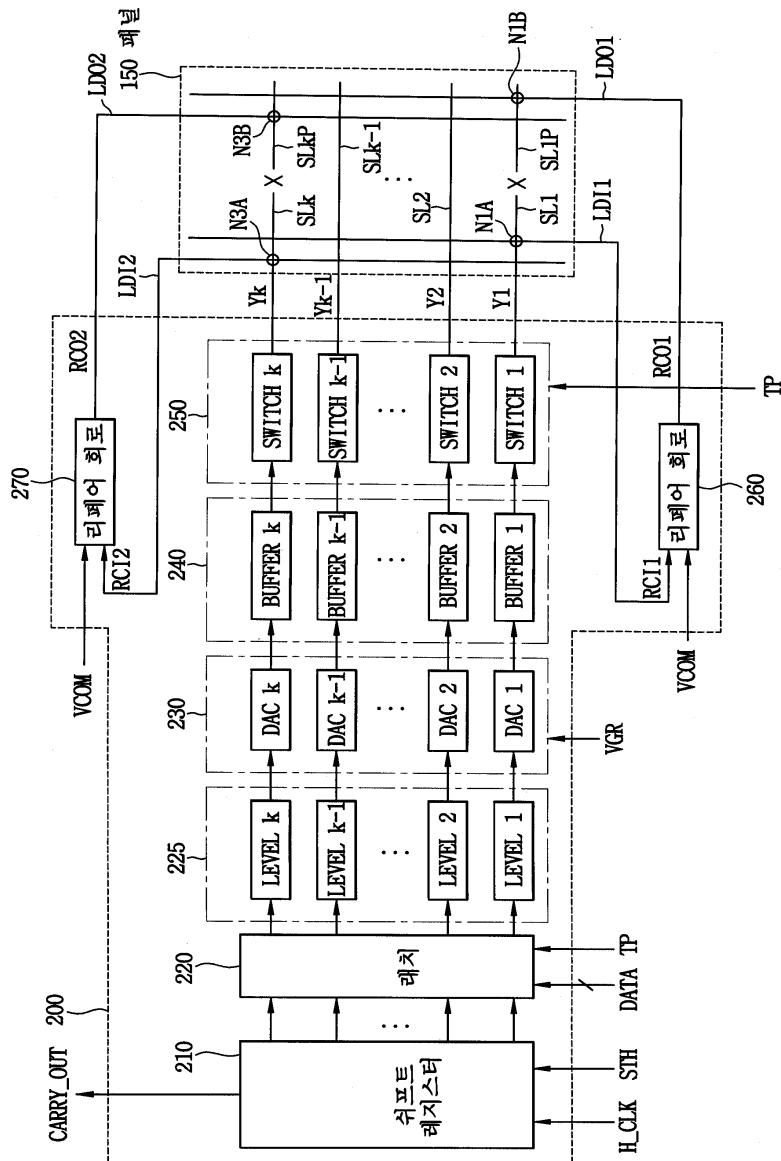
도면9



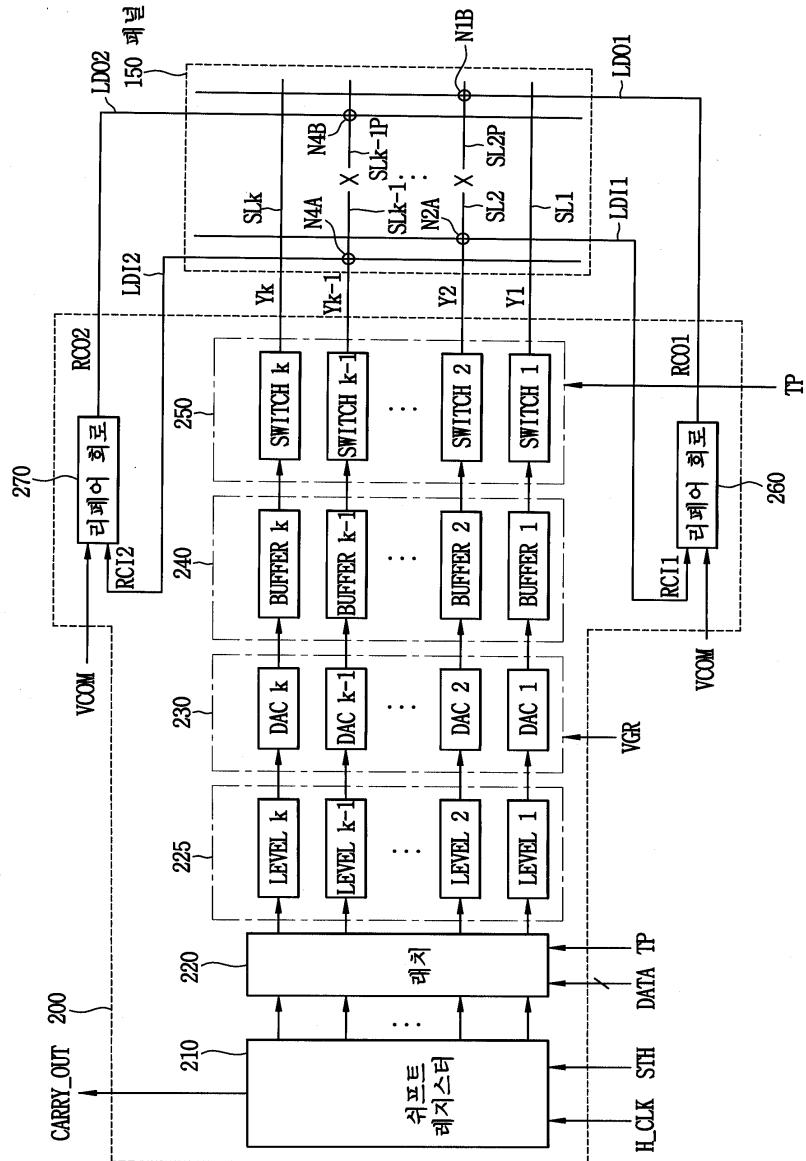
도면10



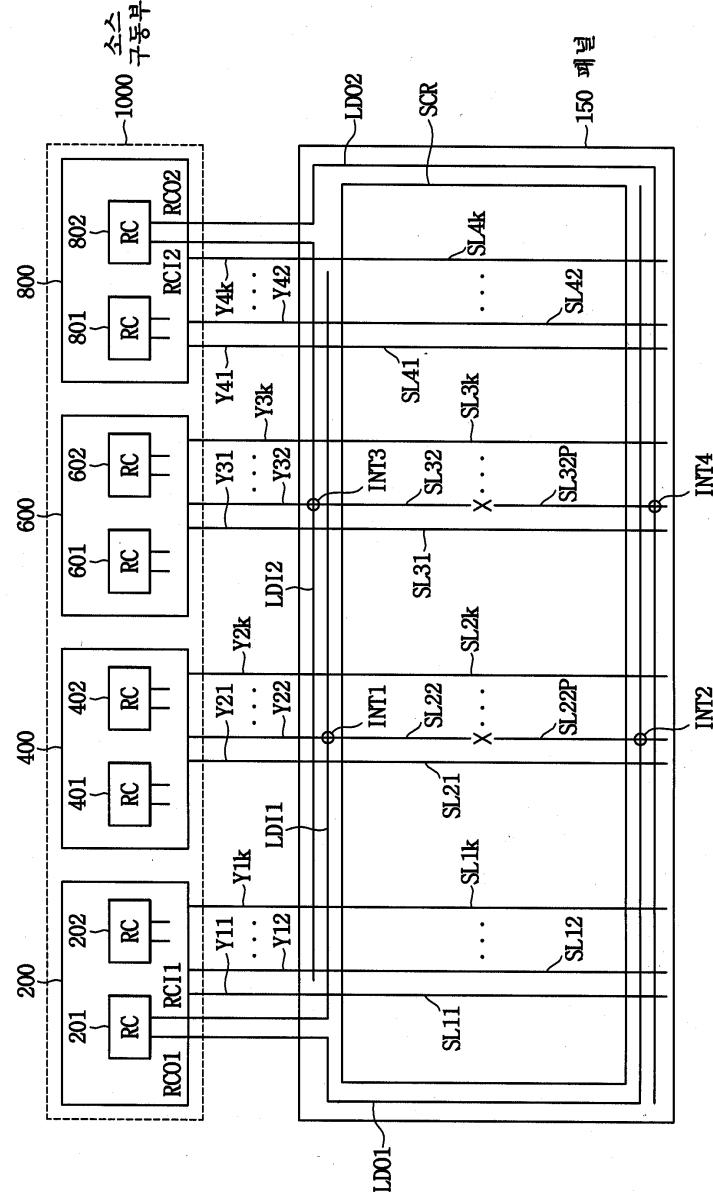
도면11



도면12



도면13



专利名称(译)	具有源线修复功能的液晶显示装置和源线修复方法		
公开(公告)号	KR100608106B1	公开(公告)日	2006-08-02
申请号	KR1020030082620	申请日	2003-11-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM KYUNGMYUN 김경면 CHOI CJANGHWE 최창희		
发明人	김경면 최창희		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2330/08 G09G3/3688 G09G3/3648 G09G2310/0291 Y10S345/904		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020050048878A		
外部链接	Espacenet		

摘要(译)

公开了一种源极驱动电路，其能够在断开的源极线的一部分上提供源极驱动信号，其中当液晶面板上的至少一个源极线被破坏时，不提供源极驱动信号。源极驱动器电路包括移位寄存器部分，锁存部分，D/A转换器部分，缓冲部分，它包括至少一个源极线修复电路。源极线修复电路公共电压信号和对应于破源极线接收到的源驱动信号，并选择相同类型构成缓冲响应于所述输出信号的源极线的源极驱动信号和断开所述放大器的所述放大器源并将其提供给未提供驱动信号的部分。因此，通过使源极线修复电路能够选择与构成缓冲部分的放大器相同类型的放大器，源极驱动电路可以可靠地将源极驱动信号提供给未提供源极驱动信号的断开的源极线部分。2

