

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G02F 1/13

(45) 공고일자 2005년06월07일
(11) 등록번호 10-0492727
(24) 등록일자 2005년05월24일

(21) 출원번호 10-2001-0071123
(22) 출원일자 2001년11월15일

(65) 공개번호 10-2003-0040706
(43) 공개일자 2003년05월23일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 황의훈
경상북도구미시진평동642-3
김기종
경상북도구미시진평동642-3

(74) 대리인 박장원

심사관 : 고광석

(54) 포토레지스트의 잔사불량이 방지된 반도체 도핑방법 및 이를 이용한 액정표시소자 제조방법

요약

본 발명은 다결정 박막트랜지스터나 액정표시소자에 적용 가능한 반도체 도핑방법을 제공한다. 고가속에너지의 n⁺ 도핑 시 비도핑영역을 블로킹하는 포토레지스트층을 포토레지스트 도포, 소프트베이킹, 노광, 현상과 같은 일반적인 포토레지스트 공정에 의해 형성한 후에 제1하드베이킹하고 제1하드베이킹보다 높은 온도에서 다시 한번 제2하드베이킹하여 포토레지스트의 크로스링킹을 증가시켜 고가속 도핑이온의 침투에 의해 포토레지스트이 화학적 구조가 변하는 것을 방지한다. 그 결과, 포토레지스트가 이후의 공정에서 완전하게 제거(strip)되어 불완전한 제거에 의한 포토레지스트 잔사불량을 방지할 수 있게 된다.

대표도

도 5c

색인어

액정표시소자, 포토레지스트, 크로스링킹, 하드베이킹, 잔사불량

명세서

도면의 간단한 설명

- 도 1의 종래의 액정표시소자의 구조를 나타내는 도면.
- 도 2는 종래 액정표시소자에서의 이온도핑방법을 나타내는 도면.
- 도 3은 종래 액정표시소자에서의 다른 이온도핑방법을 나타내는 도면.
- 도 4는 본 발명에 따른 반도체의 이온도핑방법을 나타내는 도면.
- 도 5는 본 발명에 따른 액정표시소자의 제조방법을 나타내는 도면.

**** 도면의 주요부분에 대한 부호의 설명 ****

101,201 : 유리기판 103,203 : 버퍼층

204 : 채널층 205 : LDD층

206 : n⁺층 207 : p⁺층

109,209 : 게이트절연층 120,220 : 포토레지스트층

211 : 소스/드레인전극 213 : 중간층

215 : 보호층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 도핑방법에 관한 것으로, 특히 이온 도핑시 반도체의 비도핑영역을 블로킹하기 위해 패터닝되는 포토레지스트를 고온에서 하드베이킹하여 불순물에 의해 포토레지스트가 변형되어 포토레지스트가 잔사되는 것을 방지할 수 있는 반도체의 도핑방법 및 이를 이용한 액정표시소자 제조방법에 관한 것이다.

대면적, 고화질의 평판표시장치로 사용되는 액티브매트리스 액정표시장치(Active Matrix LDC device)에는 실제 화상이 표시되는 각 화소마다 형성되어 액정분자를 작동시키는 화소(pixel)용 박막트랜지스터(Thin Film Transistor)와 게이트라인(gate bus line) 및 데이터라인(data bus line)에 신호를 인가하여 상기 화소용 박막트랜지스터를 동작시키고 화소전극에 화상신호를 인가하는 구동회로용 박막트랜지스터가 형성되어 있다.

구동회로부는 일반적으로 2가지의 형태로 나눌 수 있다. 하나는 액정패널의 외부 기판에 화소구동용 TFT와는 별개로 집적회로를 형성하여 상기 액정패널에 접속시킨 외부신호선구동 집적회로이고 다른 하나는 화소구동용 TFT와 일체로 액정패널 위에 형성한 구동회로용 TFT이다. 이러한 구동회로용 TFT에서 주로 사용되는 것은 전계효과 이동도가 큰 다결정실리콘(p-Si)을 이용한 CMOS(Complimentary Metal Oxide Semiconductor) TFT이다. 이러한 CMOS TFT를 이용한 구동회로부는 외부구동형 직접회로에 비해 스위칭효과가 클 뿐만 아니라 제조공정에서도 화소구동용 TFT와 동일한 공정에 의해 제작할 수 있다는 점에서 제조비용이 절감되는 장점이 있다.

도 1에 이러한 구동회로용 TFT가 일체로 형성된 액정표시소자의 구조가 도시되어 있다. 도면에 도시된 바와 같이, 상기 액정표시소자는 외부신호가 인가됨에 따라 액정분자가 작동하는 화소부와 화소부에 신호를 인가하는 구동회로부로 나누어지며, 상기 구동회로부는 각각 NMOS TFT가 형성되는 A영역과 PMOS TFT가 형성되는 B영역으로 구분될 수 있다.

상기 화소부 및 구동회로부의 A영역에 각각 형성되는 NMOS TFT는 LDD(Light Doped Drain)구조의 TFT로서, 투명한 유리기판(1)에 적층된 버퍼층(3)과, 상기 버퍼층(3) 위에 형성된 p-Si으로 이루어진 진성반도체층(즉, 채널층;4a,4b), n⁻도핑된 LDD층(5a,5b) 및 n⁺층(6a,6b)과, 상기 채널층(4a,4b), LDD층(5a,5b) 및 n⁺층(6a,6b)이 형성된 기판(1) 전체에 걸쳐 형성된 게이트절연층(9)과, 상기 게이트절연층(9) 위의 채널층(4a,4b) 영역에 형성되는 게이트전극(2a,2b)과, 상기 게이트전극(2a,2b)이 형성된 기판(1) 전체에 걸쳐 적층된 중간층(interlayer;13)과, 상기 중간층(13) 위에 형성되어 비아홀(via hole)을 통해 상기 n⁺층(6a,6b)에 접속되는 소스/드레인전극(11a,11b)과, 상기 TFT가 형성된 기판 전체에 걸쳐 적층된 보호층(passivation;15)으로 구성되며, 상기 화소부의 보호층(15) 위에는 신호의 인가시 액정을 구동하여 화상을 표시하는 화소전극(17)이 형성되어 콘택홀(contact hole)을 통해 상기 소스/드레인전극(11a)과 접속된다.

또한, 구동회로부에 형성되는 PMOS TFT는 투명한 유리기판(1)에 적층된 버퍼층(3)과, 상기 버퍼층(3) 위에 형성된 채널층(4c) 및 p⁺층(7)과, 상기 채널층(4c) 및 p⁺층(7)이 형성된 기판(1) 전체에 걸쳐 적층된 게이트절연층(9)과, 상기 게이트절연층(9) 위의 채널층(4c) 영역에 형성되는 게이트전극(2c)과, 상기 게이트전극(2c)이 형성된 기판(1) 전체에 걸쳐 적층된 중간층(13)과, 콘택홀에 통해 상기 p⁺층(7)에 접속되는 소스/드레인전극(11a,11b)과, 상기 PMOS TFT가 형성된 기판 전체에 걸쳐 적층된 보호층(15)으로 구성된다.

상기와 같이 구동회로용 CMOS TFT는 화소용 TFT와 일체로 형성되어 데이터라인과 게이트라인을 통해 상기 화소용 TFT에 신호를 인가한다.

일반적으로 화소부 및 구동회로부에 형성되는 NMOS TFT는 포토레지스트를 패터닝하여 채널층과 LDD층의 일부를 블로킹한 상태에서 n⁺도핑을 실행함으로써 완성된다. 그런데, 인(P) 이온과 같이 상대적으로 질량이 큰 n⁺이온의 도핑시에는 상기 n⁺이온이 포토레지스트 내부로 침투하여 포토레지스트의 화학적 구조를 변형시키게 되는데, 이것은 액정표시소자의 품질에 중요한 영향을 끼친다. 이러한 현상을 n⁺도핑공정을 나타내는 도 2에 기초하여 상세히 설명하면 다음과 같다.

구동회로가 일체로 형성된 액정표시소자에 형성되는 MOS TFT의 도핑현상을 설명하기 위해서는 화소부와 구동회로부에 각각 형성되는 MOS TFT를 도시하여 설명해야만 하지만 NMOS TFT는 화소부와 구동회로부에 공통으로 형성되므로 화소부는 생략하고 단지 구동회로부만을 도시하여 설명한다.

우선, 도 2(a)에 도시된 바와 같이, 기판(1)상의 버퍼층(3)의 A영역 및 B영역에는 각각 반도체층, 게이트절연층(9) 및 게이트전극(2b,2c)이 형성되어 있다. 여기에 LDD도핑을 실행하면, 게이트전극(2b,2c)에 의해 블로킹된 게이트전극(2b,2c) 아래에는 채널층(4b,4c)이 형성되고 그 양측에는 저농도의 n^- 이온이 도핑되어 LDD층(5b,5c)이 형성된다. 이어서, 도 2(b)에 도시된 바와 같이, A영역의 LDD층(5b) 일부와 B영역 전체에 걸쳐서 포토레지스트층(20)을 형성하여 상기 LDD층(5b)의 일부와 B영역을 블로킹한 상태에서 높은 도즈(high dose)의 n^+ 이온을 고가속에너지로 도핑한다.

통상적으로 포토레지스트의 패터닝(포토레지스트층(20)을 형성하기 위한)은 도포된 포토레지스트를 약 100℃의 온도에서 소프트베이킹(soft baking)하고 자외선과 같은 광을 조사함으로써 완성된다.

상기와 같은 n^+ 도핑에 의해 A영역의 LDD층(5b)의 일부가 n^+ 층(6b)으로 되며, 도 2(c)에 도시된 바와 같이 포토레지스트층을 제거한 후, 이후의 공정(중간층 공정, 소스/드레인공정, 보호층공정)을 진행함으로써 LDD구조의 NMOS TFT가 완성된다. 한편, 도면에는 도시하지 않았지만 B영역의 LDD층(5c) 역시 p^+ 도핑에 의해 PMOS TFT가 된다.

상기와 같이, 구동회로 일체형 액정패널에서는 화소부의 NMOS TFT와 구동회로부의 NMOS TFT를 형성하기 위해 반도체층의 일부를 블로킹한 상태에서 높은 도즈의 n^+ 이온을 고가속에너지로 도핑하게 된다. 한편, n^+ 도핑시 사용되는 n^+ 이온인 인이온은 그 질량이 크기 때문에, 상기와 같이 높은 도즈 및 고가속에너지의 도핑을 실행하면 상기 n^+ 이온이 포토레지스트층으로 침투하게 되고 이 침투한 n^+ 이온이 포토레지스트의 화학구조를 변형시킨다. 그런데, 이러한 포토레지스트의 화학적 변형은 현상액과의 반응을 변화시키기 때문에 도핑후 포토레지스트층(20)의 완전한 제거(strip)를 불가능하게 하며, 그 결과 기판상에 포토레지스트의 잔사(A)가 남게 되어 TFT에 불량 발생하게 되는 원인이 된다.

상기와 같이 포토레지스트의 잔사가 발생하는 문제는 n^+ 이온을 높은 도즈와 고가속에너지로 도핑하기 때문에 발생한다. 따라서, 도핑영역의 게이트절연층을 제거하여 저가속에너지로 도핑을 실행함으로써 상기한 문제를 해결하고자 하는 방법이 제시되고 있다. 이 방법이 도 3에 도시되어 있는데, 이를 자세히 살펴보면 다음과 같다.

우선, 도 3(a)에 도시된 바와 같이, LDD도핑을 실행하여 A영역과 B영역의 반도체층에 각각 채널층(4b,4c)과 LDD층(5b,5c)을 형성한 후, 도 3(b)에 도시된 바와 같이, 게이트전극(2b,2c) 하부의 게이트절연층(9)을 제외한 나머지 게이트절연층(9)을 모두 식각한다.

이어서, 포토레지스트를 도포한 후 소프트베이킹공정, 노광공정, 현상공정을 거쳐 A영역의 LDD층(5b) 일부와 B영역 전체에 걸쳐서 포토레지스트층(20)을 형성하여, 상기 LDD층(5b)의 일부와 B영역을 블로킹한 상태에서 n^+ 이온을 저가속에너지로 도핑한다. 이와 같이, n^+ 도핑에 의해 A영역의 LDD층(5b)의 일부가 n^+ 층(6b)으로 되어 LDD층(5b)과 n^+ 층(6b)으로 이루어진 LDD구조의 NMOS TFT가 완성된다.

도면에서는 게이트전극(2b,2c) 하부의 게이트절연층(9)을 제외한 모든 절연층이 제거되었지만, 실제로는 n^+ 도핑영역 위의 게이트절연층(9)만이 식각되는 경우에도 저가속에너지로 n^+ 도핑을 실행할 수 있을 것이다.

상기와 같이, 이 방법에서는 도핑영역에 게이트절연층(9)이 없기 때문에, n^+ 이온을 저가속에너지로 도핑할 수 있게 되며, 그 결과 포토레지스트로 침투하는 n^+ 이온의 양이 감소(혹은 전혀 침투하지 못함)하여 포토레지스트의 화학적 구조에 아무런 영향을 미칠 수 없게 된다. 따라서, 도핑공정 이후의 포토레지스트 식각시 상기 포토레지스트의 잔사가 발생하지 않게 된다. 그러나, 이러한 방법에서는 게이트절연층(9)을 식각하기 위한 공정이 추가되기 때문에 제조비용이 증가할 뿐만 아니라 게이트절연층(9)의 식각시 반도체층이 손상(B영역)되어 이후에 형성되는 소스/드레인전극과 접촉불량이 발생할 수 있다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 고가속에너지로 반도체를 이온도핑하는 경우 이온을 블로킹하는 포토레지스트를 고온에서 하드베이킹하여 포토레지스트에 침투하는 이온에 의해 포토레지스트의 화학적 구조가 변경되는 것을 방지함으로써 포토레지스트의 제거(strip)시 잔사가 발생하는 것을 방지할 수 있는 반도체 도핑방법에 관한 것이다.

본 발명의 다른 목적은 상기 반도체도핑방법이 적용된 다결정 박막트랜지스터 제조방법을 제공하는 것이다.

본 발명의 또 다른 목적은 상기 반도체 도핑방법이 적용된 액정표시소자 제조방법을 제공하는 것이다.

상기한 목적을 달성하기 위해, 본 발명의 제1관점에 따른 반도체 도핑방법은 상부 표면에 절연층이 형성된 반도체층을 제공하는 단계와, 상기 절연층 위에 포토레지스트를 도포한 후 패터닝하여 반도체층의 일부 영역을 블로킹하는 단계와, 상기 포토레지스트를 제1하드베이킹하는 단계와, 상기 포토레지스트를 제2하드베이킹하는 단계와, 상기 포토레지스트로 반도체층의 일부 영역을 블로킹한 상태에서 불순물을 도핑하는 단계와, 상기 포토레지스트를 제거하는 단계로 구성된다.

상기 포토레지스트의 패터닝은 일반적으로 포토레지스트를 도포, 소프트베이킹, 노광, 현상의 공정으로 이루어지는데, 소프트베이킹은 대략 100℃의 온도에서 이루어지고 제1하드베이킹은 대략 130℃의 온도에서 이루어진다. 이 하드베이킹된 포토레지스트를 상기 제1하드베이킹공정보다 높은 온도, 예를 들면, 140~165℃의 온도에서 다시 제2하드베이킹하여 포토레지스트 내의 크로스링킹을 증가시킨다.

또한, 본 발명의 제2관점에 따른 다결정 박막트랜지스터 제조방법은 절연층이 형성된 기판을 제공하는 단계와, 상기 절연층 위에 비정질반도체층을 형성하는 단계와, 상기 비정질반도체층을 결정화하여 다결정반도체층을 형성하는 단계와, 상기 반도체층이 형성된 기판 전체에 걸쳐 게이트절연층을 적층하는 단계와, 상기 게이트절연층 위에 게이트전극을 형성하는 단계와, 포토레지스트를 도포하고 패터닝하여 상기 반도체층의 일부를 블로킹하는 포토레지스트층을 형성하는 단계와, 상기 포토레지스트층을 제1하드베이킹하는 단계와, 상기 포토레지스트층을 제2하드베이킹하는 단계와, 상기 포토레지스트에 의해 블로킹되지 않은 반도체층에 불순물을 도핑하여 채널층과 불순물반도체층을 형성하는 단계와, 절연층을 도포한 후 상기 절연층 위에 상기 불순물반도체층과 접촉하는 소스/드레인전극을 형성하는 단계와, 보호층을 형성하는 단계로 구성된다.

또한, 본 발명의 제3관점에 따른 구동회로가 일체로 형성된 액정표시소자 제조방법은 화소부와 제1영역 및 제2영역으로 구분된 구동회로부로 이루어진 기판의 버퍼층 위에 비정질반도체층을 형성하는 단계와, 상기 비정질반도체층을 결정화하여 다결정반도체층을 형성하는 단계와, 다결정반도체층이 형성된 기판 전체에 걸쳐서 게이트절연층을 형성하는 단계와, 상기 다결정반도체층을 LDD도핑하여 반도체층에 채널층과 LDD층을 형성하는 단계와, 상기 기판 전체에 걸쳐서 포토레지스트를 도포하고 패터닝하여 화소부와 구동회로부의 제1영역에 각각 형성된 LDD층의 일부 및 구동회로부의 제2영역을 블로킹하는 제1포토레지스트층을 형성하는 단계와, 상기 제1포토레지스트층을 제1하드베이킹하는 단계와, 상기 제1포토레지스트층을 제2하드베이킹하는 단계와, 상기 포토레지스트에 의해 블로킹되지 않는 상기 화소부와 구동회로부의 제1영역에 형성된 LDD층의 일부 영역에 제1불순물을 도핑하여 제1불순물반도체층을 형성하는 단계와, 상기 화소부 및 구동회로부의 제1영역을 블로킹하는 제2포토레지스트층을 형성하는 단계와, 상기 구동회로부의 제2영역의 LDD층에 제2불순물을 도핑하여 제2불순물반도체층을 형성하는 단계와, 상기 기판 전체에 걸쳐서 중간층을 형성하는 단계와, 상기 중간층 위에 금속을 적층하여 제1불순물반도체층 및 제2불순물반도체층과 접촉하는 소스/드레인전극을 형성하는 단계와, 상기 소스/드레인전극이 형성된 기판 전체에 걸쳐서 적어도 한층의 보호층을 형성하는 단계로 구성된다.

발명의 구성 및 작용

본 발명의 기본적인 특징은 포토레지스트의 화학적 구조를 변화시켜 상기 포토레지스트가 고가속에너지로 도핑되는 n^+ 이온에 의해 변형되는 것을 방지하는 것이다. 이것을 위해, 본 발명에서는 통상적인 포토레지스트의 베이킹공정 이외에 부가의 하드베이킹공정을 추가한다. 이 부가의 하드베이킹공정은 이전의 베이킹공정에 비해 상대적으로 높은 온도에서 실행된다.

음성(negative) 포토레지스트는 용제(solvent), 감광제(sensitizer) 및 합성고무로 구성되어 있다. 이러한 음성 포토레지스트에 한계치 이상의 자외선과 같은 광에너지나 열에너지가 인가되면, 상기 고무성분이 크로스링킹(cross-linking)된다. 이러한 고무성분의 크로스링킹은 인가되는 온도에 따라 달라지는데, 통상적으로 온도가 커질수록 형성되는 크로스링킹의 수가 많아진다는 사실이 잘 알려져 있다.

따라서, 본 발명에서는 통상적인 포토레지스트의 베이킹공정에 비해 더 높은 온도에서 하드베이킹을 실행함으로써 더 많은 크로스링킹을 포함하게 되며, 그 결과 도핑되는 n^+ 이온에 대한 저항성이 강한 포토레지스트를 얻을 수 있게 된다.

상기와 같은 본 발명이 특징, 즉 포토레지스트를 상대적으로 높은 온도에서 하드베이킹하는 방법은 각종 반도체소자 등에 다양하게 적용될 수 있을 것이다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

도 4는 본 발명의 일실예에 따른 반도체의 도핑방법을 나타내는 도면이다. 우선, 도 4(a)에 도시된 바와 같이, 유리나 절연물질로 이루어진 기판(101)에 형성된 반도체층(104) 위에 절연층(109)을 형성한다. 이어서, 도 4(b)에 도시된 바와 같이, 상기 절연층(109) 위에 포토레지스트를 도포하여 포토레지스트(120)를 형성한다. 일반적으로 포토레지스트는 음성 포토레지스트(negative PR)와 양성 포토레지스트(positive PR) 둘다 가능하지만 본 발명의 특성을 감안하면 음성 포토레지스트를 사용하는 것이 바람직하다. 상기 포토레지스트(120)를 약 100℃의 온도로 소프트베이킹한 후 자외선과 같은 광을 조사하고 현상하여 도 4(c)에 도시된 바와 같은 포토레지스트층(120)을 형성한다.

그후, 상기 패터닝된 포토레지스트층(120)을 2차에 걸쳐서 하드베이킹한다. 상기 2차의 하드베이킹은 각각 다른 온도에서 실행된다. 즉, 제1차 하드베이킹은 약 130℃의 온도로 열처리하는 반면에 제2차 하드베이킹은 상기 제1차 하드베이킹보다 높은 온도에서 열처리하는 것으로, 바람직하게는 약 140~165℃의 온도범위, 더욱 바람직하게는 약 150~155℃의 온도범위에서 하드베이킹이 바람직하다.

상기와 같이 포토레지스트층(120)이 형성된 상태에서, 도 4(d)에 도시된 바와 같이 기판 전체에 고가속에너지로 불순물을 도핑하면, 도 4(e)에 도시된 바와 같이 포토레지스트층(120)에 의해 블로킹된 반도체층은 채널층(104a)으로 되고 그 양측면의 불순물이 도핑된 반도체층은 불순물층(106)이 된다. 불순물은 인(P) 이온과 같은 n^+ 이온이나 붕소(B) 이온과 같은 p^+ 이온이 될 수 있다. 그러나, 붕소 이온과 같은 p^+ 이온은 n^+ 이온에 비해 상대적으로 질량이 작기 때문에, 상기와 같은 2차에 걸친 포토레지스트층을 형성하지 않는 경우에도 포토레지스트층에 변형을 일으키기가 힘들게 된다. 따라서, 본 발명에서의 방법은 주로 n^+ 도핑에 적용될 것이다.

상기한 바와 같이, 본 발명에서는 고가속에너지의 n^+ 도핑을 위해 2차의 하드베이킹공정을 실행한다. 제1하드베이킹이 약 130℃에서 이루어지는 반면에 제2차하드베이킹은 약 140℃ 이상의 온도에서 이루어지기 때문에, 포토레지스트층 내부에 더 높은 온도에 의한 크로스링킹이 더욱 많이 발생하게 되어 결국 더욱 견고한 포토레지스트층을 얻을 수 있게 된다. 따라서, n^+ 이온을 고가속에너지로 도핑하는 경우에도 상기 n^+ 이온에 의한 포토레지스트층의 변형이 일어나지 않게 되어 포토레지스트층을 완전하게 식각할 수 있게 된다.

상기한 바와 같이, 본 발명은 높은 도즈, 고가속에너지의 n^+ 도핑시 적용될 수 있다. 이러한 방법은 도면에 도시된 유리기판상에 형성된 반도체층의 도핑에 적용될 수 있을 뿐만 아니라 반도체기판 자체(즉, 반도체웨이퍼)의 도핑시에도 물론 적용될 수 있을 것이다.

상기한 실시예는 가장 기본적인 n^+ 도핑방법을 나타내는 일례이지만, 이러한 방법은 각종 반도체소자에 적용될 수 있다. 예를 들면, 일반적인 p-Si TFT나 p-Si CMOS TFT와 같은 각종 반도체소자에서도 본 발명을 훌륭하게 적용될 수 있을 것이다.

이하에서는 본 발명이 적용된 다른 실시예로서 액정표시소자의 제조방법에 대해 상세히 설명한다. 액정표시소자, 특히 외부구동회로가 일체로 형성된 액정표시소자에서는 상기한 p-Si TFT와 p-Si CMOS TFT가 모두 포함되어 있기 때문에, 상기 액정표시소자를 설명함으로써 본 발명이 p-Si TFT와 p-Si CMOS TFT에 적용되는 것을 보여줄 수 있을 것이다.

도 5는 본 발명에 따른 액정표시소자의 제조방법을 나타내는 도면이다. 도면에 도시된 바와 같이, 기판은 NMOS TFT가 형성되는 화소부와 CMOS TFT가 형성되는 구동회로부로 구분되며, 상기 구동회로부는 또한 NMOS TFT가 형성되는 A영역과 PMOS TFT가 형성되는 B영역으로 구분될 수 있을 것이다.

도 5(a)에 도시된 바와 같이, 유리와 같은 투명한 물질로 이루어진 기판(201)상에 SiO_2 와 같은 절연물질로 이루어진 버퍼층(203)을 형성한 후, 상기 버퍼층(203)의 화소부와 구동회로부의 A영역 및 B영역에 a-Si와 같은 비정질반도체를 증착하고 패터닝하여 비정질반도체층(204a, 204b, 204c)을 형성한다. 이어서, 상기 비정질반도체층(204a, 204b, 204c)을 레이저어닐링(Laser annealing)하여 다결정반도체층(p-Si layer)을 형성한다. 레이저어닐링은 엑시머레이저(Eximer Laser)를 비정질반도체층을 스캔하는 통상적인 방법에 의해 이루어진다. 이때, 상기 증착된 비정질반도체를 우선 레이저어닐링하여 다결정반도체로 변환시킨 후 상기 변환된 다결정반도체를 패터닝하여 원하는 반도체층(204a, 204b, 204c)을 형성할 수도 있다.

이후, 도 5(b)에 도시된 바와 같이, 기판(210) 전체에 걸쳐서 SiO_2 나 SiN_x 와 같은 절연물질을 약 1800Å의 두께로 적층하여 게이트절연층(209)을 형성하고, 이어서 화소부와 구동회로부의 A영역 및 B영역의 게이트절연층(209) 위에 각각 게이트전극(202a, 202b, 202c)을 형성한다. 게이트전극(202a, 202b, 202c)은 단일 금속층으로 형성할 수도 있지만 막특성 및 전류특성의 향상을 위하여 이중 금속층으로 형성하는 것이 바람직하다. 이 경우, 상기 게이트전극(202a, 202b, 202c)은 AlNd/Mo로 이루어지는데, 게이트절연층(209) 전체에 걸쳐서 AlNd 및 Mo를 각각 약 3000Å과 500Å으로 순차 증착한 후 이를 한꺼번에 패터닝함에 따라 화소부와 구동회로부의 A영역 및 B영역에 형성된다.

상기 게이트전극(202a, 202b, 202c)은 LDD도핑시 n^- 이온을 블로킹한다. 따라서, LDD도핑에 의해 n^- 이온이 반도체층으로 도핑되어 화소부 및 구동회로부의 반도체층에는 각각 채널층(204a, 204b, 204c) 및 저농도의 LDD층(205a, 205b, 205c)이 형성된다.

이어서, 도 5(c)에 도시된 바와 같이, 기판(201) 전체에 걸쳐서 포토레지스트를 도포하고 패터닝하여 포토레지스트층(220)을 형성한다. 포토레지스트는 음성 포토레지스트로서, 포토레지스트 도포, 소프트베이킹(약 100℃), 노광, 현상, 제1차 하드베이킹(약 130℃)에 의해 포토레지스트층(220)이 형성된다.

이때, 상기 포토레지스트층(220)은 도면에 도시된 바와 같이, 화소부 및 구동회로부의 A영역에 형성된 LDD층(205a, 205b)의 일부와 구동회로부의 B영역의 전체를 덮도록 형성된다.

이후, 상기 포토레지스트층(220)을 열처리하여 제2차 하드베이킹한다. 상기 제2차 하드베이킹은 상기 제1차 하드베이킹보다 높은 온도에서 실행되는데, 바람직하게는 약 140~165℃의 온도범위, 더욱 바람직하게는 약 150~155℃의 온도범위에서 약 1분 정도 열처리한다. 통상적으로 상기 제2차 하드베이킹 온도가 165℃ 이상인 경우에는 포토레지스트에 존재하는 탄소의 결합이 끊어지게 되기 때문에 포토레지스트의 변형을 초래하게 되므로 상기 제2차 하드베이킹 온도는 165℃를 초과하지 않는 것이 바람직하다. 이러한 제2차 하드베이킹에 의해 포토레지스트에는 크로스링킹이 증가하게 되어, 더욱 견고한 화학구조를 갖는 포토레지스트층(220)의 형성이 가능하게 된다. 또한, 상기 견고한 포토레지스트층(220)은 한번의 하드베이킹에 의해 이루어질 수도 있다. 즉, 제1차 하드베이킹시 약 105~155℃ 이상에서 포토레지스트를 열처리함으로써 제2차 하드베이킹 없이 견고한 포토레지스트층(220)을 형성할 수 있게 된다.

상기와 같이 포토레지스트층(220)이 형성된 기판에 도 5(d)에 도시된 바와 같이 높은 도즈, 고가속에너지의 n^+ 도핑을 실행하면, 상기 포토레지스트층(220)에 의해 블로킹되지 않은 화소부 및 구동회로부의 A영역의 LDD층(205a, 205b)에 고농도의 n^+ 이온이 도핑되어 n^+ 층(206a, 206b)이 형성된다.

그후, 상기 형성된 포토레지스트층(220)을 식각한 후 도 5(e)에 도시된 바와 같이 다시 화소부의 전체 및 구동회로부의 A영역에 포토레지스트층(220)을 형성한다. 상기 포토레지스트층(220) 역시 포토레지스트 도포, 소프트베이킹(약 100℃), 노광, 현상, 하드베이킹(약 130℃)의 공정을 거쳐 형성된다. 그러나, 구동회로부의 PMOS TFT를 형성하기 위한 p^+ 도핑에 사용되는 붕소이온은 인이온에 비해 상대적으로 작은 질량을 갖기 때문에, 도핑에 의한 포토레지스트의 변형이 잘 일어나지는 않는다. 따라서, 상기 p^+ 도핑시에는 포토레지스트층(220)의 제2하드베이킹공정은 필요 없을 것이다.

상기와 같이 포토레지스트층(220)이 형성된 기판에 p+ 도핑을 실행함으로써 구동회로부의 B영역의 LDD층(205c)에는 고농도의 p⁺ 이온이 도핑되어 p⁺ 층(207)이 형성된다.

이후, 상기 포토레지스트층(220)을 제거한 후, 도 5(f)에 도시된 바와 같이, 상기 게이트절연층(209)위에 중간층(interlayer; 213)을 형성하고 상기 게이트절연층(209)과 중간층(213)에 비아홀(via hole)을 형성하여 n⁺ 층(206a, 206b) 및 p⁺ 층(207)에 접촉하는 소스/드레인전극(211a, 211b, 211c)을 형성한다. 상기 중간층(213)은 SiN_x를 약 7000Å의 두께로 증착하여 형성하며, 소스/드레인전극(211a, 211b, 211c)은 AlNd/Mo층을 적층한 후 패터닝하여 형성한다.

이어서, 도 5(g)에 도시된 바와 같이, 기판(201) 전체에 걸쳐 보호층(215)을 형성한 후 하소부에 콘택홀을 통해 상기 소스/드레인전극(211a)과 연결되는 ITO(Indium Tin Oxide)와 같은 투명전극으로 이루어진 화소전극(217)을 형성한다.

도면에는 비록 상기 보호층(215)이 하나의 층으로만 도시되어 있지만, 이러한 보호층(215)은 1층으로도 형성할 수 있지만 2층 이상의 복수층으로도 형성할 수 있다. 1층으로 형성되는 경우 상기 보호층(215)을 SiN_x와 같은 무기물질로 형성할 수도 있지만, 액정표시소자의 개구율 향상 및 표면의 평탄화를 위해 BCB(Benzocyclobutane)와 같은 유기물질로 형성하는 것이 더욱 바람직할 것이다. 또한, 상기 보호층(215)은 SiN_x/BCB와 무기물/유기물 보호층으로 이루어진 2층의 층으로 형성될 수도 있다.

도면에는 표시하지 않았지만, 상기의 공정과는 별도로 다른 기판상에 광이 투과됨에 따라 컬러를 구현하는 컬러필터층과 액정표시소자의 화상 비표시영역으로 광이 누설되는 것을 방지하는 광차단수단을 형성하여 이 두기판을 실링재에 의해 실링한 후 기판 사이에 액정을 주입함으로써 액정표시소자가 완성된다.

상기한 바와 같이, 본 발명에서는 높은 도즈의 불순물을 고가속에너지로 반도체층에 도핑할 때 상기 불순물에 의해 포토레지스트가 변형되어 포토레지스트의 불완전한 식각에 의한 잔사가 생기는 것을 방지하기 위해, 포토레지스트층의 크로스링킹을 증가시켜 침투하는 불순물에 의해 화학구조가 변형되는 것을 방지한다. 이를 위해, 본 발명에서는 포토레지스트층을 약 150~155℃ 이상의 온도에서 하드베이킹하여 내부의 크로스링킹을 증가시킨다.

이러한 포토레지스트의 하드베이킹 방법은 가장 기본적인 반도체 도핑뿐만 아니라 특정한 구조의 TFT제조 및 이러한 TFT를 포함하는 액정표시소자와 같은 각종 분야에 응용 가능할 것이다. 또한, 본 발명의 기본적인 개념에 기초하여 각종 반도체소자를 제조하는 것은 본 발명이 속하는 기술분야에 종사하는 사람은 누구나 생각할 수 있을 것이다. 따라서, 본 발명의 권리범위는 상술한 상세한 설명에 의해 결정되는 것이 아니라 첨부한 특허청구범위에 의해 결정되어야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명에서는 절연층을 통해 반도체에 도핑을 실행하는 경우 높은 도즈 및 고가속에너지의 불순물에 의해 비도핑영역을 블로킹하고 있는 포토레지스트를 약 150~155℃의 온도에서 하드베이킹한다. 따라서, 포토레지스트의 크로스링킹이 증가하여 불순물에 의해 포토레지스트가 변형되는 것을 방지할 수 있게 되므로, 포토레지스트의 식각시 불완전한 식각에 의한 잔사발생을 방지할 수 있게 된다.

또한, 포토레지스트의 잔사불량방지를 위해 도핑영역 위에 형성된 절연층의 일부를 식각하여 저가속에너지 도핑을 실행하는 종래 기술에 비해 단순히 포토레지스트를 하드베이킹시킴으로써 잔사불량을 방지하기 때문에, 종래의 절연층의 식각공정이 필요 없게 되며 절연층 식각에 의한 반도체의 도핑영역파손에 기인하는 접촉불량이 발생하지 않게 된다.

(57) 청구의 범위

청구항 1.

절연기판을 제공하는 단계;

상기 절연기판상에 반도체층 및 절연층을 형성하는 단계;

상기 절연층 위에 포토레지스트를 도포한 후 패터닝하여 반도체층의 일부 영역을 블로킹하는 단계;

상기 포토레지스트를 열처리하여 제1하드베이킹하는 단계;

상기 포토레지스트를 열처리하여 제2하드베이킹하는 단계;

상기 포토레지스트로 반도체층의 일부 영역을 블로킹한 상태에서 불순물을 도핑하는 단계; 및

상기 포토레지스트를 제거하는 단계로 구성된 반도체층의 이온도핑방법.

청구항 2.

제1항에 있어서, 상기 불순물은 이온인 것을 특징으로 하는 방법.

청구항 3.

제2항에 있어서, 상기 이온은 n^+ 이온인 것을 특징으로 하는 방법.

청구항 4.

제1항에 있어서, 상기 포토레지스트를 패터닝하는 단계는,
포토레지스트를 도포하는 단계;
상기 포토레지스트를 열처리하여 소프트베이킹하는 단계;
상기 소프트베이킹된 포토레지스트를 노광하는 단계; 및
상기 노광된 포토레지스트를 현상하는 단계로 이루어진 것을 특징으로 하는 방법.

청구항 5.

제4항에 있어서, 상기 소프트베이킹은 대략 100°C 의 온도에서 이루어지는 것을 특징으로 하는 방법.

청구항 6.

제1항에 있어서, 상기 제1하드베이킹은 대략 130°C 의 온도에서 이루어지는 것을 특징으로 하는 방법.

청구항 7.

제1항에 있어서, 상기 제2하드베이킹은 제1하드베이킹보다 높은 온도에서 이루어지는 것을 특징으로 하는 방법.

청구항 8.

제7항에 있어서, 상기 제2하드베이킹은 $140\sim 165^{\circ}\text{C}$ 의 온도범위에서 이루어지는 것을 특징으로 하는 방법.

청구항 9.

제8항에 있어서, 상기 제2하드베이킹은 $150\sim 155^{\circ}\text{C}$ 의 온도범위에서 이루어지는 것을 특징으로 하는 방법.

청구항 10.

절연층이 형성된 절연기판을 제공하는 단계;
상기 절연층 위에 비정질반도체층을 형성하는 단계;
상기 비정질반도체층을 결정화하여 다결정반도체층을 형성하는 단계;
상기 반도체층이 형성된 기판 전체에 걸쳐 게이트절연층을 적층하는 단계;
상기 게이트절연층 위에 게이트전극을 형성하는 단계;
포토레지스트를 도포하고 패터닝하여 상기 반도체층의 일부를 블로킹하는 포토레지스트층을 형성하는 단계;

상기 포토레지스트층을 열처리하여 제1하드베이킹하는 단계;

상기 포토레지스트층을 열처리하여 제2하드베이킹하는 단계;

상기 포토레지스트에 의해 블로킹되지 않은 반도체층에 불순물을 도핑하여 채널층과 불순물반도체층을 형성하는 단계;

절연층을 도포한 후 상기 절연층 위에 상기 불순물반도체층과 접촉하는 소스/드레인전극을 형성하는 단계; 및

보호층을 형성하는 단계로 구성된 다결정 박막트랜지스터 제조방법.

청구항 11.

제10항에 있어서, 상기 포토레지스트를 패터닝하는 단계는,

포토레지스트를 도포하는 단계;

상기 포토레지스트를 열처리하여 소프트베이킹하는 단계;

상기 소프트베이킹된 포토레지스트를 노광하는 단계; 및

상기 노광된 포토레지스트를 현상하는 단계로 이루어진 것을 특징으로 하는 방법.

청구항 12.

제11항에 있어서, 상기 소프트베이킹은 대략 100℃의 온도에서 이루어지는 것을 특징으로 하는 방법.

청구항 13.

제10항에 있어서, 상기 제1하드베이킹은 대략 130℃의 온도에서 이루어지는 것을 특징으로 하는 방법.

청구항 14.

제10항에 있어서, 상기 제2하드베이킹은 제1하드베이킹보다 높은 온도에서 이루어지는 것을 특징으로 하는 방법.

청구항 15.

제14항에 있어서, 상기 제2하드베이킹은 140~165℃의 온도범위에서 이루어지는 것을 특징으로 하는 방법.

청구항 16.

제15항에 있어서, 상기 제2하드베이킹은 150~155℃의 온도범위에서 이루어지는 것을 특징으로 하는 방법.

청구항 17.

제10항에 있어서, 상기 게이트전극으로 채널층 영역을 블로킹한 상태에서 반도체층에 저농도의 불순물을 도핑하여 LDD(Light Doped Drain)층을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 18.

제10항에 있어서, 상기 다결정반도체층을 형성하는 단계는,

비정질반도체층에 레이저를 스캔하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 19.

화소부와 제1영역 및 제2영역으로 구분된 구동회로부로 이루어진 절연기관의 버퍼층 위에 비정질반도체층을 형성하는 단계;

상기 비정질반도체층을 결정화하여 다결정반도체층을 형성하는 단계;

다결정반도체층이 형성된 기관 전체에 걸쳐서 게이트절연층을 형성하는 단계;

상기 다결정반도체층을 LDD도핑하여 반도체층에 채널층과 LDD층을 형성하는 단계;

상기 기관 전체에 걸쳐서 포토레지스트를 도포하고 패터닝하여 화소부와 구동회로부의 제1영역에 각각 형성된 LDD층의 일부 및 구동회로부의 제2영역을 블로킹하는 제1포토레지스트층을 형성하는 단계;

상기 제1포토레지스트층을 열처리하여 제1하드베이킹하는 단계;

상기 제1포토레지스트층을 열처리하여 제2하드베이킹하는 단계;

상기 포토레지스트에 의해 블로킹되지 않는 상기 화소부와 구동회로부의 제1영역에 형성된 LDD층의 일부 영역에 제1불순물을 도핑하여 제1불순물반도체층을 형성하는 단계;

상기 화소부 및 구동회로부의 제1영역을 블로킹하는 제2포토레지스트층을 형성하는 단계;

상기 구동회로부의 제2영역의 LDD층에 제2불순물을 도핑하여 제2불순물반도체층을 형성하는 단계;

상기 기관 전체에 걸쳐서 중간층을 형성하는 단계;

상기 중간층 위에 금속을 적층하여 제1불순물반도체층 및 제2불순물반도체층과 접촉하는 소스/드레인전극을 형성하는 단계; 및

상기 소스/드레인전극이 형성된 기관 전체에 걸쳐서 적어도 한층의 보호층을 형성하는 단계로 구성된 액정표시소자 제조 방법.

청구항 20.

제19항에 있어서, 상기 다결정반도체층을 형성하는 단계는,

비정질반도체층에 레이저를 스캔하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 21.

제19항에 있어서, 상기 제1불순물은 n^+ 이온인 것을 특징으로 하는 방법.

청구항 22.

제19항에 있어서, 상기 제2불순물은 p^+ 이온인 것을 특징으로 하는 방법.

청구항 23.

제19항에 있어서, 상기 제1포토레지스트층을 형성하는 단계는,

포토레지스트를 도포하는 단계;

상기 포토레지스트를 열처리하여 소프트베이킹하는 단계;
 상기 소프트베이킹된 포토레지스트를 노광하는 단계; 및
 상기 노광된 포토레지스트를 현상하는 단계로 이루어진 것을 특징으로 하는 방법.

청구항 24.

제23항에 있어서, 상기 소프트베이킹은 대략 100℃의 온도에서 이루어지는 것을 특징으로 하는 방법.

청구항 25.

제19항에 있어서, 상기 제1하드베이킹은 대략 130℃의 온도에서 이루어지는 것을 특징으로 하는 방법.

청구항 26.

제19항에 있어서, 상기 제2하드베이킹은 제1하드베이킹보다 높은 온도에서 이루어지는 것을 특징으로 하는 방법.

청구항 27.

제26항에 있어서, 상기 제2하드베이킹은 140~165℃의 온도범위에서 이루어지는 것을 특징으로 하는 방법.

청구항 28.

제27항에 있어서, 상기 제2하드베이킹은 150~155℃의 온도범위에서 이루어지는 것을 특징으로 하는 방법.

청구항 29.

제19항에 있어서, 상기 보호층을 무기 보호층 또는 유기 보호층인 것을 특징으로 하는 방법.

청구항 30.

제19항에 있어서,

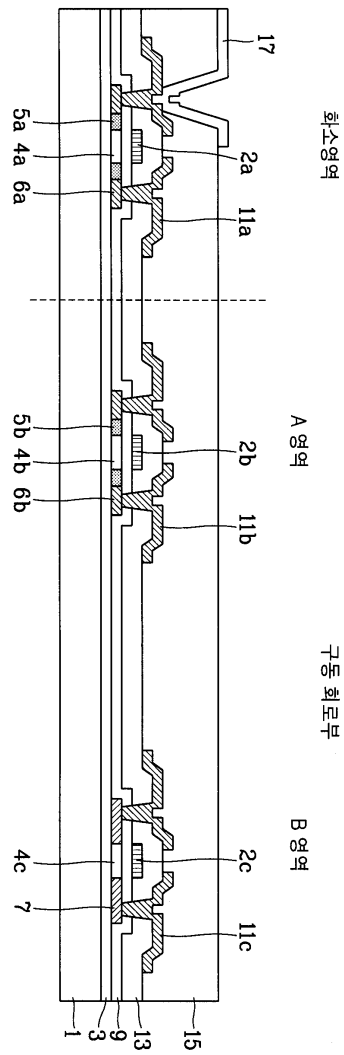
화소영역에 컬러를 구현하는 컬러필터층과 화상의 비표시영역으로 광이 누설되는 것을 방지하는 차단수단이 형성된 기판을 제공하는 단계;

상기 컬러필터층이 형성된 기판과 반도체층을 포함하는 기판을 합착하는 단계; 및

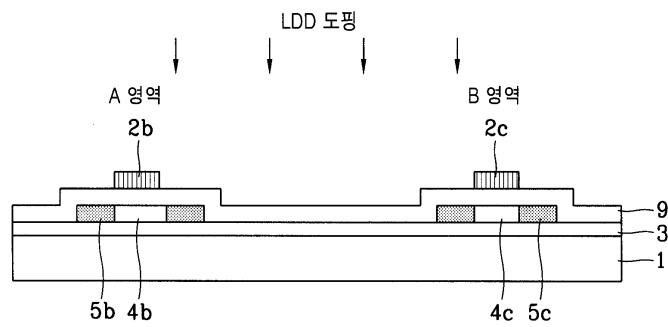
상기 합착된 기판 사이로 액정을 주입하는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

도면

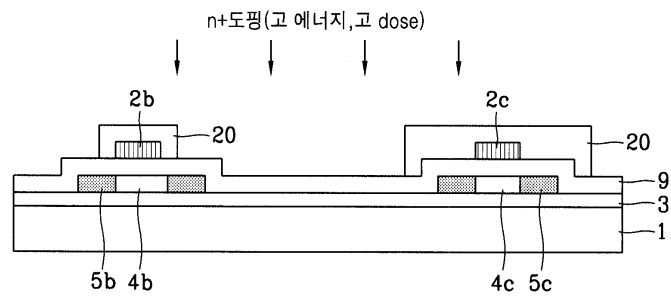
도면1



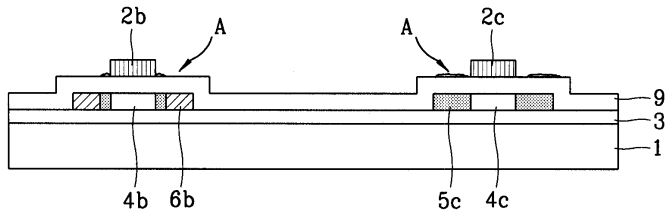
도면2a



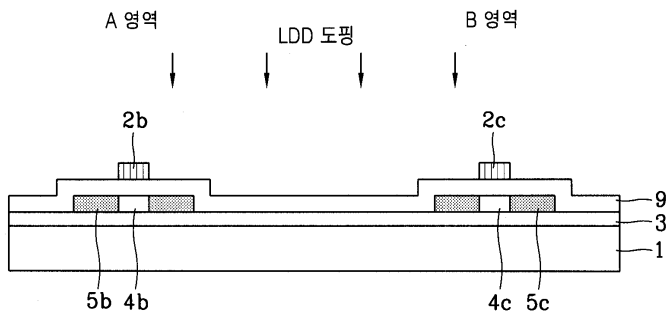
도면2b



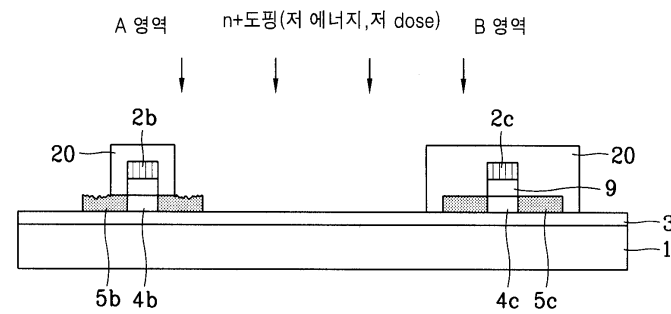
도면2c



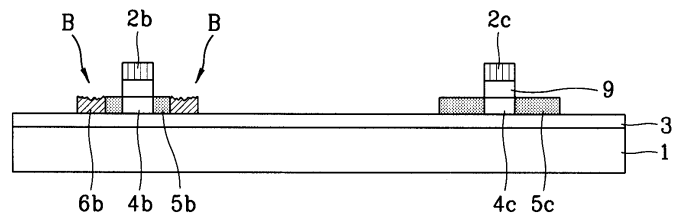
도면3a



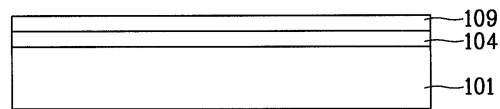
도면3b



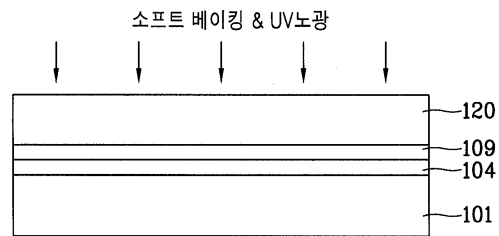
도면3c



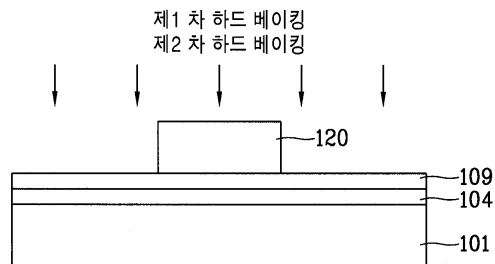
도면4a



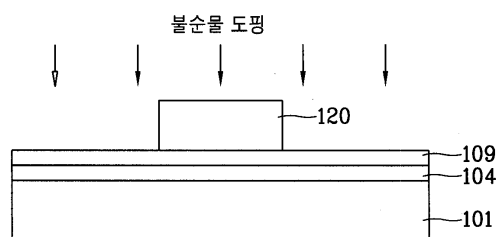
도면4b



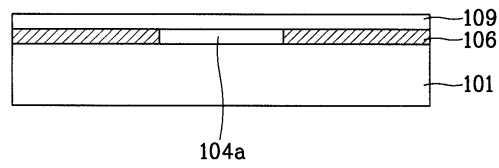
도면4c



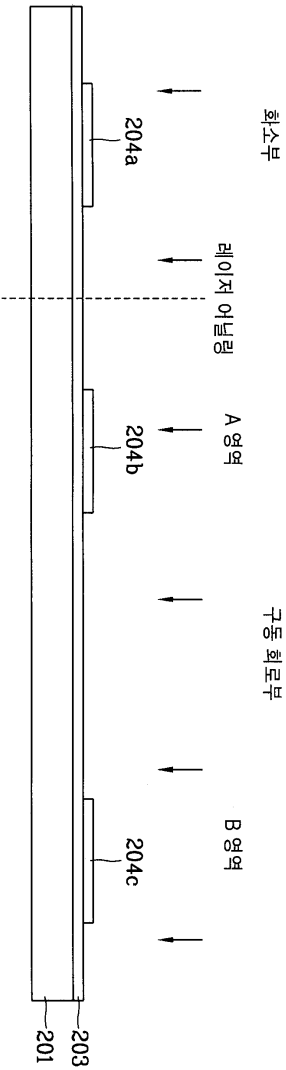
도면4d



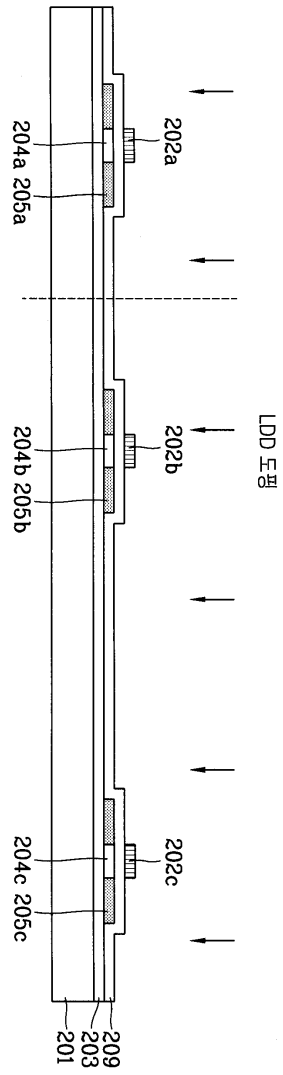
도면4e



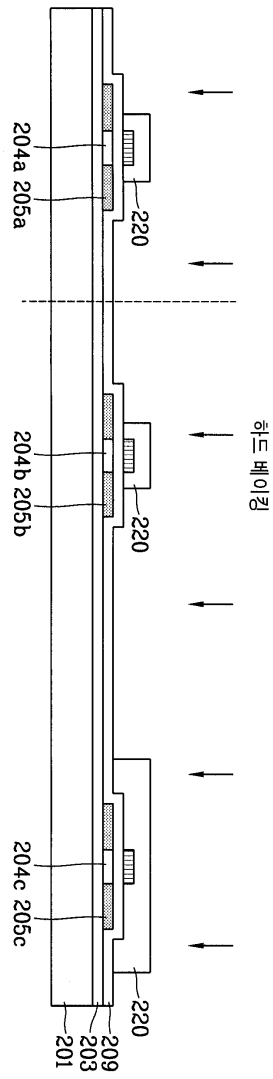
도면5a



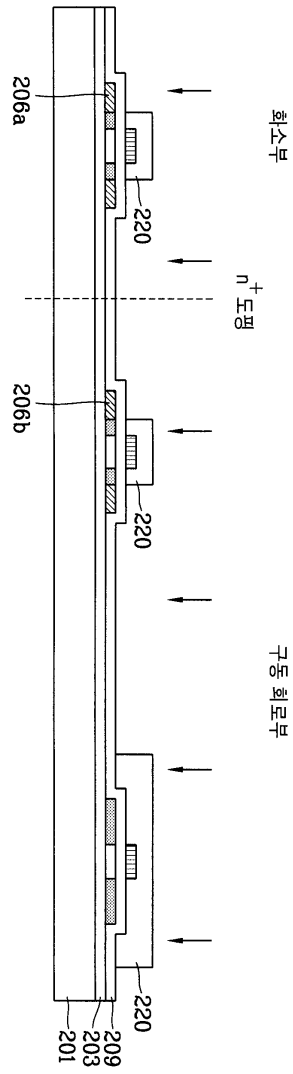
도면5b



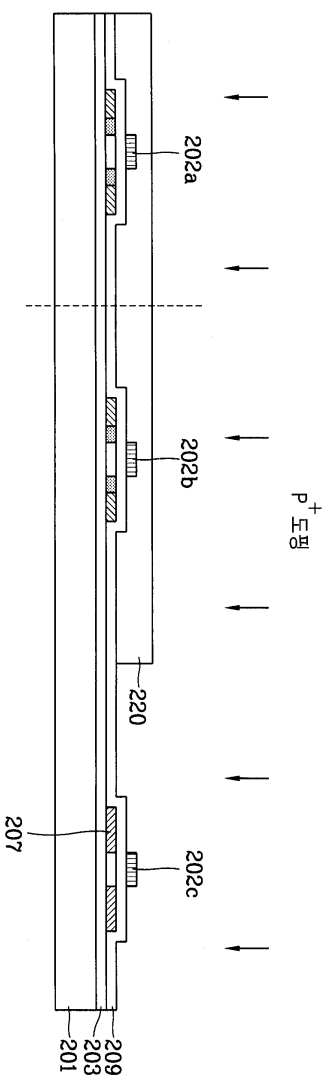
도면5c



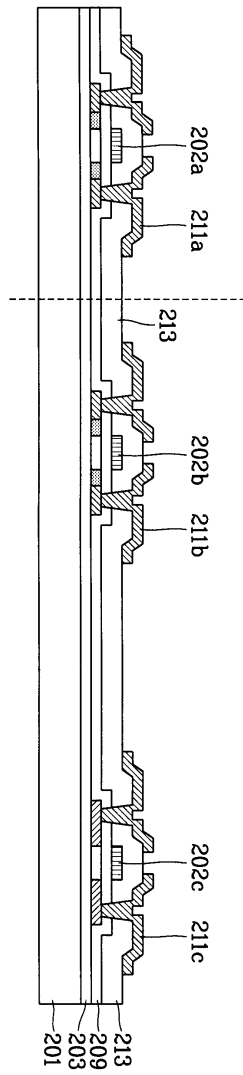
도면5d



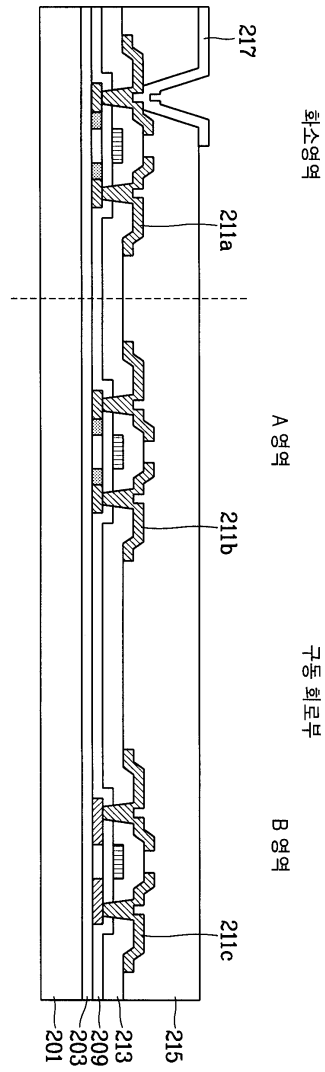
도면5e



도면5f



도면5g



专利名称(译)	防止光致抗蚀剂残留缺陷的半导体掺杂方法和使用该方法制造液晶显示元件的方法		
公开(公告)号	KR100492727B1	公开(公告)日	2005-06-07
申请号	KR1020010071123	申请日	2001-11-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG EUIHOON 황의훈 KIM KEEJONG 김기종		
发明人	황의훈 김기종		
IPC分类号	G02F1/13 H01L21/84 H01L29/786 H01L21/77 H01L21/336		
CPC分类号	H01L29/78621 H01L27/1288 H01L27/1214 H01L29/66757		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020030040706A		
外部链接	Espacenet		

摘要(译)

半导体掺杂方法包括以下步骤：在基板上形成绝缘层，在绝缘层上形成半导体层，在绝缘层上形成光致抗蚀剂层，图案化光致抗蚀剂层以在第一部分上提供光致抗蚀剂层的一部分。半导体层，在大于约140℃的第一硬烘焙温度下对光致抗蚀剂层的部分进行硬烘焙，在半导体层的第一部分以外的区域中用杂质掺杂半导体层，并去除半导体层。光刻胶层的一部分。

