

(72) 발명자

손선규

경기도 수원시 영통구 영통로 498, 황골마을1단지
아파트 135동 204호 (영통동)

황인용

경기도 수원시 영통구 영통로102번길 19, 401호 (망포동, 미림빌)

특허청구의 범위

청구항 1

베이스 필름;

상기 베이스 필름에 실장되고, 제1 신호를 입력받아 제2 신호를 출력하는 반도체 칩;

상기 베이스 필름에 형성되어 상기 반도체 칩과 전기적으로 연결되고, 일부분이 사행 구조를 갖도록 굴곡지며, 상기 제1 신호를 상기 반도체 칩에 제공하는 입력 배선부; 및

상기 베이스 필름에 형성되어 상기 반도체 칩과 전기적으로 연결되고, 상기 반도체 칩으로부터 상기 제2 신호를 수신하여 전송하는 출력 배선부를 포함하며,

상기 제1 신호는,

상기 반도체 칩을 구동하는 칩 전원 신호; 및

상기 제2 신호를 생성하기 위한 제어 신호를 포함하고,

상기 입력 배선부는,

상기 칩 전원 신호를 전송하고, 적어도 어느 하나는 사행 구조를 갖도록 굴곡진 다수의 입력 전원 라인; 및

상기 다수의 입력 전원 라인으로부터 이격되고 사행 구조를 갖지 않으며 상기 제어 신호를 전송하는 다수의 입력 신호 라인을 포함하며,

상기 다수의 입력 전원 라인 및 상기 다수의 입력 신호 라인은 각각 대칭되도록 배치되는 것을 특징으로 하는 신호 전송 부재.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 사행 구조를 갖는 입력 전원 라인은 상기 입력 전원 라인들의 폭 방향으로 굴곡진 것을 특징으로 하는 신호 전송 부재.

청구항 5

제1항에 있어서, 상기 입력 배선부는, 외부로부터 수신된 서브 전원 신호를 수신하여 출력하는 다수의 더미 전원 라인을 더 포함하는 것을 특징으로 하는 신호 전송 부재.

청구항 6

제5항에 있어서, 상기 더미 전원 라인들 중 적어도 어느 하나는 사행 구조를 갖도록 굴곡진 것을 특징으로 하는 신호 전송 부재.

청구항 7

제6항에 있어서, 상기 사행 구조를 갖는 더미 전원 라인은 상기 더미 전원라인들의 폭 방향으로 굴곡진 것을 특징으로 하는 신호 전송 부재.

청구항 8

제1항에 있어서, 상기 베이스 필름은 상기 반도체 칩과 대응하는 부분이 개구되고,

상기 입력 전원 라인들과 상기 입력 신호 라인들 및 상기 출력 배선부는 일 단부가 개구부를 통해 각각 노출되며,

상기 반도체 칩은 상기 개구부를 통해 상기 입력 전원 라인들, 상기 입력 신호 라인들 및 상기 출력 배선부와 각각 전기적으로 연결되는 것을 특징으로 하는 신호 전송 부재.

청구항 9

제8항에 있어서, 상기 반도체 칩을 둘러싸고 상기 개구부를 밀봉하여 상기 반도체 칩을 상기 베이스 필름에 고정하기 위한 접착 부재를 더 포함하는 것을 특징으로 하는 신호 전송 부재.

청구항 10

제1항에 있어서, 상기 출력 배선부는 상기 제2 신호를 전송하는 다수의 출력 라인을 포함하는 것을 특징으로 하는 신호 전송 부재.

청구항 11

제1항에 있어서, 상기 입력 배선부 및 상기 출력 배선부의 상부에 구비되어 상기 입력 배선부와 상기 출력 배선부를 보호하는 보호 필름을 더 포함하는 것을 특징으로 하는 신호 전송 부재.

청구항 12

영상 신호에 대응하여 영상을 표시하는 표시패널; 및

상기 표시패널의 단부에 부착되고, 상기 영상 신호를 출력하여 상기 표시패널에 제공하는 적어도 하나의 신호 전송 부재를 포함하고,

상기 신호 전송 부재는,

베이스 필름;

상기 베이스 필름에 실장되고, 상기 영상에 대응하는 입력 신호를 수신하여 상기 영상 신호를 출력하는 반도체 칩;

상기 베이스 필름에 형성되어 상기 반도체 칩과 전기적으로 연결되고, 일부분이 사행 구조를 갖도록 굴곡지며, 상기 입력 신호를 상기 반도체 칩에 제공하는 입력 배선부; 및

상기 베이스 필름에 형성되고, 상기 반도체 칩 및 상기 표시패널과 전기적으로 연결되고, 상기 반도체 칩으로부터 출력된 상기 영상 신호를 상기 표시패널에 제공하는 출력 배선부를 포함하며,

상기 입력 신호는,

상기 반도체 칩을 구동하는 칩 전원 신호; 및

상기 영상 신호를 생성하기 위한 제어 신호를 포함하고,

상기 입력 배선부는,

상기 칩 전원 신호를 전송하고, 적어도 어느 하나는 사행 구조를 갖도록 굴곡진 다수의 입력 전원 라인; 및

상기 다수의 입력 전원 라인으로부터 이격되고 사행 구조를 갖지 않으며 상기 제어 신호를 전송하는 다수의 입력 신호 라인을 포함하며,

상기 다수의 입력 전원 라인 및 상기 다수의 입력 신호 라인은 각각 좌우 대칭되도록 배치되는 것을 특징으로 하는 표시장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

제12항에 있어서, 상기 표시패널은, 상기 출력 배선부와 전기적으로 연결되어 상기 영상 신호를 전송하는 다수의 데이터 라인을 포함하는 것을 특징으로 하는 표시장치.

청구항 16

제15항에 있어서, 상기 신호 전송 부재와 전기적으로 연결되고, 상기 입력 신호를 출력하여 상기 신호 전송 부재에 제공하는 인쇄회로기판을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 17

제16항에 있어서, 상기 입력 배선부는, 상기 인쇄회로기판으로부터 서브 전원 신호를 수신하여 상기 표시패널에 제공하는 다수의 더미 전원라인을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 18

제17항에 있어서, 상기 더미 전원라인들 중 적어도 어느 하나는 사행 구조를 갖도록 굴곡진 것을 특징으로 하는 표시장치.

청구항 19

제17항에 있어서, 상기 표시패널은, 상기 더미 전원라인들과 전기적으로 연결되고, 상기 더미 전원라인들로부터 출력된 상기 더미 전원 신호를 전송하는 다수의 연결 라인을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 20

제12항에 있어서, 상기 신호 전송 부재는 테이프캐리어패키지인 것을 특징으로 하는 표시장치.

청구항 21

영상을 표시하는 표시패널; 및

상기 표시패널에 부착된 제1 베이스 필름, 상기 제1 베이스 필름에 실장되고, 상기 영상에 대응하는 제1 입력 신호를 수신하여 데이터 신호를 출력하는 제1 반도체 칩, 상기 제1 베이스 필름에 형성되어 상기 제1 반도체 칩과 전기적으로 연결되고, 일부분이 사행 구조를 갖도록 굴곡지며, 상기 제1 입력 신호를 상기 제1 반도체 칩에 제공하는 제1 입력 배선부, 및 상기 제1 베이스 필름에 형성되고, 상기 제1 반도체 칩 및 상기 표시패널과 전기적으로 연결되고, 상기 제1 반도체 칩으로부터 출력된 상기 데이터 신호를 상기 표시패널에 제공하는 제1 출력 배선부를 포함하는 적어도 하나의 데이터 테이프캐리어패키지; 및

상기 표시패널에 부착된 제2 베이스 필름, 상기 제2 베이스 필름에 실장되고, 상기 영상에 대응하는 제2 입력 신호를 수신하여 게이트 신호를 출력하는 제2 반도체 칩, 상기 제2 베이스 필름에 형성되어 상기 제2 반도체 칩과 전기적으로 연결되고, 상기 제2 입력 신호를 상기 제2 반도체 칩에 제공하는 제2 입력 배선부, 및 상기 제2 베이스 필름에 형성되고, 상기 제2 반도체 칩 및 상기 표시패널과 전기적으로 연결되고, 상기 제2 반도체 칩으로부터 출력된 상기 게이트 신호를 상기 표시패널에 제공하는 제2 출력 배선부를 포함하는 적어도 하나의 게이트 테이프캐리어패키지를 포함하며,

상기 제1 입력 신호는, 상기 제1 반도체 칩을 구동하는 제1 전원 신호 및 상기 데이터 신호를 생성하기 위한 데이터 제어 신호를 포함하고,

상기 제2 입력 신호는, 상기 제2 반도체 칩을 구동하는 제2 전원 신호 및 상기 게이트 신호를 생성하기 위한 게이트 제어 신호를 포함하고,

상기 제1 입력 배선부는,

상기 칩의 제1 전원 신호를 전송하고, 적어도 어느 하나는 사행 구조를 갖도록 굴곡진 다수의 제1 입력 전원 라인; 및

상기 다수의 제1 입력 전원 라인으로부터 이격되고 사행 구조를 갖지 않으며 상기 데이터 제어 신호를

전송하는 다수의 제1 입력 신호 라인을 포함하며 상기 다수의 제1 입력 전원 라인 및 상기 다수의 제1 입력 신호 라인은 각각 좌우 대칭되도록 배치되고,

상기 제2 입력 배선부는,

상기 칩의 제2 전원 신호를 전송하고, 적어도 어느 하나는 사행 구조를 갖도록 굴곡진 다수의 제2 입력 전원 라인; 및

상기 다수의 제2 입력 전원 라인으로부터 이격되고 사행 구조를 갖지 않으며 상기 게이트 제어 신호를 전송하는 다수의 제2 입력 신호 라인을 포함하며 상기 다수의 제2 입력 전원 라인 및 상기 다수의 제2 입력 신호 라인은 각각 좌우 대칭되도록 배치되는 것을 특징으로 하는 표시장치.

청구항 22

삭제

청구항 23

삭제

청구항 24

제21항에 있어서, 상기 제2 입력 배선부는,

상기 게이트 제어 신호를 수신하여 상기 표시패널에 제공하는 다수의 더미 신호라인; 및

상기 제2 전원 신호를 수신하여 상기 표시패널에 제공하고, 적어도 어느 하나는 사행 구조를 갖도록 굴곡진 다수의 더미 전원라인을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 25

제24항에 있어서, 상기 표시패널은, 상기 더미 신호 라인들 및 상기 더미 전원 라인들과 전기적으로 연결되어 상기 게이트 제어 신호 및 상기 제2 전원 신호를 상기 제2 입력 배선부에 제공하는 다수의 연결라인을 포함하는 것을 특징으로 하는 표시장치.

청구항 26

제24항에 있어서, 상기 데이터 테이프캐리어패키지와 전기적으로 연결되고, 상기 제1 입력 배선부에 상기 제1 및 제2 입력 신호를 출력하는 인쇄회로기판을 더 포함하는 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0013] 본 발명은 신호전송 부재 및 이를 갖는 표시장치에 관한 것으로, 더욱 상세하게는 제품의 수율을 향상시킬 수 있는 신호전송 부재 및 이를 갖는 표시장치에 관한 것이다.

[0014] 일반적으로, 액정표시장치는 이방성 굴절률, 이방성 유전율 등의 광학적, 전기적 특성을 갖는 액정을 이용하여 영상을 표시하는 표시장치이다. 액정표시장치는 실질적으로 영상을 표시하는 액정표시패널 및 액정표시패널에 광을 제공하는 백라이트 어셈블리를 포함한다.

[0015] 액정표시패널은 어레이 기관, 어레이 기관과 마주보는 컬러필터기관 및 어레이 기관과 컬러필터 기관과의 사이에 개재된 액정층으로 이루어진다. 어레이 기관은 데이터 신호를 전송하는 다수의 데이터 라인, 게이트 신호를 전송하는 다수의 게이트 라인, 및 화상을 나타내는 최소 단위인 다수의 화소로 이루어진다. 화소 각각은 박막 트랜지스터 및 화소 전극을 구비한다. 박막 트랜지스터는 데이터 라인 및 게이트 라인과 연결되고, 액정층에 제공되는 화소 전압을 스위칭한다. 화소 전극은 박막 트랜지스터의 드레인 전극에 전기적으로 연결되고, 액정층을

사이에 두고 컬러필터기판에 형성된 공통전극과 마주한다.

[0016] 데이터 라인들은 다수의 데이터 테이프캐리어패키지(Tape Carrier Package : 이하, TCP)와 전기적으로 연결되고, 게이트 라인들은 다수의 게이트 TCP와 전기적으로 연결된다. 데이터 TCP들과 게이트 TCP들은 어레이 기판에 부착되고, 각각 데이터 신호와 게이트 신호를 출력한다.

[0017] TCP의 구조를 살펴보면, TCP는 베이스 필름, 베이스 필름에 실장된 구동칩, 베이스 필름에 형성되어 외부로부터 입력된 입력 신호를 구동 칩에 제공하는 입력 라인들, 및 베이스 필름에 형성되어 구동칩의 출력 신호를 전송하는 출력 라인들로 이루어진다. 이러한, TCP의 배선들은 인쇄회로기판과 구동 칩 간의 임피던스 매칭과 칩과 어레이 기판 간의 임피던스 매칭을 고려하지 않고, 패드부로부터 칩까지의 최단 거리만을 고려하여 형성된다. 이로 인해, 입력 라인에서 전자파가 발생하고, 입력신호에 노이즈가 발생하여 신호 왜곡을 유발하며, 구동 칩의 손상 및 입력 라인이 단절을 유발한다.

발명이 이루고자 하는 기술적 과제

[0018] 본 발명의 목적은 제품의 수율을 향상시킬 수 있는 신호전송 부재를 제공하는 것이다.

[0019] 또한, 본 발명의 목적은 상기한 신호전송 부재를 구비하는 표시장치를 제공하는 것이다.

발명의 구성 및 작용

[0020] 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 신호전송부재는 베이스 필름, 반도체 칩, 입력 배선부 및 출력 배선부로 이루어진다.

[0021] 반도체 칩은 상기 베이스 필름에 실장되고, 제1 신호를 입력받아 제2 신호를 출력한다. 입력 배선부는 상기 베이스 필름에 형성되어 상기 반도체 칩과 전기적으로 연결되고, 일부분이 사행 구조를 갖도록 굴곡지며, 상기 제1 신호를 상기 반도체 칩에 제공한다. 출력 배선부는 상기 베이스 필름에 형성되어 상기 반도체 칩과 전기적으로 연결되고, 상기 반도체 칩으로부터 상기 제2 신호를 수신하여 전송하는 출력 배선부를 포함한다.

[0022] 여기서, 상기 제1 신호는, 상기 반도체 칩을 구동하는 칩 전원 신호 및 상기 제2 신호를 생성하기 위한 제어 신호를 포함한다.

[0023] 구체적으로, 상기 입력 배선부는, 상기 칩 전원 신호를 전송하고, 적어도 어느 하나는 사행 구조를 갖도록 굴곡진 다수의 입력 전원 라인, 및 상기 제어 신호를 전송하는 다수의 입력 신호 라인을 포함한다. 여기서, 상기 사행 구조를 갖는 입력 전원 라인은 상기 입력 전원 라인들의 폭 방향으로 굴곡진다.

[0024] 상기 입력 배선부는, 외부로부터 수신된 서브 전원 신호를 수신하여 출력하는 다수의 더미 전원 라인을 더 포함한다. 상기 더미 전원 라인들 중 적어도 어느 하나는 사행 구조를 갖도록 굴곡진다.

[0025] 또한, 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 표시장치는, 표시패널 및 적어도 하나의 신호 전송 부재로 이루어진다.

[0026] 표시패널은 영상 신호에 대응하여 영상을 표시한다. 신호 전송 부재는 상기 표시패널의 단부에 부착되고, 상기 영상 신호를 출력하여 상기 표시패널에 제공한다. 구체적으로, 상기 신호 전송 부재는 베이스 필름, 반도체 칩, 입력 배선부 및 출력 배선부로 이루어진다. 반도체 칩은 상기 베이스 필름에 실장되고, 상기 영상에 대응하는 입력 신호를 수신하여 상기 영상 신호를 출력한다. 상기 입력 배선부는 상기 베이스 필름에 형성되어 상기 반도체 칩과 전기적으로 연결되고, 일부분이 사행 구조를 갖도록 굴곡지며, 상기 입력 신호를 상기 반도체 칩에 제공한다. 상기 출력 배선부는 상기 베이스 필름에 형성되고, 상기 반도체 칩 및 상기 표시패널과 전기적으로 연결되고, 상기 반도체 칩으로부터 출력된 상기 영상 신호를 상기 표시패널에 제공한다.

[0027] 또한, 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 표시장치는, 표시패널, 적어도 하나의 데이터 테이프캐리어패키지 및 적어도 하나의 게이트 테이프캐리어패키지로 이루어진다.

[0028] 표시패널은 영상을 표시한다. 데이터 테이프캐리어패키지는, 제1 베이스 필름, 제1 반도체 칩, 제1 입력 배선부 및 제1 출력 배선부로 이루어진다. 제1 베이스 필름은 상기 표시패널에 부착된다. 제1 반도체 칩은 상기 제1 베이스 필름에 실장되고, 상기 영상에 대응하는 제1 입력 신호를 수신하여 데이터 신호를 출력한다. 제1 입력 배선부는 상기 제1 베이스 필름에 형성되어 상기 제1 반도체 칩과 전기적으로 연결되고, 일부분이 사행 구조를 갖도록 굴곡지며, 상기 제1 입력 신호를 상기 제1 반도체 칩에 제공한다. 제1 출력 배선부는 상기 제1 베이스 필름에 형성되고, 상기 제1 반도체 칩 및 상기 표시패널과 전기적으로 연결되고, 상기 제1 반도체 칩으로부터 출

력된 상기 데이터 신호를 상기 표시패널에 제공한다.

- [0029] 게이트 테이프캐리어패키지는 제2 베이스 필름, 제2 반도체 칩, 제2 입력 배선부 및 제2 출력 배선부로 이루어진다. 제2 베이스 필름은 상기 표시패널에 부착된다. 제2 반도체 칩은 상기 제2 베이스 필름에 실장되고, 상기 영상에 대응하는 제2 입력 신호를 수신하여 게이트 신호를 출력한다. 제2 입력 배선부는 상기 제2 베이스 필름에 형성되어 상기 제2 반도체 칩과 전기적으로 연결되고, 일부분이 사행 구조를 갖도록 굴곡지며, 상기 제2 입력 신호를 상기 제2 반도체 칩에 제공한다. 제2 출력 배선부는 상기 제2 베이스 필름에 형성되고, 상기 제2 반도체 칩 및 상기 표시패널과 전기적으로 연결되고, 상기 제2 반도체 칩으로부터 출력된 상기 게이트 신호를 상기 표시패널에 제공한다.
- [0030] 이러한, 신호전송부재 및 이를 갖는 표시장치에 따르면, 전원이 입력되는 전원 라인이 사행 구조를 갖는다. 따라서, 전원 라인의 길이를 외부 장치와의 임피던스를 고려하여 형성할 수 있으므로, 전원 라인의 전자파를 감소시키고, 전자파로 인한 노이즈 발생과 반도체 칩의 손상 및 라인 단절을 방지하고, 제품의 수율을 향상시킬 수 있다.
- [0031] 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 테이프캐리어패키지를 나타낸 평면도이고, 도 2는 도 1의 절단선 I-I'에 따른 단면도이다.
- [0033] 도 1 및 도 2를 참조하면, 본 발명의 테이프캐리어패키지(Tape Carrier Package : 이하, TCP)(100)는 베이스 필름(110), 반도체 칩(120), 입력 배선부(130) 및 출력 배선부(140)를 포함한다.
- [0034] 상기 베이스 필름(110)은 폴리이미드(Polyimide)와 같은 절연성 재료로 이루어진 필름이다. 상기 반도체 칩(120)은 상기 베이스 필름(110)에 실장되고, 외부로부터 입력된 제1 신호를 이용하여 제2 신호를 출력하는 트랜지스터들을 포함한다. 상기 제1 신호는 상기 반도체 칩(120)을 구동하기 위한 신호로서, 상기 반도체 칩(120)을 구동하는 데 필요한 전원을 제공하는 입력전원 신호 및 상기 반도체 칩(120)을 제어하는 칩 제어 신호를 포함한다. 상기 반도체 칩(120)으로부터 출력되는 상기 제2 신호는 상기 출력 배선부(140)와 연결된 외부 장치를 구동하기 위한 신호로서, 소정의 데이터를 포함하기도 한다.
- [0035] 상기 반도체 칩(120)의 배면에는 다수의 입력 범프(121) 및 다수의 출력 범프(122)가 형성된다. 상기 입력 범프들(121)은 상기 입력 배선부(130)와 전기적으로 연결되고, 상기 출력 범프들(122)은 상기 출력 배선부(140)와 전기적으로 연결된다.
- [0036] 상기 입력 배선부(130)는 상기 베이스 필름(110)의 일면에 형성되고, 외부 입력 장치(미도시)와 전기적으로 연결되어 상기 외부 입력 장치로부터 상기 제1 신호를 수신한다.
- [0037] 구체적으로, 상기 입력 배선부(130)는 상기 입력전원 신호를 전송하는 전원 배선부(PLP1, PLP2) 및 상기 칩 제어 신호를 전송하는 입력 신호 배선부(SLP)로 이루어진다. 상기 전원 배선부(PLP1, PLP2)는 다수의 전원 라인을 포함하고, 상기 입력 신호 배선부(SLP)는 다수의 입력 신호 라인을 포함한다. 상기 전원 라인들과 상기 입력 신호 라인들은 각각 제1 단부에 상기 제1 신호를 입력받는 제1 입력 패드부(IIP)가 형성되고, 상기 제1 단부와 대향하는 제2 단부에 상기 제1 신호를 출력하는 제1 출력 패드부(IOP)가 형성된다. 상기 제1 입력 패드부(IIP)는 상기 베이스 필름(110)의 제1 단부에 형성되어 상기 외부 입력 장치와 전기적으로 연결되고, 상기 제1 출력 패드부(IOP)는 상기 반도체 칩(120)과 전기적으로 연결된다.
- [0038] 도 3은 도 1의 'A' 부분을 확대하여 나타낸 평면도이고, 도 4는 도 1의 'B' 부분을 확대하여 나타낸 평면도이다.
- [0039] 도 1 및 도 3을 참조하면, 상기 전원 배선부(PLP1, PLP2)는 상기 입력 신호 배선부(SLP)와 서로 혼재되어 위치한다. 따라서, 설명의 편의를 위해, 상기 전원 라인들의 길이 방향으로 상기 베이스 필름(110)을 가로지르는 중심부에 형성된 전원 배선부를 제1 전원 배선부(PLP1)라 하고, 상기 제1 전원 배선부(PLP1)를 사이에 두고 양측에 각각 위치하는 전원 배선부를 제2 및 제3 전원 배선부(PLP2, PLP3)라 한다. 여기서, 상기 제1 전원 배선부(PLP1)와 상기 제2 및 제3 전원 배선부(PLP2, PLP3)와의 사이에는 상기 입력 신호 라인들이 위치한다.
- [0040] 상기 제1 전원 배선부(PLP1)는 제1 및 제2 전원 라인(PL1, PL2)을 포함하고, 상기 제1 및 제2 전원 라인(PL1, PL2)은 서로 이격되어 위치하고, 서로 인접한다. 상기 제1 및 제2 전원 라인(PL1, PL2)은 부분적으로 사행 구조를 가지도록 상기 제1 및 제2 전원 라인(PL1, PL2)의 폭 방향으로 굴곡진 형상을 갖는다. 본 발명의 일례로, 상기 제1 전원 라인(PL1)의 굴곡진 부분은 상기 제2 전원 라인(PL2)의 굴곡진 부분과 서로 반대 방향으로 굴곡지

나, 서로 동일한 방향으로 굴곡질 수도 있다.

- [0041] 이와 같이, 상기 제1 및 제2 전원 라인(PL1, PL2)은 사행 구조를 가지므로, 사행 구조를 갖지 않는 라인보다 길이가 길고, 라인 길이 조절이 용이하다. 따라서, 상기 제1 및 제2 전원 라인(PL1, PL2)은 상기 외부 입력 장치 및 상기 반도체 칩(110)과의 임피던스 매칭이 보다 더 정확하게 이루어질 수 있다.
- [0042] 즉, 상기 제1 및 제2 전원 라인(PL1, PL2), 상기 외부 입력 장치 및 상기 반도체 칩(110) 간의 임피던스 매칭 시, 상기 제1 및 제2 전원 라인(PL1, PL2)의 길이에 따라 저항값이 변한다. 따라서, 상기 외부 입력 장치와 상기 반도체 칩(110)의 저항값을 고려하여 상기 제1 및 제2 전원 라인(PL1, PL2)의 길이를 조절할 수 있다. 이에 따라, 상기 제1 및 제2 전원 라인(PL1, PL2), 상기 외부 입력 장치 및 상기 반도체 칩(110)의 임피던스 매칭을 향상시킬 수 있다.
- [0043] 이와 같이, 상기 제1 및 제2 전원 라인(PL1, PL2), 상기 외부 입력 장치 및 상기 반도체 칩(110) 간의 임피던스 매칭이 이루어지면, 상기 제1 및 제2 전원 라인(PL1, PL2)의 전자파 발생을 감소시킬 수 있다. 이에 따라, 상기 입력전원 신호의 노이즈 발생을 방지하고, 상기 제1 및 제2 전원 라인(PL1, PL2)의 단절 및 상기 반도체 칩(110)의 손상을 방지한다.
- [0044] 도 1 및 도 4를 참조하면, 이 실시예에 있어서, 상기 제2 전원 배선부(PLP2)와 상기 제3 전원 배선부(PLP3)는 서로 동일한 구성을 갖는다. 따라서, 상기 제2 및 제3 전원 배선부(PLP2, PLP3)의 구조에 대한 구체적인 설명에 있어서, 상기 제2 전원 배선부(PLP2)를 일례로 하여 설명한다.
- [0045] 상기 제2 전원 배선부(PLP2)는 제3, 제4, 제5 및 제6 전원 라인(PL3, PL4, PL5, PL6)을 포함하고, 상기 제3, 제4, 제5 및 제6 전원 라인(PL3, PL4, PL5, PL6)은 순차적으로 배치되고, 부분적으로 사행 구조를 가지도록 제3, 제4, 제5 및 제6 전원 라인(PL3, PL4, PL5, PL6)의 폭 방향으로 굴곡진 형상을 갖는다.
- [0046] 본 발명의 일례로, 상기 제3 및 제4 전원 라인(PL3, PL4)은 서로 동일한 방향으로 굴곡지나, 서로 반대 방향으로 굴곡질 수도 있다. 여기서, 상기 제3 전원 라인(PL3)과 상기 제4 전원 라인(PL4) 간의 이격 거리는 직선 형상을 갖는 부분과 굴곡진 형상을 갖는 부분이 서로 상이할 수 있다.
- [0047] 본 발명의 일례로, 상기 제5 및 제6 전원 라인(PL5, PL6)은 서로 동일한 방향으로 굴곡지나, 서로 반대 방향으로 굴곡질 수도 있다. 또한, 상기 제5 및 제6 전원 라인(PL5, PL6)의 굴곡진 부분은 상기 제3 및 제4 라인(PL3, PL4)의 굴곡진 부분과 서로 반대 방향으로 굴곡지나, 서로 동일한 방향으로 굴곡질 수도 있다. 여기서, 상기 제5 전원 라인(PL5)과 상기 제6 전원 라인(PL6)간의 이격 거리는 직선 형상을 갖는 부분에서의 이격 거리와 거리 굴곡진 형상을 갖는 부분에서의 이격 거리가 서로 상이할 수 있다.
- [0048] 이와 같이, 상기 제3, 제4, 제5 및 제6 전원 라인(PL3, PL4, PL5, PL6)은 사행 구조를 가지므로, 사행 구조를 갖지 않는 라인보다 길이가 길고, 라인 길이 조절이 용이하다. 따라서, 상기 제3, 제4, 제5 및 제6 전원 라인(PL3, PL4, PL5, PL6), 상기 외부 입력 장치 및 상기 반도체 칩(110) 간의 임피던스 매칭 시, 상기 외부 입력 장치와 상기 반도체 칩(110)의 저항값을 고려하여 상기 제3, 제4, 제5 및 제6 전원 라인(PL3, PL4, PL5, PL6)의 길이를 조절할 수 있다.
- [0049] 이에 따라, 상기 제3, 제4, 제5 및 제6 전원 라인(PL3, PL4, PL5, PL6), 상기 외부 입력 장치 및 상기 반도체 칩(110)의 임피던스 매칭을 향상시키고, 상기 제3, 제4, 제5 및 제6 전원 라인(PL3, PL4, PL5, PL6)의 전자파 발생을 감소시킬 수 있다. 따라서, 상기 입력전원 신호의 노이즈 발생을 방지하고, 상기 제3, 제4, 제5 및 제6 전원 라인(PL3, PL4, PL5, PL6)의 단절 및 상기 반도체 칩(110)의 손상을 방지한다.
- [0050] 이 실시예에 있어서, 상기 제1, 제2 및 제3 전원 배선부(PLP1, PLP2, PLP3)는 모든 전원 라인들이 사행 구조를 가지나, 상기 베이스 필름(110)의 크기 및 상기 입력 배선부(130)의 라인 개수에 따라 일부 전원 라인들만 사행 구조를 가질 수도 있다.
- [0051] 상술한 바와 같이, 상기 TCP(100)는 상기 입력전원 신호를 전송하는 상기 제1, 제2 및 제3 전원 배선부(PLP1, PLP2, PLP3)가 사행 구조를 가지므로, 상기 제1, 제2 및 제3 전원 배선부(PLP1, PLP2, PLP3)의 전자파 발생을 감소시킬 수 있다. 특히, 전자파는 전원을 전송하는 전원 라인에서 주로 발생하므로, 상기 TCP(100)의 전자파 발생을 방지한다. 이에 따라, 상기 TCP(100)는 상기 전자파로 인한 노이즈 발생 및 신호 왜곡을 방지하고, 상기 반도체 칩(120)의 손상 및 상기 입력 배선부(130)의 단절을 방지하며, 제품의 수율을 향상시킬 수 있다.
- [0052] 한편, 상기 입력 신호 배선부(SLP)의 입력 신호 라인들은 상기 외부 입력 장치로부터 수신된 상기 칩 제어 신호를 상기 반도체 칩(120)에 전송한다. 각 입력 신호 라인(SL)은 상기 제1, 제2 및 제3 전원 배선부(PLP1, PLP2,

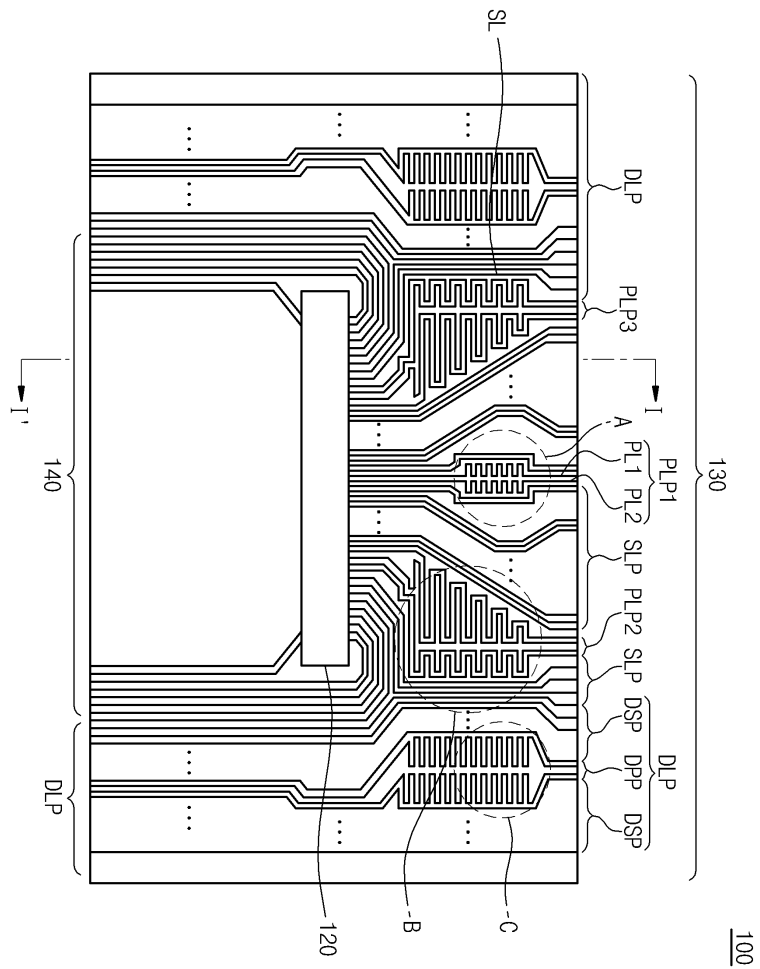
PLP3)와 달리 사행 구조를 갖지 않는다. 즉, 상기 입력 신호 라인(SL)이 사행 구조를 가질 경우, 상기 제어 신호가 왜곡될 우려가 있으므로, 직선 형상을 갖는다.

- [0053] 상기 입력 배선부(130)는 상기 외부 입력 장치로부터 더미 전원 신호 및 더미 제어 신호를 수신하여 상기 출력 배선부(140)와 전기적으로 연결된 외부 장치에 상기 더미 전원 신호 및 상기 더미 제어 신호를 출력하는 더미 배선부(DLP)를 더 구비한다. 상기 더미 전원 신호는 상기 외부 장치와 연결된 구동부를 구동하기 위한 전원이고, 상기 더미 제어 신호는 상기 외부 장치와 연결된 구동부를 제어하기 위한 신호이다.
- [0054] 상기 더미 배선부(DLP)는 상기 제1, 제2 및 제3 전원 배선부(PLP1, PLP2, PLP3) 및 상기 입력 신호 배선부(SLP)와 달리 상기 반도체 칩(120)과 전기적으로 연결되지 않는다.
- [0055] 본 발명의 일례로, 상기 더미 배선부(DLP)는 상기 제1, 제2 및 제3 전원 배선부(PLP1, PLP2, PLP3)와 상기 입력 신호 배선부(SLP)를 사이에 두고 양측에 각각 위치하나, 일측에만 위치할 수도 있다.
- [0056] 상기 더미 배선부(DLP)는 상기 베이스 필름(110)의 제1 단부로부터 상기 제1 단부와 대향하는 제2 단부로 연장되어 형성된다. 상기 더미 배선부(DLP)는 상기 더미 전원 신호를 전송하는 더미 전원 배선부(DPP) 및 상기 더미 제어 신호를 전송하는 더미 신호 배선부(DSP)를 포함한다.
- [0057] 도 5는 도 1의 'C' 부분을 확대하여 나타낸 평면도이다.
- [0058] 도 1 및 도 5를 참조하면, 상기 더미 전원 배선부(DPP)는 서로 이격되어 위치하는 두 개의 더미 전원 라인들(DPL1, DPL2)로 이루어진다. 상기 더미 전원 라인들(DPL1, DPL2)은 부분적으로 사행 구조를 가지도록 상기 더미 전원 라인들(DPL1, DPL2)의 폭 방향으로 굴곡진 형상을 갖는다. 본 발명의 일례로, 상기 더미 전원 라인들(DPL1, DPL2)은 굴곡진 부분이 서로 반대 방향으로 굴곡지나, 서로 동일한 방향으로 굴곡질 수도 있다.
- [0059] 이와 같이, 전원이 인가되는 상기 더미 전원 라인들(DPL1, DPL2)이 사행 구조를 가지므로, 직선 라인보다 길이가 길고, 라인 길이 조절이 용이하다. 따라서, 상기 더미 전원 배선부(DPP)와 상기 외부 장치와의 임피던스 매칭을 향상시킬 수 있다. 이에 따라, 상기 더미 전원 배선부(DPP)의 전자파 발생을 감소시키고, 상기 전자파로 인한 노이즈 발생 및 신호 왜곡을 방지하며, 상기 더미 배선부(DLP)의 단절을 방지한다.
- [0060] 한편, 상기 출력 배선부(140)는 상기 베이스 필름(110)의 일면에 형성되고, 상기 반도체 칩(120)으로부터 출력된 상기 제2 신호를 전송한다. 상기 출력 배선부(140)는 상기 반도체 칩(120) 및 상기 외부 장치와 전기적으로 연결된 다수의 출력 라인으로 이루어진다. 상기 출력 라인들의 제1 단부에는 상기 제2 신호를 입력받는 제2 입력 패드부(OIP)가 형성되고, 상기 제1 단부와 대향하는 상기 출력 라인들의 제2 단부에는 상기 제2 신호를 출력하는 제2 출력 패드부(OOP)가 형성된다. 상기 제2 입력 패드부(OIP)는 상기 반도체 칩(120)의 출력 범프들(122)과 전기적으로 연결되고, 상기 제2 출력 패드부(OOP)는 상기 외부 장치와 전기적으로 연결된다.
- [0061] 상기 베이스 필름(110)은 상기 반도체 칩(120)이 실장되는 부분이 제거되어 개구부(111)가 형성된다. 상기 입력 배선부(130)의 제1 출력 패드부(IOP)와 상기 출력 배선부(140)의 제2 입력 패드부(OIP)는 상기 개구부(111)를 통해 노출되고, 상기 반도체 칩(120)은 상기 개구부(111)를 통해 상기 제1 출력 패드부(IOP) 및 상기 제2 입력 패드부(OIP)와 전기적으로 연결된다.
- [0062] 상기 TCP(100)는 상기 반도체 칩(120)을 상기 베이스 필름(110)에 고정하는 접착 부재(150) 및 상기 입력 배선부(130)와 상기 출력 배선부(140)를 보호하는 보호 필름(160)을 더 구비한다. 상기 접착 부재(150)는 상기 반도체 칩(120)을 둘러싸고, 상기 개구부(111)를 밀봉하여 상기 반도체 칩(120)을 상기 베이스 필름(110)에 고정한다. 상기 보호 필름(160)은 상기 입력 배선부(130)와 상기 출력 배선부(140)를 커버하여 상기 입력 배선부(130) 및 상기 출력 배선부(140)를 보호한다. 상기 보호 필름(160)은 상기 베이스 필름(110)의 개구부와 대응하는 영역이 제거되어 상기 제1 출력 패드부(IOP)와 상기 제2 입력 패드부(OIP)를 노출한다. 상기 보호 필름(160)은 상기 외부 입력 장치와 상기 입력 배선부(130)를 전기적으로 연결하고 상기 외부 장치와 상기 출력 배선부(140)를 전기적으로 연결하기 위해 상기 베이스 필름(110)의 제1 및 제2 단부와 대응하는 영역에서 제거된다.
- [0063] 도 6은 도 1에 도시된 테이프캐리어패키지의 전자파를 측정된 그래프이다.
- [0064] 도 1 및 도 6을 참조하면, 도 6에 도시된 그래프(EL)는 상기 TCP(100)로부터 출력된 전자파를 주파수 변화에 따라 측정된 그래프이다. 상기 TCP(100)로부터 출력된 전자파는 노이즈로 인식되는 기준선(CL)보다 최소 약 5dB보다 낮게 나타난다. 즉, 상기 입력 배선부(130)의 사행 구조가 전자파를 억제하므로, 상기 TCP(100)로부터 전자파가 거의 발생하지 않고, 노이즈로 인해 상기 제1 신호가 왜곡되는 것을 방지한다.

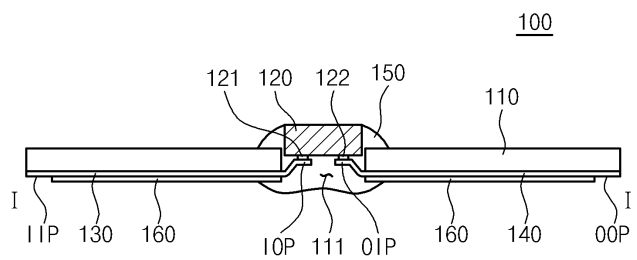
- [0065] 도 7은 본 발명의 일 실시예에 따른 표시장치를 나타낸 평면도이다.
- [0066] 도 1 및 도 7을 참조하면, 본 발명의 표시장치(500)는 다수의 데이터 TCP, 다수의 게이트 TCP, 액정표시패널(300) 및 인쇄회로기판(400)을 포함한다.
- [0067] 상기 액정표시패널(300)은 어레이 기관(310), 상기 어레이 기관(320)과 마주하는 대향 기관(320), 및 상기 어레이 기관(310)과 상기 대향 기관(320)과의 사이에 개재된 액정층(미도시)을 포함한다.
- [0068] 상기 어레이 기관(310)은 제1 내지 제n 게이트 라인(GL1, ..., GLn), 제1 내지 제m 데이터 라인(DL1, ..., DLm) 및 다수의 화소로 이루어진다.
- [0069] 상기 제1 내지 제n 게이트 라인(GL1, ..., GLn)은 일 방향으로 연장되어 형성되고, 영상에 대응하는 게이트 신호를 전송한다. 상기 제1 내지 제m 데이터 라인(DL1, ..., DLm)은 상기 제1 내지 제n 게이트 라인(GL1, ..., GLn)과 절연되어 교차하고, 상기 영상에 대응하는 데이터 신호를 전송한다.
- [0070] 상기 화소들은 상기 제1 내지 제n 게이트 라인(GL1, ..., GLn)과 상기 제1 내지 제m 데이터 라인(DL1, ..., DLm)에 의해 정의되고, 상기 영상을 표시하는 최소 단위이다. 각 화소(313)는 상기 영상에 대응하는 화소 전압을 스위칭하는 박막 트랜지스터(311) 및 상기 화소 전압을 출력하는 화소 전극(312)을 포함한다. 상기 박막 트랜지스터(311)는 하나의 게이트 라인 및 하나의 데이터 라인과 전기적으로 연결되고, 상기 화소 전극(312)은 상기 박막 트랜지스터(311)의 드레인 전극과 전기적으로 연결된다.
- [0071] 상기 데이터 TCP들과 상기 게이트 TCP들은 상기 어레이 기관(310)의 단부에 부착된다. 이 실시예에 있어서, 각 데이터 TCP(100)는 도 1에 도시된 TCP(100)와 동일한 구성을 가지므로, 이하, 참조 번호를 병기하고, 그 중복된 설명은 생략한다. 여기서, 설명의 편의를 위해, 상기 데이터 TCP(100)에 실장된 반도체 칩(120)을 데이터 구동칩(120)이라 한다.
- [0072] 상기 데이터 TCP(100)의 입력 배선부(130)는 상기 인쇄회로기판(400)과 전기적으로 연결되고, 상기 데이터 TCP(100)의 출력 배선부(140)는 상기 어레이 기관(310)의 상기 제1 내지 제m 데이터 라인(DL1, ..., DLm)과 전기적으로 연결된다. 상기 입력 배선부(130)는 상기 인쇄회로기판(400)으로부터 상기 데이터 구동칩(120)을 구동하기 위한 데이터 전원 신호와 상기 영상에 대응하는 데이터 제어 신호를 수신하여 상기 데이터 구동칩(120)에 제공한다. 상기 입력 배선부(130)는 상기 데이터 전원 신호를 전송하는 전원 배선부(PLP1, PLP2, PLP3)가 사행 구조를 가지므로, 길이 조절이 용이하고, 직선 라인보다 길게 형성된다. 따라서, 상기 입력 배선부(130)는 상기 인쇄회로기판(400)과의 임피던스 매칭에 따라 각 전원 라인의 길이를 조절할 수 있으므로, 전자파를 감소시키고, 노이즈로 인한 데이터 제어 신호의 왜곡을 방지할 수 있다.
- [0073] 상기 데이터 TCP(100)의 출력 배선부(140)는 상기 데이터 구동칩(120)으로부터 출력된 데이터 제어 신호를 상기 제1 내지 제m 데이터 라인(DL1, ..., DLm)에 제공한다.
- [0074] 상기 입력 배선부(130)는 상기 게이트 TCP들을 구동하기 위한 게이트 전원 신호 및 상기 게이트 TCP들을 제어하기 위한 게이트 제어 신호를 전송하는 더미 배선부(DLP)를 더 포함한다. 더미 배선부(DLP)는 상기 게이트 전원 신호를 전송하는 더미 전원 배선부(DPP)와 상기 게이트 제어 신호를 전송하는 더미 신호 배선부(DSP)로 이루어지고, 상기 더미 전원 배선부(DPP)와 상기 더미 신호 배선부(DSP)는 상기 어레이 기관(310)과 전기적으로 연결된다.
- [0075] 상기 어레이 기관(310)은 상기 더미 전원 배선부(DPP) 및 상기 더미 신호 배선(DSP)와 전기적으로 연결되어 상기 게이트 전원 신호 및 상기 게이트 제어 신호를 수신하는 연결 배선부(LL1, LL2)를 더 포함한다. 상기 연결 배선부(LL1, LL2)는 상기 게이트 TCP들 중 어느 하나와 전기적으로 연결되고, 상기 더미 배선부(DLP)로부터 출력된 상기 게이트 전원 신호와 상기 게이트 제어 신호를 연결된 게이트 TCP에 제공한다.
- [0076] 이 실시예에 있어서, 상기 게이트 TCP들은 상기 데이터 TCP들 및 상기 어레이 기관(310)을 통해 상기 게이트 전원 신호 및 상기 게이트 제어 신호를 제공받는다. 그러나, 상기 게이트 TCP들을 상기 게이트 전원 신호와 상기 게이트 제어 신호를 출력하는 별도의 게이트 인쇄회로기판과 전기적으로 연결되어 상기 게이트 인쇄회로기판으로부터 상기 게이트 전원 신호와 상기 게이트 제어 신호를 제공받을 수도 있다. 이러한 경우, 상기 데이터 TCP(100)와 상기 어레이 기관(310)은 상기 더미 배선부(DLP)와 상기 연결 배선부(LL1, LL2)를 각각 구비할 필요가 없다.
- [0077] 상기 게이트 TCP들은 상기 게이트 신호를 출력하여 상기 어레이 기관(310)에 제공한다. 본 발명의 일례로, 상기 게이트 TCP들은 상기 어레이 기관(310)의 화소부들 사이에 두고 서로 대향하는 상기 어레이 기관(310)의 양

도면

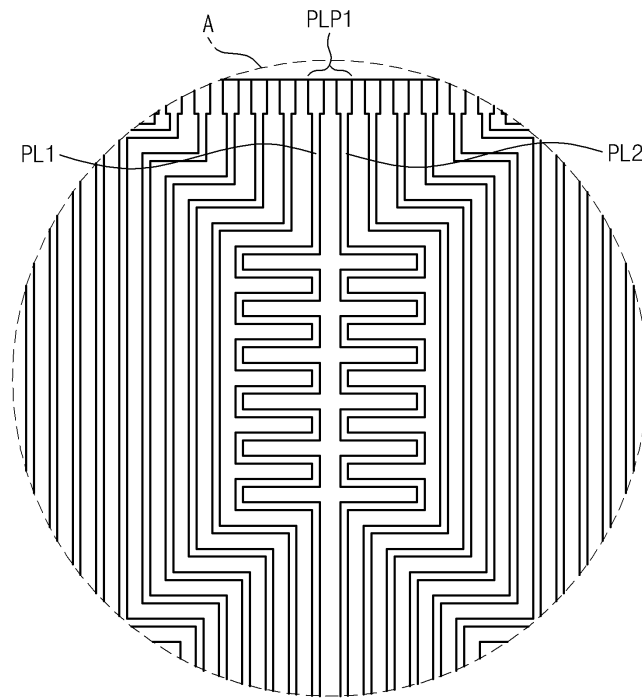
도면1



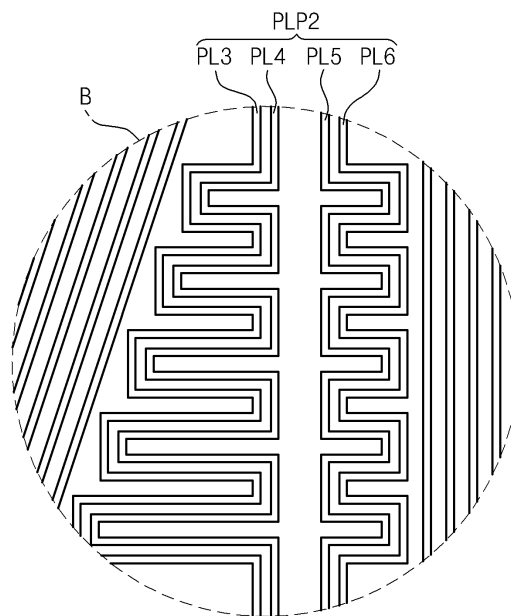
도면2



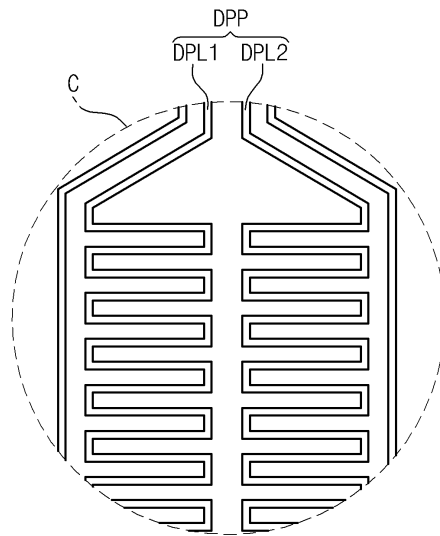
도면3



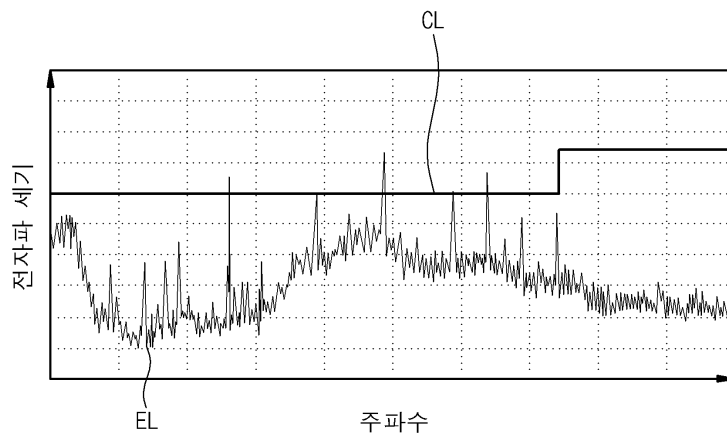
도면4



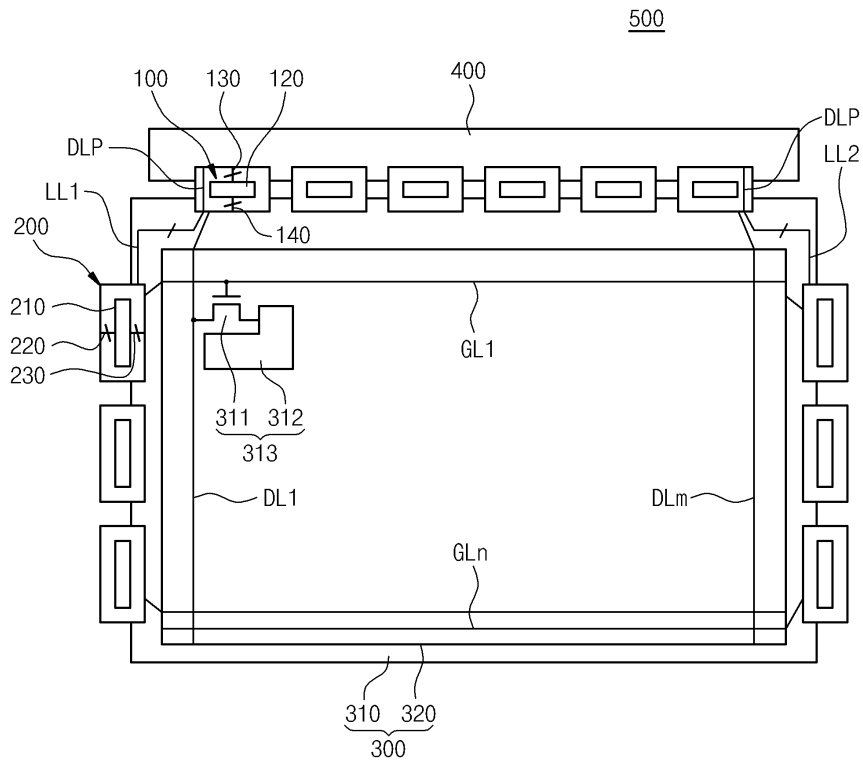
도면5



도면6



도면7



专利名称(译)	标题：信号传输构件和具有其的显示装置		
公开(公告)号	KR101352344B1	公开(公告)日	2014-01-15
申请号	KR1020060088713	申请日	2006-09-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LIM MYONG BIN 임명빈 LEE JAE HAN 이재한 SON SUN KYU 손선규 HWANG IN YONG 황인용		
发明人	임명빈 이재한 손선규 황인용		
IPC分类号	G02F1/133 G02F1/136		
CPC分类号	H05K1/0216 G02F1/13452 H05K1/025 H05K1/189 H05K2201/09236 H05K2201/09263 H05K2201/09781 H05K2201/10136 H05K2201/10681		
代理人(译)	KWON, HYUK SOO OH, SE 六月 宋, 云何		
其他公开文献	KR1020080024401A		
外部链接	Espacenet		

摘要(译)

用于液晶显示 (LCD) 设备的信号传输部件包括用于从外部源接收功率并用于驱动设置在传输部件或显示设备上的半导体芯片的电源线。电力线弯曲以便包含蛇形结构, 这使得电力线的长度容易调整并且导致线比形成有相对直的结构电力线更长。因此, 可以调整电力线的长度以考虑芯片和外部源的相应阻抗, 以抑制电力线中的电磁波。这防止了由电磁波引起的噪声的产生, 信号的失真, 半导体芯片的损坏以及其输入互连的断开, 从而提高了产品产量。

