



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월18일
(11) 등록번호 10-1256011
(24) 등록일자 2013년04월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/36 (2006.01)
G02F 1/13 (2006.01)
(21) 출원번호 10-2006-0034678
(22) 출원일자 2006년04월17일
심사청구일자 2011년04월06일
(65) 공개번호 10-2007-0102882
(43) 공개일자 2007년10월22일
(56) 선행기술조사문헌
KR1020030008044 A
JP2005316211 A
KR1020040053640 A
JP2005107491 A

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 95 (농서동)
(72) 발명자
김우철
경기도 의정부시 신흥로 358-1 (가능동)
(74) 대리인
오세준, 권혁수, 송윤호

전체 청구항 수 : 총 12 항

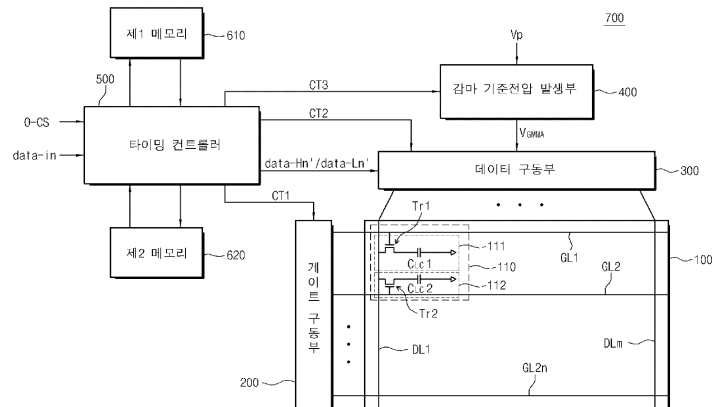
심사관 : 조기덕

(54) 발명의 명칭 구동장치 및 이를 갖는 표시장치

(57) 요약

구동장치 및 이를 갖는 표시장치에서, 메모리에는 영상 데이터가 프레임 단위로 순차적으로 저장되고, 메모리 컨트롤부는 메모리에 기 저장된 이전 프레임의 이전단 영상데이터를 독출하고, 외부로부터 제공된 현재 프레임의 현재단 영상데이터를 메모리에 저장한다. 제1 변환부는 메모리 컨트롤부로부터의 현재단 영상데이터를 제1 및 제2 서브 영상데이터로 변환하고, 제2 변환부는 메모리 컨트롤부로부터의 이전단 영상데이터를 제3 및 제4 서브 영상데이터로 변환한다. 제1 보상부는 제3 서브 영상데이터를 이용하여 제1 서브 영상데이터를 보상하고, 제2 보상부는 제4 서브 영상데이터를 이용하여 제2 서브 영상데이터를 보상한다. 따라서, 서브 화소별 서브 영상데이터를 정확하게 보상할 수 있다.

대표도



특허청구의 범위

청구항 1

영상 데이터를 프레임 단위로 순차적으로 저장하는 메모리;

상기 메모리에 기 저장된 이전 프레임에 대응하는 이전단 영상데이터를 독출하고, 외부로부터 현재 프레임에 대응하는 현재단 영상데이터를 입력받아 상기 메모리에 저장하며, 현재 프레임에서 상기 이전단 및 현재단 영상데이터를 출력하는 메모리 컨트롤부;

상기 메모리 컨트롤부로부터 출력된 상기 현재단 영상데이터를 입력받고, 서로 다른 계조값을 갖는 제1 및 제2 서브 영상데이터로 변환하여 출력하는 제1 변환부;

상기 메모리 컨트롤부로부터 출력된 상기 이전단 영상데이터를 입력받고, 서로 다른 계조값을 갖는 제3 및 제4 서브 영상데이터로 변환하여 출력하는 제2 변환부;

상기 제3 서브 영상데이터를 이용하여 상기 제1 서브 영상데이터를 보상하여 제1 보정 영상데이터를 출력하는 제1 보상부;

상기 제4 서브 영상데이터를 이용하여 상기 제2 서브 영상데이터를 보상하여 제2 보정 영상데이터를 출력하는 제2 보상부; 및

상기 제1 및 제2 보정 영상데이터가 출력되는 시점을 제어하는 출력부를 포함하는 것을 특징으로 하는 구동장치.

청구항 2

제1항에 있어서, 상기 제1 서브 영상데이터는 상기 제2 서브 영상데이터보다 높은 계조값을 갖고,

상기 제3 서브 영상데이터는 상기 제4 서브 영상데이터보다 높은 계조값을 갖는 것을 특징으로 하는 구동장치.

청구항 3

제2항에 있어서, 상기 입력 영상데이터는 제1 감마곡선의 한 지점에 대응하는 값이고, 상기 제1 서브 영상데이터는 상기 제1 감마곡선과 다른 제2 감마곡선의 한 지점에 대응하는 값이며, 상기 제2 서브 영상데이터는 제1 및 제2 감마곡선과 다른 제3 감마곡선의 한 지점에 대응하는 값(단, 상기 제1 내지 제3 감마곡선은 그레이 대 전압을 나타냄)이고,

상기 제1 내지 제3 감마곡선은 동일한 그레이에서 상기 제2, 제1 및 제3 감마곡선의 순서로 높은 전압레벨을 갖는 것을 특징으로 하는 구동장치.

청구항 4

제3항에 있어서, 상기 제1 서브 영상데이터는 상기 입력 영상데이터의 제1 그레이에서 나타난 상기 제2 감마곡선의 전압과 대응하는 상기 제1 감마곡선의 제2 그레이로 변환되고,

상기 제2 서브 영상데이터는 상기 입력 영상데이터의 상기 제1 그레이에서 나타난 상기 제3 감마곡선의 전압과 대응하는 상기 제1 감마곡선의 제3 그레이로 변환되는 것을 특징으로 하는 구동장치.

청구항 5

제1항에 있어서, 상기 제1 보상부는 상기 제1 서브 영상데이터와 상기 제3 서브 영상데이터의 차이값이 기 설정된 제1 기준값 이하이면 상기 제1 서브 영상데이터와 동일한 값을 갖는 상기 제1 보정 영상데이터를 생성하고, 상기 제1 기준값보다 크면 상기 제1 서브 영상데이터보다 기 설정된 제1 보정값만큼 증가된 상기 제1 보정 영상데이터를 생성하는 것을 특징으로 하는 구동장치.

청구항 6

제1항에 있어서, 상기 제2 보상부는 상기 제2 서브 영상데이터와 상기 제4 서브 영상데이터의 차이값이 기 설정된 제2 기준값 이하이면 상기 제2 서브 영상데이터와 동일한 값을 갖는 상기 제2 보정 영상데이터를 생성하고,

상기 제2 기준값보다 크면 상기 제2 서브 영상데이터보다 기 설정된 제2 보정값만큼 증가된 상기 제2 보정 영상 데이터를 생성하는 것을 특징으로 하는 구동장치.

청구항 7

제1항에 있어서, 상기 출력부는 상기 제1 및 제2 보정 영상데이터를 순차적으로 출력하는 것을 특징으로 하는 구동장치.

청구항 8

영상 데이터를 프레임 단위로 순차적으로 저장하는 메모리;

연속하는 두 프레임에 대응하는 영상데이터를 입력받아 제1 및 제2 보정 영상데이터를 순차적으로 출력하는 타이밍 컨트롤러;

외부로부터의 전원전압에 응답하여 감마기준전압을 출력하는 감마기준전압 발생부;

상기 감마기준전압에 근거하여 제1 구간동안 상기 제1 보정 영상데이터를 제1 데이터 전압으로 변환하여 출력하고, 제2 구간동안 상기 제2 보정 영상데이터를 제2 데이터 전압으로 변환하여 출력하는 데이터 구동부;

상기 제1 구간동안 제1 게이트 신호를 출력하고, 상기 제2 구간동안 제2 게이트 신호를 출력하는 게이트 구동부; 및

상기 제1 게이트신호 및 상기 제1 데이터 전압을 입력받는 제1 서브화소 및 상기 제2 게이트 신호 및 상기 제2 데이터 전압을 입력받는 제2 서브화소를 포함하는 다수의 화소로 이루어져 영상을 표시하는 표시부를 포함하고, 상기 타이밍 컨트롤러는,

상기 메모리에 기 저장된 이전 프레임에 대응하는 이전단 영상데이터를 독출하고, 외부로부터 제공된 현재 프레임에 대응하는 현재단 영상데이터를 저장하며, 현재 프레임에서 상기 이전단 및 현재단 영상데이터를 출력하는 메모리 컨트롤러;

상기 메모리 컨트롤러로부터 출력된 상기 현재단 영상데이터를 입력받아 서로 다른 계조값을 갖는 제1 및 제2 서브 영상데이터로 변환하여 출력하는 제1 변환부;

상기 메모리 컨트롤러로부터 출력된 상기 이전단 영상데이터를 입력받아 서로 다른 계조값을 갖는 제3 및 제4 서브 영상데이터로 변환하여 출력하는 제2 변환부;

상기 제3 서브 영상데이터에 근거하여 상기 제1 서브 영상데이터를 보상하여 상기 제1 보정 영상데이터를 출력하는 제1 보상부;

상기 제4 서브 영상데이터에 근거하여 상기 제2 서브 영상데이터를 보상하여 상기 제2 보정 영상데이터를 출력하는 제2 보상부; 및

상기 제1 및 제2 보정 영상데이터가 출력되는 시점을 제어하는 출력부를 포함하는 것을 특징으로 하는 표시장치.

청구항 9

제8항에 있어서, 상기 제1 서브 영상데이터는 상기 제2 서브 영상데이터보다 높은 계조값을 갖고,

상기 제3 서브 영상데이터는 상기 제4 서브 영상데이터보다 높은 계조값을 갖는 것을 특징으로 하는 표시장치.

청구항 10

제8항에 있어서, 상기 표시부는,

상기 화소가 구동되는 1H 시간 중 상기 제1 서브화소가 구동되는 초기 H/2 기간동안 상기 제1 게이트 신호를 입력받는 제1 게이트 라인;

상기 화소가 구동되는 1H 시간 중 상기 제2 서브화소가 구동되는 후기 H/2 기간동안 상기 제2 게이트 신호를 입력받는 제2 게이트 라인; 및

상기 초기 H/2 기간동안 상기 제1 데이터 전압을 입력받고, 상기 후기 H/2 기간동안 상기 제2 데이터 전압을 입

력받는 데이터 라인을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 11

제10항에 있어서, 상기 제1 서브화소는,

상기 제1 게이트 라인 및 데이터 라인에 전기적으로 연결되고, 상기 제1 게이트 신호에 응답하여 상기 제1 데이터 전압을 출력하는 제1 스위칭 소자; 및

상기 제1 데이터 전압이 충전되는 제1 액정 커패시터를 포함하고,

상기 제2 서브화소는,

상기 제2 게이트 라인 및 데이터 라인에 전기적으로 연결되고, 상기 제2 게이트 신호에 응답하여 상기 제2 데이터 전압을 출력하는 제2 스위칭 소자; 및

상기 제2 데이터 전압이 충전되는 제2 액정 커패시터를 포함하는 것을 특징으로 하는 표시장치.

청구항 12

제11항에 있어서, 상기 제1 데이터 전압은 상기 제2 데이터 전압보다 높은 전압레벨을 갖는 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0018] 본 발명은 컬러필터기판의 제조방법에 관한 것으로, 더욱 상세하게는 공정 효율성을 향상시킬 수 있는 컬러필터기판의 제조방법에 관한 것이다.
- [0019] 일반적으로, 액정표시장치는 음극선관 표시장치와 비교하였을 때, 박형으로 만들 수 있는 장점을 갖는 반면에 시야각(viewing angle)이 좁은 단점을 갖는다.
- [0020] 액정표시장치의 좁은 시야각을 개선하기 위하여, 최근에는 광시야각 특성을 갖는 피브이에이(Patterned Vertical Alignment: PVA) 모드, 엠브이에이(Multi-domain Vertical Alignment: MVA) 모드 및 에스-피브이에이(Super-Patterned Vertical Alignment: S-PVA) 모드 액정표시장치가 개발되고 있다.
- [0021] 특히, S-PVA 모드 액정표시장치는 두 개의 서브화소로 이루어진 화소를 구비하고, 화소에 서로 다른 그레이를 갖는 도메인을 형성하기 위하여 두 개의 서브화소는 서로 다른 서브전압이 인가되는 메인 및 서브 화소전극을 각각 구비한다. 이때, 액정표시장치를 바라보는 사람의 눈은 두 개의 서브전압의 중간값을 인식하므로, 중간 계조 이하에서 감마커브가 왜곡되어 측면 시야각이 저하되는 것을 방지한다. 이로써, 액정표시장치의 측면 시야각을 개선할 수 있다.
- [0022] 최근 S-PVA 모드 액정표시장치는 액정의 응답 속도를 고속화하기 위하여 DCC(Dynamic Capacitance Compensation) 방식을 채택하고 있다. DCC 방식은 현재 프레임의 목표 계조와 이전 프레임의 계조를 고려하여 보정 계조를 현재 프레임에 인가하여 액정의 응답 속도를 고속화시키는 방식이다.
- [0023] 종래의 S-PVA 모드 액정표시장치는 입력 계조를 두 개의 서브 계조로 분할하기 이전에 입력 계조를 보정하여 보정 계조를 생성하고, 생성된 보정 계조를 근거로하여 두 개의 서브 계조를 생성한다. 그러나, 이와 같이 입력 계조로부터 보정된보정 계조를 근거로하여 두 개의 서브 계조를 생성하면, 각 서브화소에 최적의 보정 계조를 인가할 수 없어 응답 속도 및 표시 품질이 저하된다.

발명이 이루고자 하는 기술적 과제

- [0024] 따라서, 본 발명의 목적은 서브 화소별 서브 영상데이터들을 독립적으로 보정하기 위한 구동장치를 제공하는 것이다.

[0025] 또한, 본 발명의 다른 목적은 상기한 구동장치를 구비하는 표시장치를 제공하는 것이다.

발명의 구성 및 작용

[0026] 본 발명에 따른 구동장치는 메모리, 메모리 컨트롤부, 제1 변환부, 제2 변환부, 제1 보상부, 제2 보상부 및 출력부를 포함한다.

[0027] 상기 메모리는 영상 데이터를 프레임 단위로 순차적으로 저장한다. 상기 메모리 컨트롤부는 상기 메모리에 기 저장된 이전 프레임에 대응하는 이전단 영상데이터를 독출하고, 외부로부터 현재 프레임에 대응하는 현재단 영상데이터를 입력받아 상기 메모리에 저장하며, 현재 프레임에서 상기 이전단 및 현재단 영상데이터를 출력한다.

[0028] 상기 제1 변환부는 상기 메모리 컨트롤부로부터 출력된 상기 현재단 영상데이터를 입력받아 서로 다른 값을 갖는 제1 및 제2 서브 영상데이터로 변환하여 출력한다. 상기 제2 변환부는 상기 메모리 컨트롤부로부터 출력된 상기 이전단 영상데이터를 입력받아 서로 다른 값을 갖는 제3 및 제4 서브 영상데이터로 변환하여 출력한다.

[0029] 상기 제1 보상부는 상기 제3 서브 영상데이터를 이용하여 상기 제1 서브 영상데이터를 보상하여 제1 보정 영상데이터를 출력하고, 상기 제2 보상부는 상기 제4 서브 영상데이터를 이용하여 상기 제2 서브 영상데이터를 보상하여 제2 보정 영상데이터를 출력한다. 상기 출력부는 상기 제1 및 제2 보정 영상데이터가 출력되는 시점을 제어한다.

[0030] 본 발명에 따른 표시장치는 메모리, 타이밍 컨트롤러, 감마기준전압 발생부, 데이터 구동부, 게이트 구동부 및 표시부를 포함한다.

[0031] 상기 메모리는 영상 데이터를 프레임 단위로 순차적으로 저장하고, 상기 타이밍 컨트롤러는 연속하는 두 프레임에 대응하는 영상데이터를 입력받아 제1 및 제2 보정 영상데이터를 순차적으로 출력한다. 상기 감마기준전압 발생부는 외부로부터의 전원전압에 응답하여 감마기준전압을 출력한다. 상기 데이터 구동부는 상기 감마기준전압에 근거하여 제1 구간동안 상기 제1 보정 영상데이터를 제1 데이터 전압으로 변환하여 출력하고, 제2 구간동안 상기 제2 보정 영상데이터를 제2 데이터 전압으로 변환하여 출력한다. 상기 게이트 구동부는 상기 제1 구간동안 제1 게이트 신호를 출력하고, 상기 제2 구간동안 제2 게이트 신호를 출력한다. 상기 표시부는 상기 제1 게이트 신호 및 상기 제1 데이터 전압을 입력받는 제1 서브화소 및 상기 제2 게이트 신호 및 상기 제2 데이터 전압을 입력받는 제2 서브화소를 포함하는 다수의 화소로 이루어져 영상을 표시한다.

[0032] 상기 타이밍 컨트롤러는 메모리 컨트롤부, 제1 변환부, 제2 변환부, 제1 보상부, 제2 보상부 및 출력부를 포함한다. 상기 메모리 컨트롤부는 상기 메모리에 기 저장된 이전 프레임에 대응하는 이전단 영상데이터를 독출하고, 외부로부터 제공된 현재 프레임에 대응하는 현재단 영상데이터를 저장하며, 현재 프레임에서 상기 이전단 및 현재단 영상데이터를 출력한다. 상기 제1 변환부는 상기 메모리 컨트롤부로부터 출력된 상기 현재단 영상데이터를 입력받아 서로 다른 값을 갖는 제1 및 제2 서브 영상데이터로 변환하여 출력한다. 상기 제2 변환부는 상기 메모리 컨트롤부로부터 출력된 상기 이전단 영상데이터를 입력받아 서로 다른 값을 갖는 제3 및 제4 서브 영상데이터로 변환하여 출력한다.

[0033] 상기 제1 보상부는 상기 제3 서브 영상데이터에 근거하여 상기 제1 서브 영상데이터를 보상하여 상기 제1 보정 영상데이터를 출력하고, 상기 제2 보상부는 상기 제4 서브 영상데이터에 근거하여 상기 제2 서브 영상데이터를 보상하여 상기 제2 보정 영상데이터를 출력한다. 상기 출력부는 상기 제1 및 제2 보정 영상데이터가 출력되는 시점을 제어한다.

[0034] 이러한 구동장치 및 이를 갖는 표시장치에 따르면, 외부로부터 제공된 영상데이터를 제1 및 제2 서브 영상데이터로 변환한 이후에 상기 제1 및 제2 서브 영상데이터를 독립적으로 보상하여 제1 및 제2 보정 영상데이터를 생성함으로써, 각 서브화소에 최적의 보정 영상데이터를 제공할 수 있다.

[0035] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0036] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블럭도이고, 도 2는 도 1에 도시된 타이밍 컨트롤러의 내부 블럭도이다.

[0037] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(700)는 표시부(100), 게이트 구동부(200), 데이터 구동부(300), 감마기준전압 발생부(400), 타이밍 컨트롤러(500), 제1 및 제2 메모리(610, 620)를 포함한다.

[0038] 상기 표시부(100)에는 게이트 전압을 입력받는 다수의 게이트 라인(GL1 ~ GL2n)과 데이터 전압을 입력받는 다수

의 데이터 라인(DL1 ~ DLm)이 구비된다. 상기 다수의 게이트 라인(GL1 ~ GL2n)과 다수의 데이터 라인(DL1 ~ DLm)에 의해서 상기 표시부(100)에는 매트릭스 형태로 다수의 화소영역이 정의되고, 각 화소영역에는 제1 서브 화소(111) 및 제2 서브화소(112)로 이루어진 화소(110)가 구비된다. 상기 제2 서브화소(111)는 제1 박막 트랜지스터(Tr1) 및 제1 액정 커패시터(C_{LC1})로 이루어지고, 상기 제2 서브화소(112)는 제2 박막 트랜지스터(Tr2) 및 제2 액정 커패시터(C_{LC2})로 이루어진다.

[0039] 상기 게이트 구동부(200)는 상기 표시부(100)에 구비된 다수의 게이트 라인(GL1 ~ GL2n)과 전기적으로 연결되어 상기 다수의 게이트 라인(GL1 ~ GL2n)에 상기 게이트 신호를 제공한다. 상기 데이터 구동부(300)는 상기 표시부(100)에 구비된 다수의 데이터 라인(DL1 ~ DLm)과 전기적으로 연결되고, 상기 다수의 데이터 라인(DL1 ~ DLm)에 제1 또는 제2 데이터 전압을 인가한다.

[0040] 상기 타이밍 컨트롤러(500)는 외부의 그래픽 제어기(미도시)로부터 영상데이터(data-in) 및 각종 제어신호(O-CS)를 입력받는다. 상기 타이밍 컨트롤러(500)는 상기 영상데이터(data-in)를 보상하여 제1 보정 영상데이터(data-Hn') 또는 제2 보정 영상데이터(data-Ln')를 출력한다. 또한, 상기 타이밍 컨트롤러(500)는 상기 각종 제어신호(O-CS), 예를 들면 수직동기신호, 수평동기신호, 메인클럭, 데이터 인에이블신호 등을 입력받아 제1, 제2 및 제3 제어신호(CT1, CT2, CT3)를 출력한다.

[0041] 상기 제1 제어신호(CT1)는 상기 게이트 구동부(200)의 동작을 제어하기 위한 신호로써 상기 게이트 구동부(200)로 제공된다. 상기 제1 제어신호(CT1)는 상기 게이트 구동부(200)의 동작을 개시하는 수직개시신호, 상기 게이트 전압의 출력 시기를 결정하는 게이트 클럭신호 및 게이트 전압의 온 펄스폭을 결정하는 출력 인에이블 신호 등을 포함한다.

[0042] 상기 게이트 구동부(200)는 상기 타이밍 컨트롤러(500)로부터의 상기 제1 제어신호(CT1)에 응답하여 상기 게이트 신호를 상기 다수의 게이트 라인(GL1 ~ GL2n)에 순차적으로 출력한다.

[0043] 상기 제2 제어신호(CT2)는 상기 데이터 구동부(300)의 동작을 제어하는 신호로써 상기 데이터 구동부(300)로 제공된다. 상기 제2 제어신호(CT2)는 상기 데이터 구동부(300)의 동작을 개시하는 수평개시신호, 상기 데이터 전압의 극성을 반전시키는 반전신호 및 상기 데이터 구동부(300)로부터 상기 제1 또는 제2 데이터 전압이 출력되는 시기를 결정하는 출력지시신호 등을 포함한다.

[0044] 상기 데이터 구동부(300)는 상기 타이밍 컨트롤러(500)로부터의 상기 제2 제어신호(CT2)에 응답하여 한 행의 화소에 대응하는 상기 제1 보정 영상데이터(data-Hn') 또는 제2 보정 영상데이터(data-Ln')를 순차적으로 입력받는다.

[0045] 한편, 상기 감마기준전압 발생부(400)는 외부로부터 전원전압을 입력받고, 상기 타이밍 컨트롤러(500)로부터의 상기 제3 제어신호(CT3)에 응답하여 감마기준전압(V_{GMMA})을 생성한다. 상기 데이터 구동부(300)는 상기 감마기준전압 발생부(400)로부터의 상기 감마기준전압(V_{GMMA})에 근거하여 상기 제1 서브화소(111)를 구동하는 제1 구간동안에는 상기 제1 보정 영상데이터(data-Hn')를 상기 제1 데이터 전압으로 변환하여 출력하고, 상기 제2 서브화소(112)를 구동하는 제2 구간동안에는 상기 제2 보정 영상데이터(data-Ln')를 제2 데이터 전압으로 변환하여 출력한다. 여기서, 상기 제1 데이터 전압은 상기 제2 데이터 전압보다 높은 전압 레벨을 갖는다.

[0046] 도 2에 도시된 바와 같이, 상기 타이밍 컨트롤러(500)는 변환부(510), 제1 메모리 컨트롤부(520), 제2 메모리 컨트롤부(530), 제1 보상부(540), 제2 보상부(550) 및 출력부(560)를 포함한다.

[0047] 상기 변환부(510)는 외부로부터 한 프레임 분량의 영상데이터(data-in)를 입력받아 서로 다른 값을 갖는 제1 및 제2 서브 영상데이터(data-Hn, data-Ln)로 변환하여 출력한다. 구체적으로, 상기 제1 서브 영상데이터(data-Hn)는 상기 제2 서브 영상데이터(data-Ln)보다 높은 계조값을 갖는다.

[0048] 상기 제1 메모리 컨트롤부(520)는 상기 제1 메모리(610)에 기 저장된 이전 프레임의 제1 서브 영상데이터(data-Hn-1)(이하, 제1 이전 서브 영상데이터라 함)를 독출하고, 상기 변환부(510)로부터 제공된 현재 프레임의 제1 서브 영상데이터(data-Hn)(이하, 제1 현재 서브 영상데이터라 함)를 상기 제1 메모리(610)에 저장한다.

[0049] 상기 제2 메모리 컨트롤부(530)는 상기 제2 메모리(620)에 기 저장된 이전 프레임의 제2 서브 영상데이터(data-Ln-1)(이하, 제2 이전 서브 영상데이터라 함)를 독출하고, 상기 변환부(510)로부터 제공된 현재 프레임의 제1 서브 영상데이터(data-Ln)(이하, 제1 현재 서브 영상데이터라 함)를 상기 제1 메모리(620)에 저장한다.

- [0050] 여기서, 상기 제1 및 제2 메모리(610, 620)는 프레임 단위의 영상데이터를 저장하는 프레임 메모리이다.
- [0051] 상기 제1 보상부(540)는 상기 제1 이전 서브 영상데이터(data-Hn-1)에 근거로하여 상기 제1 현재 서브 영상데이터(data-Hn)를 보상하여 제1 보정 영상데이터(data-Hn')를 출력한다. 상기 제1 보상부(540)는 상기 제1 이전 서브 영상데이터(data-Hn-1)와 상기 제1 현재 서브 영상데이터(data-Hn)의 차이값이 기 설정된 제1 기준값보다 크면, 상기 제1 현재 서브 영상데이터(data-Hn)에 기 설정된 제1 보정값($\alpha 1$)을 더하여 상기 제1 보정 영상데이터(data-Hn')를 생성한다. 한편, 상기 제1 보상부(540)는 상기 제1 이전 서브 영상데이터(data-Hn-1)와 상기 제1 현재 서브 영상데이터(data-Hn)의 차이값이 상기 제1 기준값 이하이면, 상기 제1 현재 서브 영상데이터(data-Hn)와 동일한 제1 보정 영상데이터(data-Hn')를 생성한다.
- [0052] 상기 제2 보상부(550)는 상기 제2 이전 서브 영상데이터(data-Ln-1)에 근거하여 상기 제2 현재 서브 영상데이터(data-Ln)를 보상하여 제2 보정 영상데이터(data-Ln')를 출력한다. 상기 제2 보상부(550)는 상기 제2 이전 서브 영상데이터(data-Ln-1)와 상기 제2 현재 서브 영상데이터(data-Ln)의 차이값이 기 설정된 제2 기준값보다 크면, 상기 제2 현재 서브 영상데이터(data-Ln)에 기 설정된 제2 보정값($\alpha 2$)을 더하여 상기 제2 보정 영상데이터(data-Ln')를 생성한다. 한편, 상기 제2 보상부(550)는 상기 제2 이전 서브 영상데이터(data-Ln-1)와 상기 제2 현재 서브 영상데이터(data-Ln)의 차이값이 상기 제2 기준값 이하이면, 상기 제2 현재 서브 영상데이터(data-Ln)와 동일한 제2 보정 영상데이터(data-Ln')를 생성한다.
- [0053] 상기 출력부(560)는 상기 제1 보상부(540)로부터 상기 제1 보정 영상데이터(data-Hn')를 입력받고, 상기 제2 보상부(550)로부터 상기 제2 보정 영상데이터(data-Ln')를 입력받는다. 상기 출력부(560)는 상기 제1 서브화소가 구동되는 제1 구간동안 상기 제1 보정 영상데이터(data-Hn')를 출력하고, 상기 제2 서브화소가 구동되는 제2 구간동안 상기 제2 보정 영상데이터(data-Ln')를 출력한다.
- [0054] 이와 같이, 상기 영상데이터(data-in)가 상기 제1 및 제2 서브 영상데이터(data-Hn, data-Ln)로 변환된 이후에 상기 제1 및 제2 서브 영상데이터(data-Hn, data-Ln)는 상기 제1 및 제2 보정 영상데이터(data-Hn', data-Ln')로 각각 보상된다. 따라서, 상기 제1 및 제2 서브화소에 최적의 제1 및 제2 보정 영상데이터(data-Hn', data-Ln')를 각각 제공할 수 있다.
- [0055] 도 3은 본 발명의 일 실시예에 따른 액정표시장치의 블럭도이고, 도 4는 도 3에 도시된 타이밍 컨트롤러의 내부 블럭도이다. 단, 도 3에 도시된 구성요소 중 도 1에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- [0056] 도 3을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(900)는 표시부(100), 게이트 구동부(200), 데이터 구동부(300), 감마기준전압 발생부(400), 타이밍 컨트롤러(800) 및 메모리(630)를 포함한다.
- [0057] 도 4에 도시된 바와 같이, 상기 타이밍 컨트롤러(800)는 메모리 컨트롤부(810), 제1 변환부(820), 제2 변환부(830), 제1 보상부(840), 제2 보상부(850) 및 출력부(860)를 포함한다.
- [0058] 상기 메모리 컨트롤부(810)는 외부로부터 현재 프레임에 대응하는 현재 영상데이터(data-in)를 입력받는다. 상기 메모리 컨트롤부(810)는 상기 메모리(630)에 기 저장되어 있는 이전 프레임에 대응하는 이전 영상데이터(data-in-1)를 독출하고, 상기 현재 영상데이터(data-in)를 상기 메모리(630)에 저장한다. 이후에 상기 메모리 컨트롤부(810)는 상기 현재 영상데이터(data-in)와 상기 이전 영상데이터(data-in-1)를 출력한다.
- [0059] 상기 제1 변환부(820)는 상기 현재 영상데이터(data-in)를 입력받아 서로 다른 값을 갖는 제1 및 제2 서브 영상데이터(data-Hn, data-Ln)로 변환하여 출력한다. 구체적으로, 상기 제1 서브 영상데이터(data-Hn)는 상기 제2 서브 영상데이터(data-Ln)보다 높은 계조값을 갖는다.
- [0060] 상기 제2 변환부(830)는 상기 이전 영상데이터(data-in-1)를 입력받아 서로 다른 값을 갖는 제3 및 제4 서브 영상데이터(data-Hn-1, data-Ln-1)로 변환하여 출력한다. 구체적으로, 상기 제3 서브 영상데이터(data-Hn-1)는 상기 제4 서브 영상데이터(data-Ln-1)보다 높은 계조값을 갖는다.
- [0061] 상기 제1 보상부(840)는 상기 제2 변환부(830)로부터의 상기 제3 서브 영상데이터(data-Hn-1)에 근거로하여 상기 제1 변환부(820)로부터의 상기 제1 서브 영상데이터(data-Hn)를 보상하여 제1 보정 영상데이터(data-Hn')를 출력한다. 상기 제1 보상부(840)는 상기 제3 서브 영상데이터(data-Hn-1)와 상기 제1 서브 영상데이터(data-Hn)의 차이값이 기 설정된 제1 기준값보다 크면, 상기 제1 서브 영상데이터(data-Hn)에 기 설정된 제1 보정값($\alpha 1$)을 더하여 상기 제1 보정 영상데이터(data-Hn')를 생성한다. 한편, 상기 제1 보상부(840)는 상기 제3 서브 영상데이터(data-Hn-1)와 상기 제1 서브 영상데이터(data-Hn)의 차이값이 상기 제1 기준값 이하이면, 상기 제1

서브 영상데이터(data-Hn)와 동일한 제1 보정 영상데이터(data-Hn')를 생성한다.

- [0062] 상기 제2 보상부(850)는 상기 제2 변환부(830)로부터의 상기 제4 서브 영상데이터(data-Ln-1)에 근거하여 상기 제1 변환부(820)로부터의 상기 제2 서브 영상데이터(data-Ln)를 보상하여 제2 보정 영상데이터(data-Ln')를 출력한다. 상기 제2 보상부(850)는 상기 제4 서브 영상데이터(data-Ln-1)와 상기 제2 서브 영상데이터(data-Ln)의 차이값이 기 설정된 제2 기준값보다 크면, 상기 제2 서브 영상데이터(data-Ln)에 기 설정된 제2 보정값(α_2)을 더하여 상기 제2 보정 영상데이터(data-Ln')를 생성한다. 한편, 상기 제2 보상부(850)는 상기 제4 서브 영상데이터(data-Ln-1)와 상기 제2 서브 영상데이터(data-Ln)의 차이값이 상기 제2 기준값 이하이면, 상기 제2 서브 영상데이터(data-Ln)와 동일한 제2 보정 영상데이터(data-Ln')를 생성한다.
- [0063] 상기 출력부(860)는 상기 제1 보상부(840)로부터 상기 제1 보정 영상데이터(data-Hn')를 입력받고, 상기 제2 보상부(850)로부터 상기 제2 보정 영상데이터(data-Ln')를 입력받는다. 상기 출력부(860)는 상기 제1 서브화소가 구동되는 제1 구간동안 상기 제1 보정 영상데이터(data-Hn')를 출력하고, 상기 제2 서브화소가 구동되는 제2 구간동안 상기 제2 보정 영상데이터(data-Ln')를 출력한다.
- [0064] 이와 같이, 상기 영상데이터(data-in)가 상기 제1 및 제2 서브 영상데이터(data-Hn, data-Ln)로 변환된 이후에 상기 제1 및 제2 서브 영상데이터(data-Hn, data-Ln)는 상기 제1 및 제2 보정 영상데이터(data-Hn', data-Ln')로 각각 보상된다. 따라서, 상기 제1 및 제2 서브화소에 최적의 제1 및 제2 보정 영상데이터(data-Hn', data-Ln')를 각각 제공할 수 있다.
- [0065] 또한, 상기 타이밍 컨트롤러(800)는 상기 영상데이터(data-in)를 상기 제1 및 제2 서브 영상데이터(data-Hn, data-Ln)로 변환되기 이전에 상기 메모리(630)에 저장한다. 따라서, 상기 액정표시장치(900)는 상기 영상데이터(data-in)를 프레임 단위로 순차적으로 저장하기 위한 하나의 메모리만을 구비함으로써, 상기 액정표시장치(900)에 이용되는 전체 메모리의 개수를 감소시킬 수 있다.
- [0066] 도 5는 도 4에 도시된 제1 보상부의 입력신호와 출력신호를 나타낸 그래프이고, 도 6은 도 4에 도시된 제2 보상부의 입력신호와 출력신호를 나타낸 그래프이다. 단, 도 5 및 도 6에서 x축은 프레임이고, y축은 전압(V)을 나타낸다.
- [0067] 도 5에 도시된 제1 그래프(G1)는 제1 보상부(840, 도 4에 도시됨)로 입력된 입력신호를 나타내고, 제2 그래프(G2)는 상기 제1 보상부(840)로부터 출력된 출력신호를 나타낸다. 도 6에 도시된 제3 그래프(G3)는 제2 보상부(850, 도 4에 도시됨)로 입력되는 입력신호를 나타내고, 제4 그래프(G4)는 상기 제2 보상부(850)로부터 출력된 출력신호를 나타낸다.
- [0068] 도 5의 제1 그래프(G1)에 나타난 바와 같이, 상기 입력신호는 n-2번째 및 n-1번째 프레임에서 2V로 유지되고, n번째 내지 n+3번째 프레임에서 6V로 유지된다. 여기서, 전압(V)은 절대값으로 표시된다.
- [0069] 제2 그래프(G2)에 나타난 바와 같이, n번째 프레임의 제1 서브 영상데이터(data-Hn)와 n-1번째 프레임의 제3 서브 영상데이터(data-Hn-1)의 차이값(4V)이 기 설정된 제1 기준값(예를 들어, 3V)보다 크므로, 상기 제1 보상부(840)는 n번째 프레임에서 상기 제1 서브 영상데이터(data-Hn)보다 제1 보정값(예를 들어, 0.5V) 만큼 증가된 제1 보정 영상데이터(data-Hn')를 출력한다.
- [0070] 한편, 도 6의 제3 그래프(G3)에 나타난 바와 같이, 상기 입력신호는 n-2번째 및 n-1번째 프레임에서 1V로 유지되고, n번째 내지 n+3번째 프레임에서 4V로 유지된다. 여기서, 전압(V)은 절대값으로 표시된다.
- [0071] 제4 그래프(G4)에 나타난 바와 같이, n번째 프레임의 제2 서브 영상데이터(data-Ln)와 n-1번째 프레임의 제4 서브 영상데이터(data-Hn-1)의 차이값(3V)이 기 설정된 제2 기준값(예를 들어, 2V)보다 크므로, 상기 제2 보상부(850)는 n번째 프레임에서 상기 제2 서브 영상데이터(data-Ln)보다 제2 보정값(예를 들어, 0.5V) 만큼 증가된 제2 보정 영상데이터(data-Ln')를 출력한다.
- [0072] 도 7은 도 3에 도시된 제1 데이터 라인, 제1 및 제2 게이트 라인으로 인가되는 신호를 나타낸 파형도이다.
- [0073] 도 7을 참조하면, 제1 게이트 라인(GL1)에는 한 화소가 구동되는 1H 시간 중 제1 서브화소가 구동되는 초기 H/2 시간동안 하이 상태를 유지하는 제1 게이트 신호가 인가된다. 또한, 상기 제2 게이트 라인(GL2)에는 1H 시간 중 제2 서브화소가 구동되는 후기 H/2 시간동안 하이 상태를 유지하는 제2 게이트 신호가 인가된다.
- [0074] 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 게이트 신호에 응답하여 상기 제1 데이터 라인(DL1)으로 인가된 제1 데이터 전압(V_H)을 출력한다. 이후, 상기 제2 박막 트랜지스터(Tr2)는 상기 제2 게이트 신호에 응답하여 상기

제1 데이터 라인(DL1)으로 인가되고 상기 제1 데이터 전압(V_H)보다 낮은 전압레벨을 갖는 제2 데이터 전압(V_L)을 출력한다. 따라서, 상기 제1 액정 커패시터(C_{LC1})에는 상기 제1 데이터 전압(V_H)이 충전되고, 상기 제2 액정 커패시터(C_{LC2})에는 상기 제2 데이터 전압(V_L)이 충전된다.

[0075] 도 8은 계조에 따른 제1 및 제2 서브화소의 전압을 나타낸 그래프이다. 단, 도 8에서 x축은 계조를 나타내고, y축은 전압(V)을 나타낸다. 또한 도 8에서, 제5 그래프(G5)는 입력 영상데이터(i-data, 도 4에 도시됨)의 제1 감마곡선을 나타내고, 제6 그래프(G6)는 제1 서브 영상데이터(data-Hn, 도 4에 도시됨)의 제2 감마곡선을 나타내고, 제7 그래프(G7)는 제2 서브 영상데이터(data-Ln, 도 4에 도시됨)의 제3 감마곡선을 나타낸다.

[0076] 도 8에 도시된 바와 같이, 상기 제1 내지 제3 감마곡선은 상기 동일한 그레이(예를 들어, 제1 그레이(Gray 1))에서 상기 제2, 제1 및 제3 감마곡선의 순서로 높은 전압레벨을 갖는다.

[0077] 여기서, 상기 제1 서브 영상데이터(data-Hn)는 상기 입력 영상데이터(i-data)의 제1 그레이(Gray 1)에서 나타난 상기 제2 감마곡선의 제1 데이터 전압(V_H)과 대응하는 상기 제1 감마곡선의 제2 그레이(Gray 2)로 변환된다. 또한, 상기 제2 서브 영상데이터(data-Ln)는 상기 입력 영상데이터(i-data)의 상기 제1 그레이(Gray 1)에서 나타난 상기 제3 감마곡선의 제2 데이터 전압(V_L)과 대응하는 상기 제1 감마곡선의 제3 그레이(Gray 3)로 변환된다.

[0078] 따라서, 상기 제1 및 제2 서브화소에 상기 제1 및 제2 데이터 전압(V_H , V_L)을 인가하면, 계조별 휘도가 서로 다르게 나타난다. 즉, 동일한 계조에서 제1 서브화소의 휘도는 제2 서브화소의 휘도보다 높게 나타난다. 이때, 액정표시패널을 바라보는 사람의 눈은 상기 제1 데이터 전압(V_H)과 상기 제2 데이터 전압(V_L)의 중간값을 인식한다. 따라서, 중간 계조 이하에서 감마커브가 왜곡되어 측면 시야각이 저하되는 것을 방지할 수 있다.

[0079] 도 9는 도 1에 도시된 표시부의 한 화소를 나타낸 레이아웃이고, 도 10은 도 9에 도시된 절단선 I-I'에 따라 절단한 단면도이다.

[0080] 도 9 및 도 10을 참조하면, 표시부(100, 도 3에 도시됨)는 어레이 기관(120), 상기 어레이 기관(120)과 마주하는 컬러필터기관(130) 및 상기 어레이 기관(120)과 상기 컬러필터기관(130)과의 사이에 개재된 액정층(140)으로 이루어져 영상을 표시하는 액정표시패널로 이루어진다.

[0081] 상기 어레이 기관(120)의 제1 베이스 기관(121)에는 제1 방향(D1)으로 연장된 제1 및 제2 게이트 라인(GL1, GL2)과 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장된 제1 데이터 라인(DL1)에 의해서 화소영역이 정의된다. 상기 화소영역에는 제1 및 제2 서브화소로 이루어진 화소가 구비된다. 특히, 상기 어레이 기관(120)에서 상기 제1 서브화소는 제1 박막 트랜지스터(Tr1) 및 제1 액정 커패시터(C_{LC1})의 제1 전극인 제1 화소전극(PE1)으로 이루어지고, 상기 제2 서브화소는 제2 박막 트랜지스터(Tr2) 및 제2 액정 커패시터(C_{LC2})의 제1 전극인 제2 화소전극(PE2)으로 이루어진다.

[0082] 상기 제1 박막 트랜지스터(Tr1)의 게이트 전극은 상기 제1 게이트 라인(GL1)으로부터 분기되고, 상기 제2 박막 트랜지스터(Tr2)의 게이트 전극은 상기 제2 게이트 라인(GL2)으로부터 분기된다. 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)의 소오스 전극들은 상기 제1 데이터 라인(DL1)으로부터 분기된다. 상기 제1 박막 트랜지스터(Tr1)의 드레인 전극은 상기 제1 화소전극(PE1)에 연결되고, 상기 제2 박막 트랜지스터(Tr2)의 드레인 전극은 상기 제2 화소전극(PE2)에 전기적으로 연결된다.

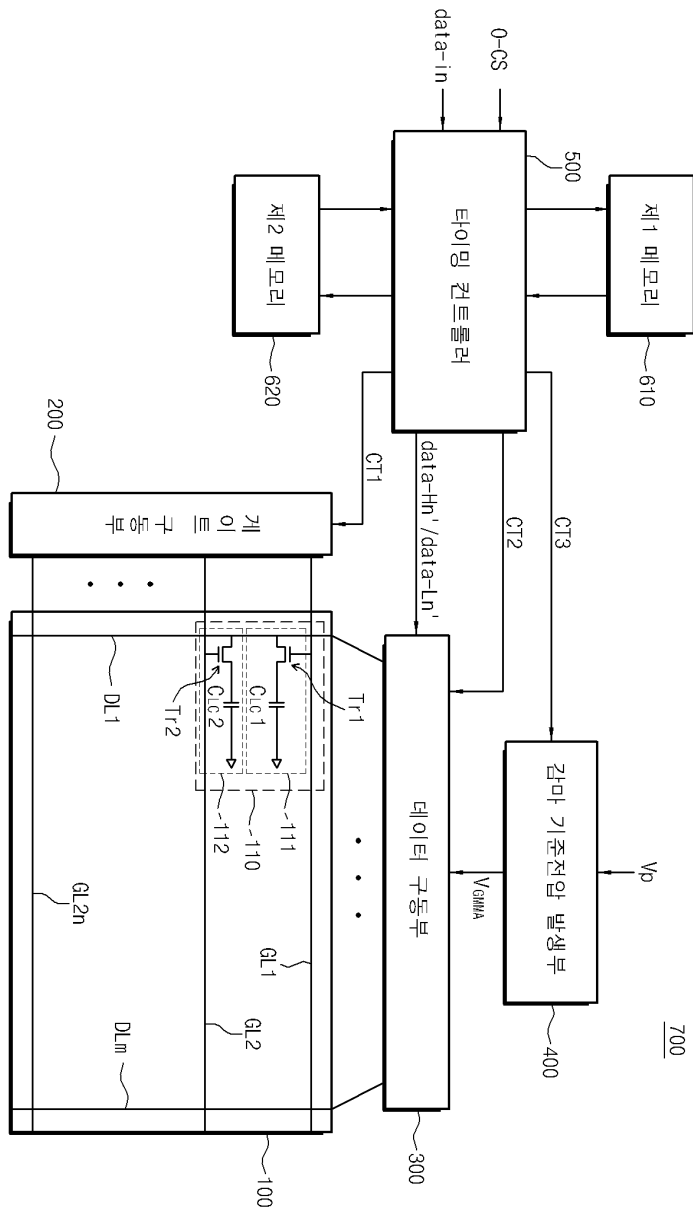
[0083] 도 10에 도시된 바와 같이, 상기 어레이 기관(120)은 상기 제1 및 제2 게이트 라인(GL1, GL2)을 커버하고, 상기 제1 및 제2 화소전극(PE1, PE2)의 하부에 구비되는 게이트 절연막(121), 보호막(122) 및 유기 절연막(123)을 더 포함한다.

[0084] 한편, 상기 컬러필터기관(130)은 제2 베이스 기관(131) 상에 블랙 매트릭스(132), 컬러필터층(133) 및 공통전극(134)이 형성된 기관이다. 상기 블랙 매트릭스(132)는 상기 제1 및 제2 게이트 라인(GL1, GL2)이 형성된 영역과 같은 비유효 표시영역에 형성되어 빛샘 현상을 방지한다. 상기 컬러필터층(133)은 레드, 그린 및 블루 색화소로 이루어져 상기 액정층(140)을 통과한 광을 소정의 색으로 발현시킨다.

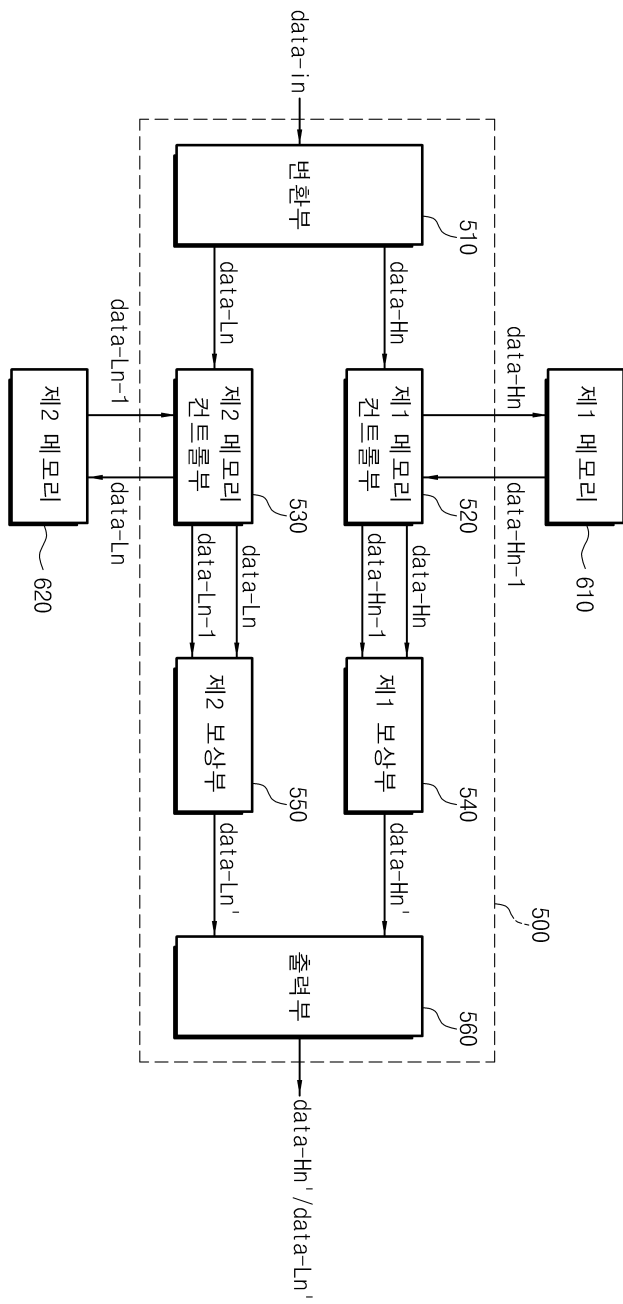
[0085] 상기 공통전극(134)은 상기 제1 및 제2 액정 커패시터(C_{LC1} , C_{LC2})의 제2 전극으로써, 상기 컬러필터층(133) 상에 형성된다. 상기 공통전극(134)은 상기 제1 화소전극(PE1)의 중앙부에 대응하여 부분적으로 제거되고, 제2 화소전극(PE2)의 중앙부에 대응하여 부분적으로 제거된다. 따라서, 상기 공통전극(134)에는 상기 제1 화소전극(PE1)

도면

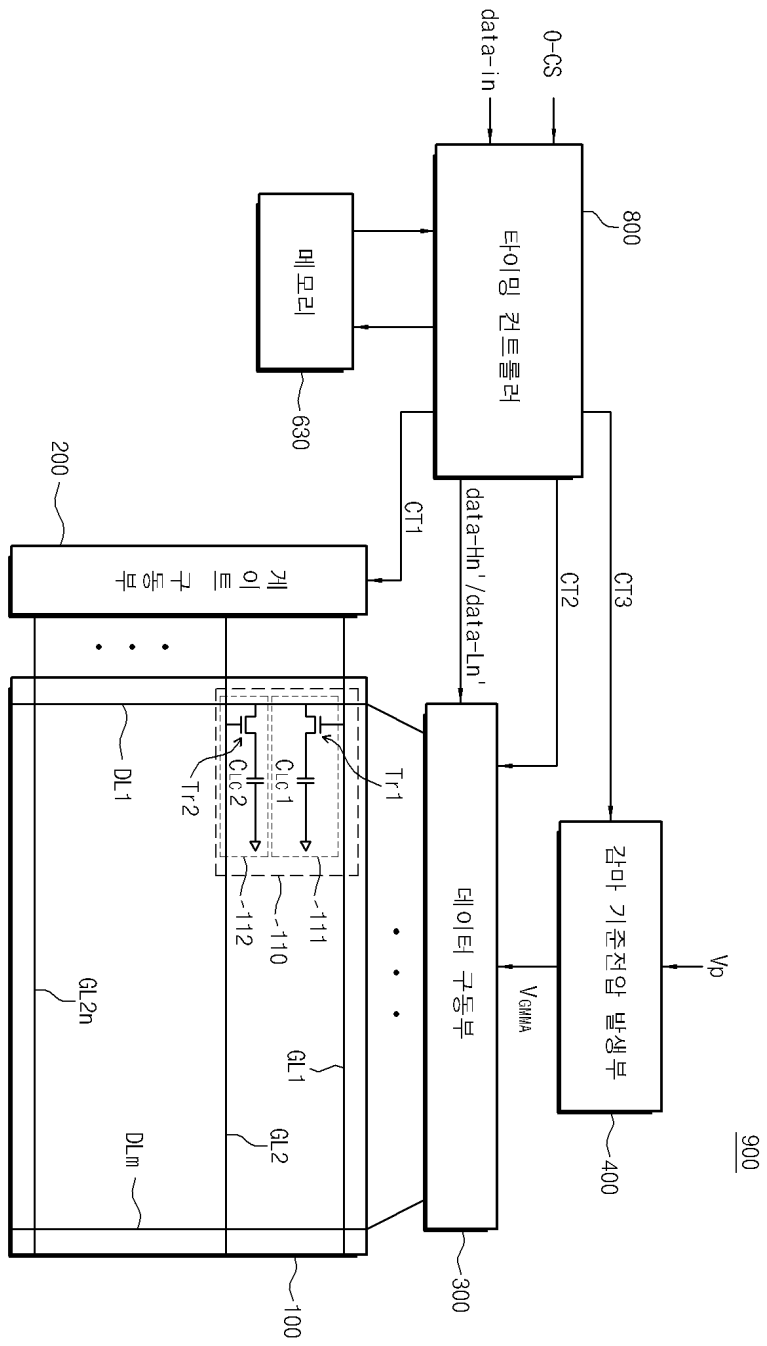
도면1



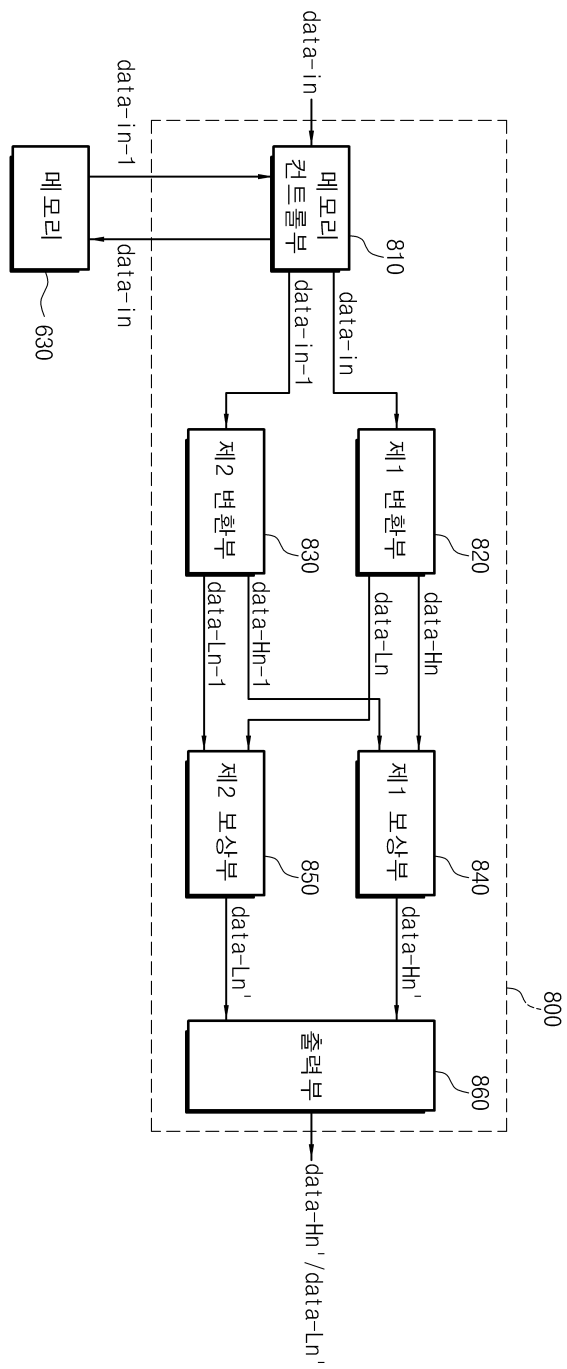
도면2



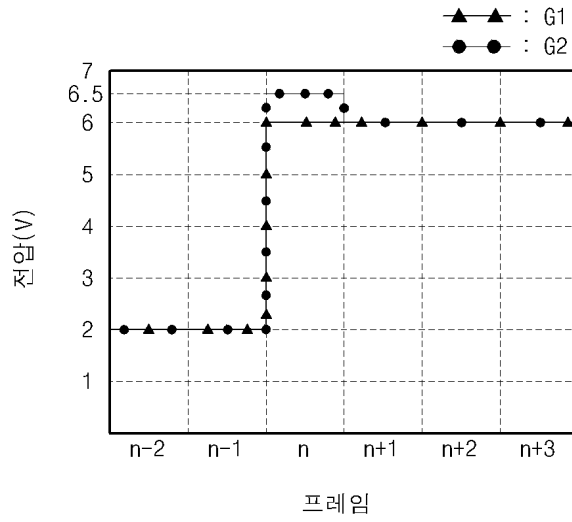
도면3



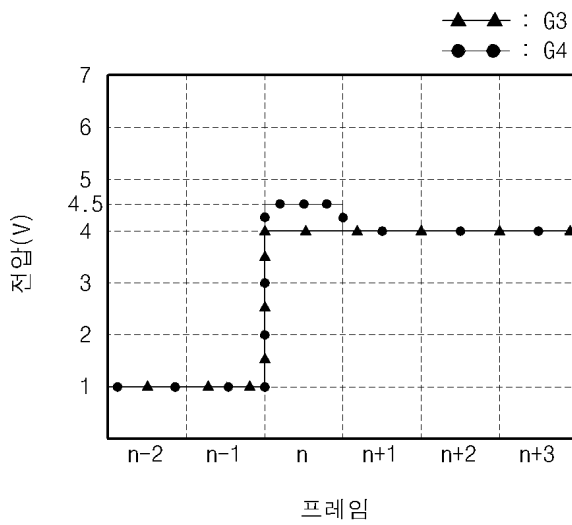
도면4



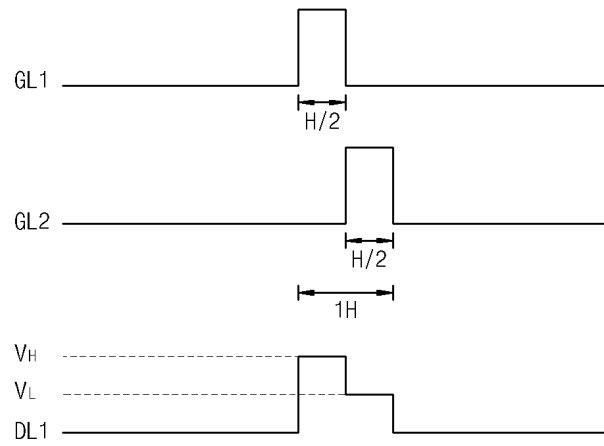
도면5



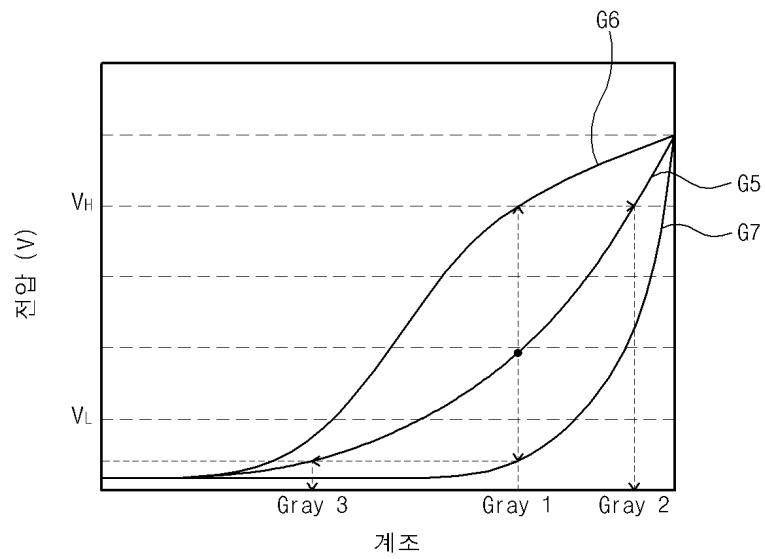
도면6



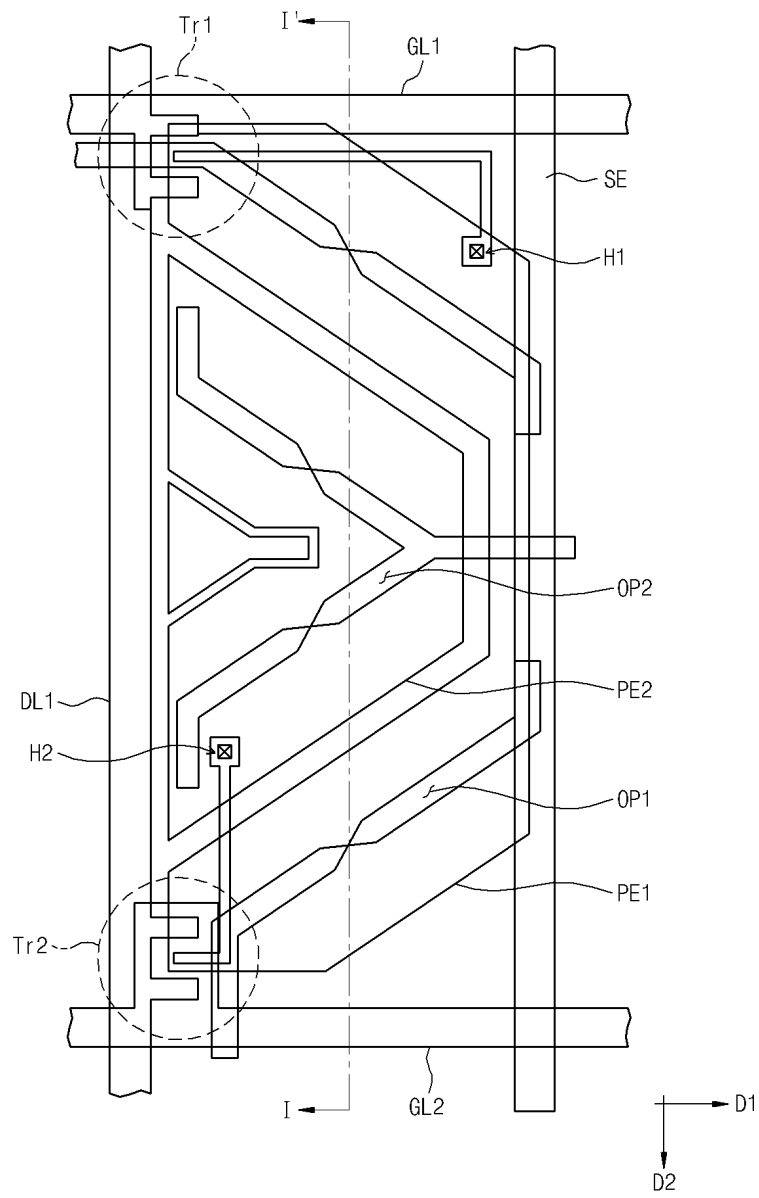
도면7



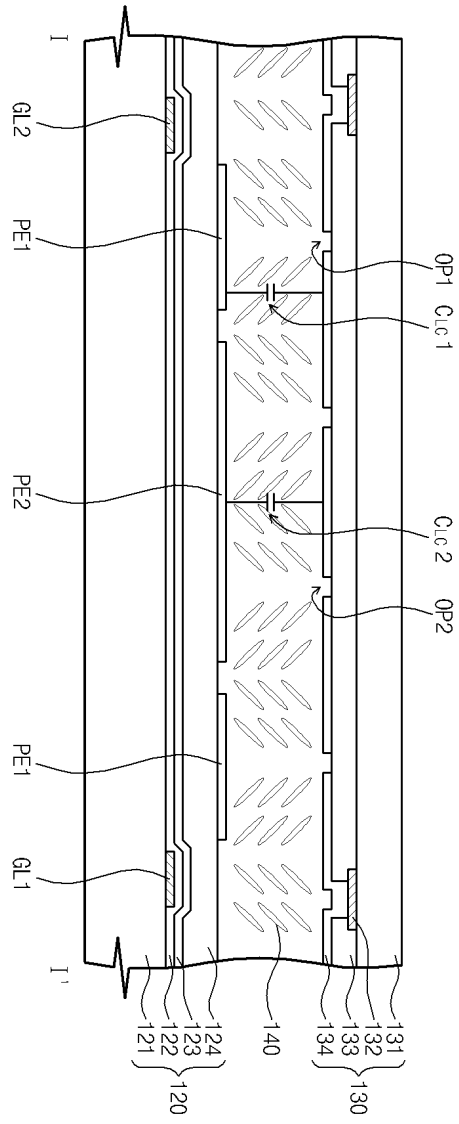
도면8



도면9



도면10



专利名称(译)	标题：驱动装置和具有该装置的显示装置		
公开(公告)号	KR101256011B1	公开(公告)日	2013-04-18
申请号	KR1020060034678	申请日	2006-04-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM WOO CHUL		
发明人	KIM,WOO CHUL		
IPC分类号	G09G3/20 G09G G02F1/13 G09G3/36 G02F		
CPC分类号	G09G2300/0443 G09G3/3648 G09G2340/16 G09G2320/0252 G09G2320/028 G09G2320/0673		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
其他公开文献	KR1020070102882A		
外部链接	Espacenet		

摘要(译)

在能够精确补偿子图像数据的LCD驱动装置中，存储器以帧为单位顺序存储图像数据。存储器控制器从存储器中读出与前一帧相对应的先前图像数据，将与当前帧相对应的当前图像数据存储在存储器中，并输出先前图像数据和当前图像数据。第一转换器将当前图像数据转换为第一子图像数据和第二子图像数据，第二转换器将先前图像数据输出转换为第三子图像数据和第四子图像数据。第一补偿器使用第三子图像数据补偿第一子图像数据，第二补偿器使用第四子图像数据补偿第二子图像数据。

