



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월30일
(11) 등록번호 10-1195568
(24) 등록일자 2012년10월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2006-0015822
(22) 출원일자 2006년02월17일
심사청구일자 2011년01월19일
(65) 공개번호 10-2007-0082765
(43) 공개일자 2007년08월22일
(56) 선행기술조사문헌
KR1020050024071 A*
KR1020050041463 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
조현상
충청남도 천안시 서북구 시청로 73, 206동 1801호
(불당동, 동일하이빌)
(74) 대리인
오세준, 권혁수, 송윤호

전체 청구항 수 : 총 7 항

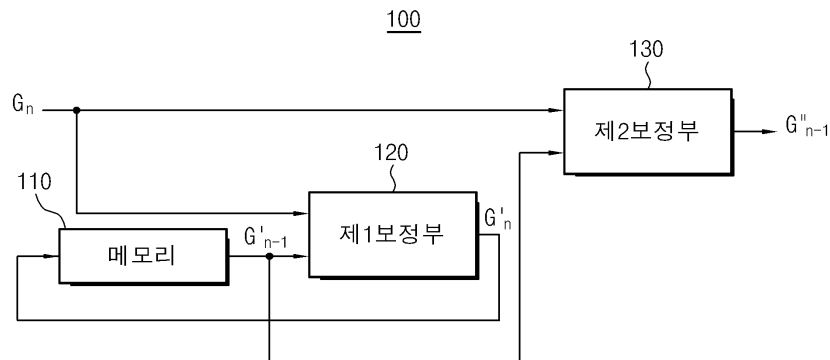
심사관 : 김재문

(54) 발명의 명칭 표시 장치 및 그것의 구동방법

(57) 요약

표시장치에서, 데이터 처리부는 메모리, 제1 보정부 및 제2 보정부를 포함한다. 메모리는 제1 프레임 데이터에 기초하여 보정된 제1 보정 데이터를 출력한다. 제1 보정부는 제1 보정 데이터와 제2 프레임 데이터에 기초하여 제2 보정 데이터를 생성하고, 메모리로부터 제1 보정 데이터가 출력된 이후에 제2 보정 데이터를 메모리에 저장한다. 제2 보정부는 제2 프레임 데이터와 제1 보정 데이터에 기초하여 제3 보정 데이터를 생성한다. 따라서, 액정의 응답속도를 개선하면서, 데이터 처리부에 내장되는 메모리의 개수를 감소시킬 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제1 프레임 데이터에 기초하여 보정된 제1 보정 데이터를 독출하고, 제2 프레임 데이터를 수신하는 단계와;

상기 제2 프레임 데이터와 상기 제1 보정 데이터에 기초한 제2 보정 데이터를 생성하는 단계와;

생성된 상기 제2 보정 데이터를 저장하는 단계; 및

상기 제2 프레임 데이터와 상기 제1 보정 데이터에 기초하여 표시부로 제공될 제3 보정 데이터를 생성하는 단계를 포함하되;

상기 제2 보정 데이터를 생성하는 단계는,

제1 보정 데이터와 상기 제2 프레임 데이터의 차이값과 제1 기준값을 비교하는 단계; 그리고

상기 차이값이 상기 제1 기준값 이하이면 상기 제2 프레임 데이터와 동일한 값을 갖는 상기 제2 보정 데이터를 생성하고, 상기 차이값이 상기 제1 기준값보다 크면 상기 제2 프레임 데이터보다 제1 보정값만큼 증가된 상기 제2 보정 데이터를 생성하는 단계를 포함하고;

상기 제3 보정 데이터를 생성하는 단계는,

상기 제1 보정 데이터가 제2 기준값보다 작고, 상기 제2 프레임 데이터가 제3 기준값보다 크면 상기 제1 보정 데이터에 제2 보정값을 더하여 상기 제3 보정 데이터를 생성하는 단계; 그리고

상기 제1 보정 데이터가 상기 제2 기준값 이상이거나, 상기 제2 프레임 데이터가 상기 제3 기준값 이하이면, 상기 제1 보정 데이터와 동일한 상기 제3 보정 데이터를 생성하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

제 7 항에 있어서,

상기 제1 및 제2 프레임 데이터는 연속된 제1 및 제2 프레임에 대응하는 영상 데이터인 것을 특징으로 하는 표시장치의 구동방법.

청구항 11

제1 프레임 데이터에 기초하여 보정된 제1 보정 데이터를 출력하는 메모리와;

상기 제1 보정 데이터와 제2 프레임 데이터에 기초하여 제2 보정 데이터를 생성하고, 상기 제2 보정 데이터를 상기 메모리에 저장하는 제1 보정부와;

제2 프레임 데이터와 상기 제1 보정 데이터에 기초하여 제3 보정 데이터를 생성하는 제2 보정부와;

데이터 제어신호에 응답하여 상기 제3 보정 데이터에 대응하는 데이터 전압을 출력하는 데이터 구동부와;

게이트 제어신호에 응답하여 게이트 전압을 출력하는 게이트 구동부; 및

상기 데이터 전압과 상기 게이트 전압에 응답하여 영상을 표시하는 표시부를 포함하되;

상기 제1 보정부는 상기 제1 보정 데이터와 상기 제2 프레임 데이터의 차가 제1 기준값 이하이면 상기 제2 보정 데이터를 상기 제2 프레임 데이터와 동일한 값으로 설정하고, 상기 차가 상기 제1 기준값보다 크면 상기 제2 프레임 데이터에 제1 보정값을 더하여 상기 제2 보정 데이터를 생성하고,

상기 제2 보정부는, 상기 제1 보정 데이터가 제2 기준값보다 작고, 상기 제2 프레임 데이터가 상기 제2 기준값보다 크면 상기 제1 보정 데이터에 제2 보정값을 더하여 상기 제3 보정 데이터를 생성하고, 상기 제1 보정 데이터가 상기 제1 기준값 이상이거나, 상기 제2 프레임 데이터가 상기 제2 기준값 이하이면, 상기 제1 보정 데이터와 동일한 상기 제3 보정 데이터를 생성하는 것을 특징으로 하는 표시장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제11항에 있어서, 상기 제1 및 제2 프레임 데이터는 연속된 제1 및 제2 프레임에 대응하는 영상 데이터인 것을 특징으로 하는 표시장치.

청구항 16

제11항에 있어서, 외부로부터의 제어신호에 응답하여 상기 데이터 구동부로 상기 데이터 제어신호를 제공하고, 상기 게이트 구동부로 상기 게이트 제어신호를 제공하는 타이밍 제어부를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 17

제16항에 있어서, 상기 데이터 처리부는 상기 타이밍 제어부에 내장되는 것을 특징으로 하는 표시장치.

청구항 18

제11항에 있어서, 상기 표시부에는 상기 데이터 전압과 상기 게이트 전압을 입력받는 화소를 구비하고,

상기 화소는,

상기 게이트 전압에 응답하여 상기 데이터 전압을 출력하는 박막 트랜지스터; 및

상기 데이터 전압과 기 설정된 기준전압과의 전위차를 충전하는 액정 커패시터를 포함하는 것을 특징으로 하는

표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 표시장치에 관한 것으로, 더욱 상세하게는 액정의 응답속도를 개선할 수 있는 표시 장치 및 이의 구동방법에 관한 것이다.
- [0012] 일반적으로 액정표시장치는 두 개의 표시기판과 그 사이에 개재된 액정층으로 이루어진다. 액정표시장치는 액정층에 전계를 인가하고, 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 영상을 표시한다.
- [0013] 이러한 액정표시장치는 최근 컴퓨터의 표시장치 뿐만 아니라 텔레비전의 표시화면으로 널리 사용됨에 따라서 동영상 구현할 필요성이 높아지고 있다. 그러나 종래의 액정표시장치는 액정의 응답 속도가 느리기 때문에 동영상을 구현하기 어렵다.
- [0014] 구체적으로, 액정 분자의 응답 속도가 느리기 때문에 액정 커패시터에 충전되는 전압이 목표전압(즉, 원하는 휘도를 얻을 수 있는 전압)까지 도달하는데는 어느 정도의 시간이 소요된다. 이러한 딜레이 시간은 이전 프레임에 액정 커패시터에 이미 충전되어 있는 이전 전압과의 전위차에 따라서 달라진다.
- [0015] 특히, 목표 전압과 이전 전압의 차가 큰 경우 처음부터 목표 전압만을 인가하면 스위칭 소자가 턴-온되는 1H 시간동안 목표 전압에 도달하지 못할 수 있다.

발명이 이루고자 하는 기술적 과제

- [0016] 따라서, 본 발명의 목적은 액정의 응답 속도를 개선하면서 메모리 개수를 감소시킬 수 있는 표시 장치를 제공하는 것이다.
- [0017] 본 발명의 다른 목적은 상기한 표시 장치의 구동방법을 제공하는 것이다.

발명의 구성 및 작용

- [0019] 본 발명에 따른 데이터 처리장치는 메모리, 제1 보정부 및 제2 보정부를 포함한다. 상기 메모리는 제1 프레임 데이터에 기초하여 보정된 제1 보정 데이터를 출력한다. 상기 제1 보정부는 상기 제1 보정 데이터와 상기 제2 프레임 데이터에 기초하여 상기 제2 보정 데이터를 생성하고, 상기 메모리로부터 상기 제1 보정 데이터가 출력된 이후에 상기 제2 보정 데이터를 상기 메모리에 저장한다. 상기 제2 보정부는 상기 제2 프레임 데이터와 상기 제1 보정 데이터에 기초하여 제3 보정 데이터를 생성한다.
- [0020] 본 발명에 따른 데이터 처리장치의 구동방법에서, 데이터 처리장치는 제1 프레임 데이터에 기초하여 보정된 제1 보정 데이터를 독출하고, 제2 프레임 데이터를 수신한다. 이후, 상기 제2 프레임 데이터와 상기 제1 보정 데이터에 기초한 제2 보정 데이터를 생성하고, 생성된 상기 제2 보정 데이터를 저장한다. 다음, 상기 제2 프레임 데이터와 상기 제1 보정 데이터에 기초하여 제3 보정 데이터를 생성한다.
- [0021] 본 발명에 따른 표시장치는 데이터 처리부, 데이터 구동부, 게이트 구동부 및 표시부를 포함한다. 상기 데이터 처리부는 제1 프레임 데이터에 기초하여 보정된 제1 보정 데이터와 제2 프레임 데이터에 기초하여 제2 보정 데이터를 생성하고, 상기 제3 프레임 데이터와 상기 제1 보정 데이터에 기초하여 제3 보정 데이터를 생성한다. 상기 데이터 구동부는 데이터 제어신호에 응답하여 상기 제3 보정 데이터에 대응하는 데이터 전압을 출력한다. 상기 게이트 구동부는 게이트 제어신호에 응답하여 게이트 전압을 출력한다. 상기 표시부는 상기 데이터 전압과 상기 게이트 전압에 응답하여 영상을 표시한다.
- [0022] 이러한 데이터 처리장치, 이의 구동방법 및 이를 갖는 표시장치에 따르면, 제1 프레임 데이터로부터 보정된 제1 보정 데이터와 제2 프레임 데이터에 기초하여 제3 보정 데이터를 생성함으로써, 액정의 응답 속도를 개선하면서 메모리의 개수를 전체적으로 감소시킬 수 있다.

- [0023] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다.
- [0025] 도 1을 참조하면, 액정표시장치(1000)는 영상을 표시하는 표시부(300), 상기 표시부(300)를 구동시키는 게이트 드라이버(400)와 데이터 드라이버(500), 상기 데이터 드라이버(500)에 연결된 계조전압 발생부(800) 및 상기 게이트 드라이버(400)와 데이터 드라이버(500)를 제어하는 타이밍 컨트롤러(600)를 포함한다.
- [0026] 상기 표시부(300)에는 게이트 전압을 입력받는 다수의 게이트 라인(GL1 ~ GLn)과 데이터 전압을 입력받는 다수의 데이터 라인(DL1 ~ DLm)이 구비된다. 상기 다수의 게이트 라인(GL1 ~ GLn)과 다수의 데이터 라인(DL1 ~ DLm)에 의해서 상기 표시부(300)에는 매트릭스 형태로 다수의 화소영역이 정의되고, 각 화소영역에는 화소(310)가 구비된다. 상기 화소(310)는 박막 트랜지스터(311), 액정 커패시터(C_{LC}) 및 스토리지 커패시터(C_{ST})로 이루어진다.
- [0027] 도면에 도시된 바와 같이, 상기 박막 트랜지스터(311)의 게이트 전극은 제1 게이트 라인(GL1)에 연결되고, 소스 전극은 제1 데이터 라인(DL1)에 연결되며, 상기 액정 커패시터(C_{LC})와 상기 스토리지 커패시터(C_{ST})는 상기 박막 트랜지스터(311)의 드레인 전극에 병렬 연결된다.
- [0028] 본 발명의 일 예로, 상기 표시부(300)는 하부 표시기판, 상기 하부 표시기판과 마주하는 상부 표시기판 및 상기 하부 표시기판과 상기 상부 표시기판과의 사이에 개재된 액정층으로 이루어진다.
- [0029] 상기 하부 표시기판에는 상기 다수의 게이트 라인(GL1 ~ GLn), 상기 다수의 데이터 라인(DL1 ~ DLm), 상기 박막 트랜지스터(311) 및 상기 액정 커패시터(C_{LC})의 제1 전극인 화소전극이 형성된다. 따라서, 상기 박막 트랜지스터(311)는 상기 게이트 전압에 응답하여 상기 데이터 전압을 상기 화소전극에 인가한다.
- [0030] 한편, 상기 상부 표시기판에는 상기 액정 커패시터(C_{LC})의 제2 전극인 공통전극이 형성되고, 상기 공통전극에는 공통전압이 인가된다. 상기 화소전극과 상기 공통전극과의 사이에 개재된 액정층은 유전체의 역할을 수행한다. 따라서, 상기 액정 커패시터(C_{LC})에는 상기 데이터 전압과 상기 공통전압의 전위차에 대응하는 전압이 충전된다.
- [0031] 상기 게이트 드라이버(400)는 상기 표시부(300)에 구비된 다수의 게이트 라인(GL1 ~ GLn)과 전기적으로 연결되어 상기 다수의 게이트 라인(GL1 ~ GLn)에 상기 게이트 전압을 제공한다. 상기 데이터 드라이버(500)는 상기 표시부(300)에 구비된 다수의 데이터 라인(DL1 ~ DLm)과 전기적으로 연결되고, 상기 계조전압 발생부(800)로부터의 계조 전압을 선택하여 상기 다수의 데이터 라인(DL1 ~ DLm)에 상기 데이터 전압으로 제공한다.
- [0032] 상기 타이밍 컨트롤러(600)는 외부의 그래픽 제어기(미도시)로부터 제1 영상신호(R, G, B)와 각종 제어신호, 예를 들면 수직동기신호(Vsync), 수평동기신호(Hsync), 메인클럭(MCLK), 데이터 인에이블신호(DE) 등을 입력받는다. 상기 타이밍 컨트롤러(600)는 상기 제1 영상신호(R, G, B)를 처리하여 제2 영상신호(R', G', B')를 출력하고, 상기 각종 제어신호를 기초로하여 게이트 제어신호(CONT1)와 데이터 제어신호(CONT2)를 출력한다.
- [0033] 상기 게이트 제어신호(CONT1)는 상기 게이트 드라이버(400)의 동작을 제어하기 위한 신호로써 상기 게이트 드라이버(400)로 제공된다. 상기 게이트 제어신호(CONT1)는 상기 게이트 드라이버(400)의 동작을 개시하는 수직개시신호, 상기 게이트 전압의 출력 시기를 결정하는 게이트 클럭신호 및 게이트 전압의 온 펄스폭을 결정하는 출력 인에이블 신호 등을 포함한다.
- [0034] 상기 게이트 드라이버(400)는 상기 타이밍 컨트롤러(600)로부터의 상기 게이트 제어신호(CONT1)에 응답하여 게이트 온 전압(Von)과 게이트 오프전압(Voff)의 조합으로 이루어진 상기 게이트 전압을 출력한다.
- [0035] 상기 데이터 제어신호(CONT2)는 상기 데이터 드라이버(500)의 동작을 제어하는 신호로써 상기 데이터 드라이버(500)로 제공된다. 상기 데이터 제어신호(CONT2)는 상기 데이터 드라이버(500)의 동작을 개시하는 수평개시신호, 상기 데이터 전압의 극성을 반전시키는 반전신호 및 상기 데이터 구동부로부터 상기 데이터 전압이 출력되는 시기를 결정하는 출력지시신호 등을 포함한다.
- [0036] 상기 데이터 드라이버(500)는 상기 타이밍 컨트롤러(600)로부터의 상기 데이터 제어신호(CONT1)에 응답하여 한 행의 화소에 대응하는 제2 영상신호(R', G', B')를 입력받고, 상기 계조전압 발생부(800)로부터의 계조전압 중 상기 제2 영상신호(R', G', B')에 대응하는 계조전압을 선택하여 상기 데이터 전압으로 변환하여 출력한다.
- [0037] 상기 타이밍 컨트롤러(600)는 액정의 응답속도를 개선하기 위한 데이터 처리부를 더 포함한다. 상기 데이터 처

리부에 대해서는 이후 도 2 내지 도 4를 참조하여 구체적으로 설명하기로 한다.

- [0038] 도 2는 본 발명의 일 실시예에 따른 데이터 처리부를 나타낸 블록도이고, 도 3은 도 2에 도시된 데이터 처리부의 동작 과정을 나타낸 흐름도이다.
- [0039] 도 2를 참조하면, 데이터 처리부(100)는 메모리(110), 제1 보정부(120) 및 제2 보정부(130)를 포함한다.
- [0040] 상기 제1 보정부(120)는 이전 프레임($n-1$ 번째 프레임)의 영상신호(이하, 제1 영상신호)를 보정한 상기 $n-1$ 번째 프레임의 보정신호(이하, 제1 보정신호)($G'n-1$)를 상기 메모리(110)로부터 독출한다. 여기서, 상기 제1 보정신호($G'n-1$)는 이이전 프레임($n-2$ 번째 프레임)의 보정신호와 상기 $n-1$ 번째 프레임의 영상신호에 기초하여 생성된 신호이다. 또한, 상기 제1 보정부(120)는 현재 프레임(n 번째 프레임)의 영상신호(이하, 제2 영상신호)(G_n)를 입력받는다. 상기 제1 보정부(120)는 상기 제1 보정신호($G'n-1$)와 상기 제2 영상신호(G_n)를 기초로 하여 n 번째 프레임의 보정신호(이하, 제2 보정신호)(G_n')를 출력하고, 상기 제2 보정신호(G_n')는 상기 메모리(110)로 피드백되어 저장된다. 따라서, 상기 메모리(110)에는 1 프레임 단위의 보정신호가 계속해서 저장된다.
- [0041] 상기 제2 보정부(130)는 상기 제1 보정신호($G'n-1$)와 상기 제2 영상신호(G_n)를 기초로하여 제3 보정신호($G''n-1$)를 출력한다.
- [0042] 도 3에 도시된 바와 같이, 데이터 처리부(100, 도 2에 도시됨)는 외부로부터 n 번째 프레임의 제2 영상신호(G_n)를 수신하고, 메모리(110, 도 2에 도시됨)에 저장된 $n-1$ 번째 프레임의 제1 보정신호($G'n-1$)를 판독한다(S210).
- [0043] 상기 데이터 처리부(100)는 제1 보정부(120, 도 2에 도시됨)에서 상기 제2 영상신호(G_n)와 상기 제1 보정신호($G'n-1$)의 차이값이 기 설정된 제1 기준값($V1$)을 비교한다(S220). 비교결과 상기 제2 영상신호(G_n)와 상기 제1 보정신호($G'n-1$)의 차이값이 상기 제1 기준값($V1$)보다 크면, 상기 제2 영상신호(G_n)에 기 설정된 제1 보정값(α)을 더하여 제2 보정신호(G_n')를 생성한다(S221). 한편, 비교 결과 상기 제2 영상신호(G_n)와 상기 제1 보정신호($G'n-1$)의 차이값이 상기 제1 기준값 이하이면, 상기 제2 영상신호(G_n)와 동일한 제2 보정신호(G_n')를 생성한다(S222).
- [0044] 이후, 생성된 상기 제2 보정신호(G_n')는 상기 메모리(110)에 저장된다(S230). 상기 제2 보정신호(G_n')는 다음 프레임($n+1$ 번째 프레임)에서 상기 제1 보정부(120)에 의해서 판독된다.
- [0045] 한편, 상기 데이터 처리부(100)는 제2 보정부(130, 도 2에 도시됨)에서 상기 제1 보정신호($G'n-1$)와 기 설정된 제2 기준값($V2$)을 비교하고(S241), 그 결과에 따라서 상기 제2 영상신호(G_n)와 기 설정된 제3 기준값($V3$)을 비교한다(S242). 상기 제1 보정신호($G'n-1$)가 상기 제2 기준값($V2$)보다 작고, 상기 제2 영상신호(G_n)가 상기 제3 기준값($V3$)보다 크면, 상기 제1 보정신호($G'n-1$)보다 제2 보정값(β)만큼 큰 제3 보정신호($G''n-1$)를 생성한다(S251). 한편, 비교결과 상기 제1 보정신호($G'n-1$)가 상기 제2 기준값($V2$) 이상이거나 또는 상기 제2 영상신호(G_n)가 상기 제3 기준값($V3$) 이하이면, 상기 제1 보정신호($G'n-1$)와 동일한 제3 보정신호($G''n-1$)를 생성한다(S252).
- [0046] 이후, 생성된 상기 제3 보정신호($G''n-1$)는 상기 데이터 처리부(100)로부터 출력되어 데이터 구동부(500, 도 1에 도시됨)로 제공된다(S260).
- [0047] 도 4는 도 2에 도시된 데이터 처리부의 입력신호와 보정신호를 나타낸 그래프이다. 단, 도 4에서 x축은 프레임이고, y축은 전압(V)이다. 도 4에 도시된 제1 그래프($G1$)는 데이터 처리부(100, 도 2에 도시됨)로 입력되는 영상신호를 나타내고, 제2 그래프($G2$)는 데이터 처리부(200)에 의해서 영상신호로부터 보정된 보정신호를 나타낸다.
- [0048] 도 4의 제1 그래프($G1$)에 나타난 바와 같이, 입력신호는 $n-2$ 번째 및 $n-1$ 번째 프레임에서 1V로 유지되고, n 번째 내지 $n+3$ 번째 프레임에서 5V로 유지된다. 여기서, 전압(V)은 절대값으로 표시된다.
- [0049] 제2 그래프($G2$)에 나타난 바와 같이, 제1 보정부(120, 도 2에 도시됨)는 $n-1$ 번째 프레임의 제1 보정신호($n-1$ 번째 프레임의 제1 입력신호와 동일하다고 가정할 때 1V를 가짐)와 n 번째 프레임의 제2 입력신호(5V)의 차이에 따라서 n 번째 프레임의 제2 보정신호(6V)를 생성한다. 상기 제1 보정신호(1V)와 상기 제2 입력신호(5V)의 차이값(4V)은 기 설정된 제1 기준값(예를 들어, 3.5V)보다 크므로, 상기 제1 보정부(120)는 상기 제2 입력신호(5V)보다 기 설정된 제1 보정값(1V)만큼 증가된 6V의 전압을 갖는 상기 제2 보정신호를 생성한다.
- [0050] 또한, 제2 보정부(130, 도 2에 도시됨)는 $n-1$ 번째 프레임의 제1 보정신호($n-1$ 번째 프레임의 제1 입력신호와 동일하다고 가정할 때 1V를 가짐)와 n 번째 프레임의 제2 입력신호(5V)에 기초하여 $n-1$ 번째 프레임의 제3 보정신호

(1.5V)를 생성한다. 상기 제1 보정신호(1V)는 기 설정된 제2 기준값(1.5V)보다 작고, 상기 제2 입력신호(5V)는 기 설정된 제3 기준값(4.5V)보다 크므로, 상기 제2 보정부(130)는 상기 제1 보정신호(1V)보다 기 설정된 제2 보정값(0.5V)만큼 증가된 제3 보정신호(1.5V)를 출력한다.

[0051] 이와 같이, n-1번째 프레임에서 상기 제3 보정신호(1.5V)를 화소에 인가하여 액정을 프리틸트시키고, 이후 n번째 프레임에서 제2 보정신호(6V)로 목표전압보다 높은 상기 제2 보상신호를 인가함으로써, n번째 프레임에서 목표전압에 신속하게 도달할 수 있고, 결과적으로 액정의 응답 속도가 향상된다.

[0052] 또한, 데이터 처리부(100)는 매 프레임 데이터의 보정된 값인 보정신호를 저장하는 프레임 메모리만을 필요로하므로, 타이밍 컨트롤러(600, 도 1에 도시됨)의 내부에 구비되는 메모리의 개수를 전체적으로 감소시킬 수 있다.

발명의 효과

[0053] 이와 같은 표시장치에 따르면, 제1 프레임 데이터로부터 보정된 제1 보정 데이터와 제2 프레임 데이터에 기초하여 제2 보정 데이터를 생성하고, 생성된 제2 보정 데이터를 메모리로 피드백시켜 저장시킴으로써 메모리의 전체적인 개수를 감소시킬 수 있다.

[0054] 또한, 상기 제1 보정 데이터와 제2 프레임 데이터에 기초하여 제3 보정 데이터를 생성하고, 상기 제3 보정 데이터를 이용하여 제1 프레임에서 액정을 프리틸트시킴으로써 액정의 응답 속도를 개선할 수 있다.

[0055] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다.

[0002] 도 2는 본 발명의 일 실시예에 따른 데이터 처리부를 나타낸 블록도이다.

[0003] 도 3은 도 2에 도시된 데이터 처리부의 동작 과정을 나타낸 흐름도이다.

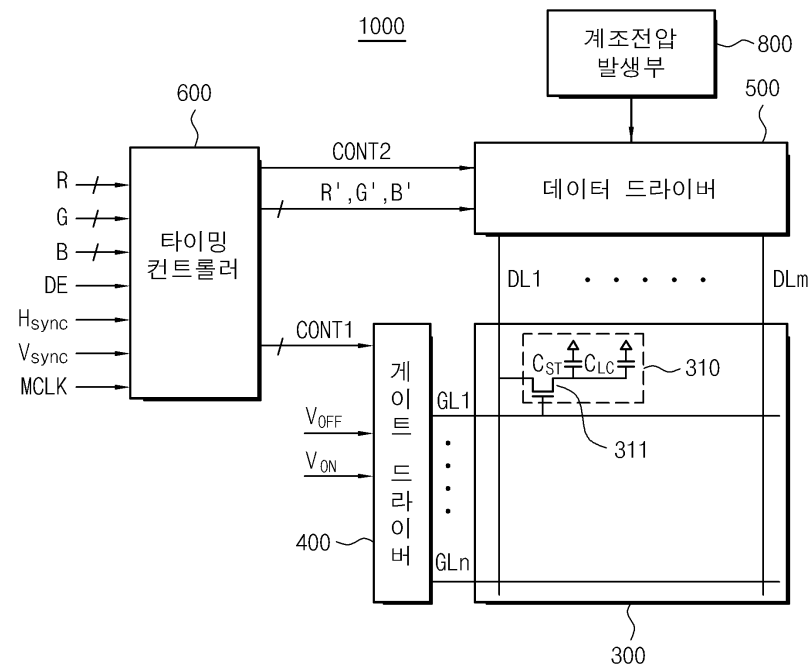
[0004] 도 4는 도 2에 도시된 데이터 처리부의 입력신호와 보정신호를 나타낸 그래프이다.

[0005] *도면의 주요 부분에 대한 부호의 설명*

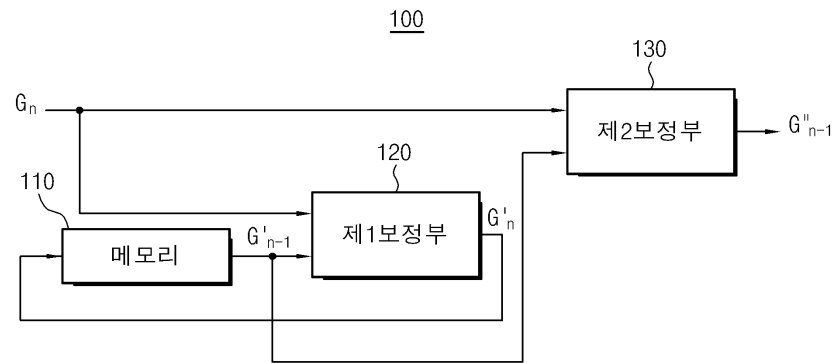
[0006] 100 : 데이터 처리부	110 : 메모리
[0007] 120 : 제1 보정부	130 : 제2 보정부
[0008] 300 : 표시부	400 : 게이트 구동부
[0009] 500 : 데이터 구동부	600 : 타이밍 컨트롤러
[0010] 800 : 계조전압 발생부	1000 : 액정표시장치

도면

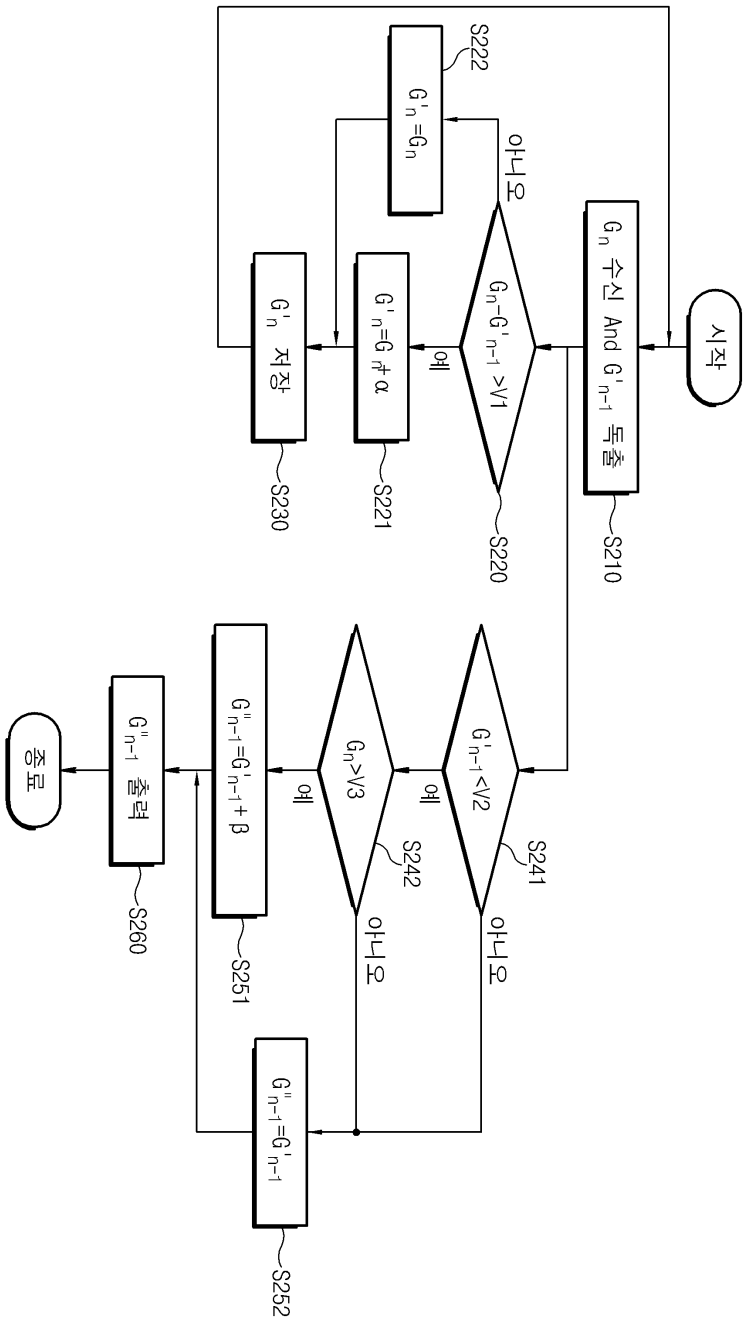
도면1



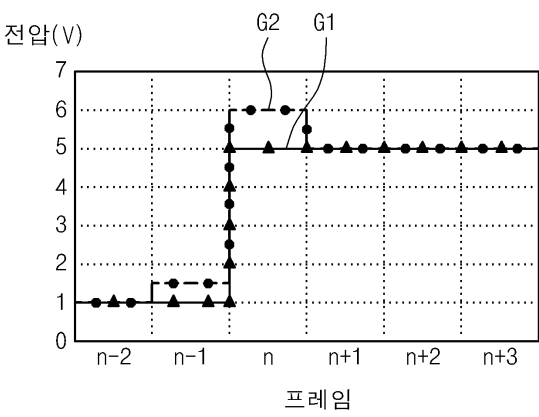
도면2



도면3



도면4



专利名称(译)	标题显示装置及其驱动方法		
公开(公告)号	KR101195568B1	公开(公告)日	2012-10-30
申请号	KR1020060015822	申请日	2006-02-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO HYUN SANG		
发明人	CHO, HYUN SANG		
IPC分类号	G09G3/20 G09G3/36		
CPC分类号	G09G2340/16 G09G2320/0252 G09G3/3648		
代理人(译)	SE JUN OH KWON, HYUK SOO 宋, 云何		
其他公开文献	KR1020070082765A		
外部链接	Espacenet		

摘要(译)

在显示装置中，数据处理部分包括存储器，第一校正部分和第二校正部分。存储器输出基于第一帧数据校正的第一校正数据。第一校正单元基于第一校正数据和第二帧数据产生第二校正数据，并在从存储器输出第一校正数据之后将第二校正数据存储存储在存储器中。第二校正单元基于第二帧数据和第一校正数据产生第三校正数据。因此，可以减少包含在数据处理部分中的存储器的数量，同时提高液晶的响应速度。

