



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년07월23일
(11) 등록번호 10-0909056
(24) 등록일자 2009년07월16일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2003-0005309

(22) 출원일자 2003년01월27일

심사청구일자 2007년12월27일

(65) 공개번호 10-2004-0068774

(43) 공개일자 2004년08월02일

(56) 선행기술조사문헌

KR1019990047258 A

KR1020000018704 A

KR1019990011781 A

KR1020010001417 A

전체 청구항 수 : 총 4 항

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박광순

대구광역시동구신암5동54-35

(74) 대리인

김용인, 박영복

심사관 : 하정균

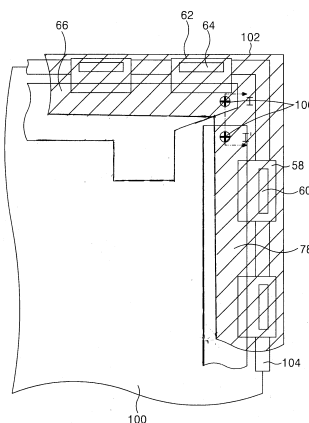
(54) 라인 온 글래스형 액정 표시 장치

(57) 요약

본 발명은 LOG형 신호 라인의 저항을 포함하는 게이트 전류 패스의 저항을 최소화할 수 있는 LOG형 액정 표시 장치를 제공하는 것이다.

본 발명에 따른 LOG형 액정 표시 장치는 액정셀 매트릭스를 구비하는 액정 표시 모듈과; 상기 액정셀 매트릭스의 데이터 라인들을 구동하는 데이터 구동 회로를 실장하여 상기 액정 표시 모듈과 접속된 제1 테이프 캐리어 패키지들과; 상기 액정셀 매트릭스의 게이트 라인들을 구동하는 게이트 구동 회로를 실장하여 상기 액정 표시 모듈과 접속된 제2 테이프 캐리어 패키지들과; 상기 데이터 구동 회로에 공급되어질 제1 구동 신호들과 상기 게이트 구동 회로에 공급되어질 제2 구동 신호들을 상기 제1 테이프 캐리어 패키지로 공급하는 제1 인쇄 회로 기판과; 상기 제2 구동 신호들을 상기 제2 테이프 캐리어 패키지로 공급하는 제2 인쇄 회로 기판과; 상기 제1 인쇄 회로 기판으로부터의 제2 구동 신호들을 상기 제2 인쇄 회로 기판으로 공급하기 위하여 상기 액정 표시 모듈에 형성된 라인-온-글래스형 신호 라인군과; 상기 액정 표시 모듈을 보호하면서 상기 제1 및 제2 인쇄 회로 기판을 통해 상기 라인-온-글래스형 신호 라인군 중 적어도 어느 하나의 신호 라인과 병렬로 접속되는 도전성 바텀 커버를 구비하는 것을 특징으로 한다.

대표도 - 도9



특허청구의 범위

청구항 1

액정셀 매트릭스를 구비하는 액정 표시 모듈과;

상기 액정셀 매트릭스의 데이터 라인들을 구동하는 데이터 구동 회로를 실장하여 상기 액정 표시 모듈과 접속된 제1 테이프 캐리어 패키지들과;

상기 액정셀 매트릭스의 게이트 라인들을 구동하는 게이트 구동 회로를 실장하여 상기 액정 표시 모듈과 접속된 제2 테이프 캐리어 패키지들과;

상기 데이터 구동 회로에 공급되어질 제1 구동 신호들과 상기 게이트 구동 회로에 공급되어질 제2 구동 신호들을 상기 제1 테이프 캐리어 패키지로 공급하는 제1 인쇄 회로 기판과;

상기 제2 구동 신호들을 상기 제2 테이프 캐리어 패키지로 공급하는 제2 인쇄 회로 기판과;

상기 제1 인쇄 회로 기판으로부터의 제2 구동 신호들을 상기 제2 인쇄 회로 기판으로 공급하기 위하여 상기 액정 표시 모듈에 형성된 라인-온-글래스형 신호 라인군과;

상기 액정 표시 모듈을 보호하면서 상기 제1 및 제2 인쇄 회로 기판을 통해 상기 라인-온-글래스형 신호 라인군 중 적어도 어느 하나의 신호 라인과 병렬로 접속되는 도전성 버팀 커버를 구비하는 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 라인-온-글래스형 신호 라인군은

상기 제1 인쇄 회로 기판으로부터 상기 제1 테이프 캐리어 패키지들 중 어느 하나를 경유하여 공급된 상기 제2 구동 신호들을 상기 제2 테이프 캐리어 패키지들 중 어느 하나를 경유하여 상기 제2 인쇄 회로 기판으로 공급하는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제 1 항에 있어서,

상기 버팀 커버는

상기 제1 및 제2 인쇄 회로 기판을 경유하여 상기 라인-온-글래스형 신호 라인군 중 그라운드 전압을 공급하는 그라운드 라인과 병렬로 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제 3 항에 있어서,

상기 제1 및 제2 인쇄 회로 기판에 형성된 그라운드 신호 라인과 상기 버팀 커버를 전기적으로 접속시키는 스크류를 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<22> 본 발명은 액정 표시 장치에 관한 것으로, 특히 라인 온 글래스형 신호 라인에 의한 신호 왜곡을 최소화할 수 있는 액정 표시 장치에 관한 것이다.

<23> 액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스형으로 배열된 액정 표시 패널과, 액정 표시 패널을 구동하

기 위한 구동 회로를 구비한다.

- <24> 액정 표시 패널은 액정셀들이 화소 신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다.
- <25> 구동 회로는 액정 표시 패널의 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어하기 위한 타이밍 제어부와, 상기 액정 표시 패널과 상기 구동 회로들의 구동에 필요한 전원 신호들을 공급하는 전원부를 구비한다.
- <26> 데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit;이하, IC라 함)들로 분리되어 칩 형태로 제작된다. 집적화된 드라이브 IC들 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정 표시 패널과 전기적으로 접속된다. 또한 드라이브 IC는 COG(Chip On Glass) 방식으로 액정 표시 패널 상에 직접 실장되기도 한다. 타이밍 제어부와 전원부는 칩 형태로 제작되어 메인 PCB(Printed Circuit Board) 상에 실장된다.
- <27> TCP에 의해 액정 표시 패널과 접속되는 드라이브 IC들은 FPC(Flexible Printed Circuit)와 서브 PCB를 통해 메인 PCB의 타이밍 제어부 및 전원부와 접속된다. 구체적으로, 데이터 드라이브 IC들은 메인 PCB -> 제1 FPC -> 데이터 PCB -> 데이터 TCP를 경유하여 타이밍 제어부로부터의 데이터 제어 신호들 및 화소 데이터와, 전원부로부터의 전원 신호들을 공급받게 된다. 게이트 드라이브 IC들은 메인 PCB -> 제1 FPC -> 데이터 PCB -> 제2 FPC -> 게이트 PCB -> 게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과, 전원부로부터의 전원 신호들을 공급받게 된다.
- <28> COG 방식으로 액정 표시 패널에 실장되는 드라이브 IC들은 FPC와 액정 표시 패널에 형성되는 라인 온 글래스(Line-On-Glass; 이하 LOG라 함)형 신호 라인들을 통해 메인 PCB에 실장된 타이밍 제어부로부터의 제어 신호들 및 화소 데이터와 전원부로부터의 전원 신호들을 공급받게 된다.
- <29> 한편, 액정 표시 장치를 더욱 박형화하기 위하여 드라이브 IC들이 TCP를 통해 액정 표시 패널과 접속되는 경우에도 LOG형 신호 라인들을 채택하여 FPC 및/또는 PCB를 제거하게 된다.
- <30> 예를 들면, 데이터 PCB와 게이트 PCB를 연결하는 FPC를 제거하고 게이트 PCB에 게이트 제어 신호들 및 전원 신호들을 공급하는 신호 라인들을 LOG형으로 액정 표시 패널 상에 형성하게 된다. 이에 따라, 게이트 TCP에 실장된 게이트 드라이브 IC들은 메인 PCB -> FPC -> 데이터 PCB -> 데이터 TCP -> LOG형 신호 라인 -> 게이트 TCP -> 게이트 PCB -> 게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다.
- <31> 또한, 데이터 PCB와 접속되는 FPC와 게이트 PCB를 제거하고 게이트 드라이브 IC들에 게이트 제어 신호들 및 전원 신호들을 공급하는 신호 라인들을 LOG형으로 액정 표시 패널 상에 형성하게 된다. 이에 따라, 게이트 TCP에 실장된 게이트 드라이브 IC들은 메인 PCB -> FPC -> 데이터 PCB -> 데이터 TCP -> LOG형 신호 라인 -> 게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다.
- <32> 그런데, LOG형 신호 라인들은 액정 표시 패널 외곽부의 한정된 영역에 미세 패턴으로 형성됨에 따라 비교적 큰 라인 저항을 가지게 된다. 이에 따라, LOG 신호 라인들을 통해 공급되는 게이트 제어 신호들 및 전원 신호들이 왜곡되는 문제가 발생하게 된다.
- <33> 구체적으로, 데이터 PCB와 게이트 PCB 사이의 FPC가 제거된 LOG형 액정 표시 장치는 도 1에 도시된 바와 같이 타이밍 제어부(22)와 전원부(24)를 포함하는 메인 PCB(20)와, FPC(28)를 통해 메인 PCB(20)와 접속된 데이터 PCB(16)와, 데이터 구동 IC(14)를 실장하여 데이터 PCB(16)와 액정 표시 패널(6) 사이에 접속된 데이터 TCP(12)와, 게이트 구동 IC(10)를 실장하여 액정 표시 패널(6)에 접속된 게이트 TCP(8)와, 게이트 TCP(8)와 접속된 게이트 PCB(18)를 구비한다.
- <34> 액정 표시 패널(6)은 박막 트랜지스터 어레이 기관(2)과, 칼러 필터 어레이 기관(4)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(6)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다. 액정셀은 공급된 화소 신호에 따라 광투과율을 조절하여 계조를 구현하게 된다.
- <35> 데이터 드라이브 IC들(14)은 데이터 TCP(12) 및 액정 표시 패널(6)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(14)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라

인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(14)은 데이터 PCB(16)와 FPC(28)를 통해 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

- <36> 게이트 드라이브 IC들(10)은 게이트 TCP(8) 및 액정 표시 패널(6)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.
- <37> 이러한 게이트 드라이브 IC(10)에 공급되는 게이트 제어 신호들 및 전원 신호들은 먼저 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터 FPC(18)와 데이터 PCB(16)를 경유하여 첫번째 데이터 TCP(12)에 공급된다. 그리고, 첫번째 데이터 TCP(12)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(2)의 가장자리 영역에 형성된 LOG형 신호 라인군(26)을 경유하여 첫번째 게이트 TCP(8)에 공급된다. 첫번째 게이트 TCP(8)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 PCB(18)를 경유하여 게이트 TCP들(8) 각각에 공급되고, 게이트 TCP들(8) 각각에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)로 공급되어 이용된다.
- <38> LOG형 신호 라인군(26)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(24)로부터 공급되는 전원 신호들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.
- <39> 이러한 LOG형 신호 라인군(26)은 박막 트랜지스터 어레이 기관(2)의 한정된 패드 영역에서 게이트 라인들과 동일한 게이트 금속층을 이용하여 미세 패턴으로 형성된다. 이에 따라, LOG형 신호 라인군(26)은 기존의 FPC 보다 큰 라인 저항을 가지게 된다. 이로 인하여, LOG형 신호 라인군(26)을 통해 전송되는 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 왜곡됨으로써 크로스토크(Crosstalk), 그리니쉬(Greenish), 플리커(Flicker) 등과 같은 화질 저하 현상이 발생하게 된다. 특히, LOG형 신호 라인군(26)을 통해 공급되는 전원 신호들 및 게이트 제어 신호들 중 게이트 로우 전압(VGL)의 파형 왜곡이 전술한 화질 저하 현상의 주요 원인이 되고 있다. 그리고, 게이트 로우 전압(VGL)의 파형 왜곡은 그 게이트 로우 전압(VGL)과 함께 전류 패스를 형성하는 그라운드 라인
- <40> 예를 들어, 도 2에 도시된 바와 같이 도트 인버전 방식으로 구동되는 액정 표시 패널에 블랙 그레이와 31 그레이가 화소(R, G, B 서브 화소 포함) 단위로 교번하는 칼럼 라인 패턴을 표시하는 경우 G 서브 화소가 밝게 보이는 그리니쉬 현상이 발생하게 된다.
- <41> 구체적으로, 도 2에 도시된 바와 같이 블랙 그레이와 31 그레이가 교번하는 칼럼 라인 패턴을 표시하는 경우 좌우로 인접한 서브 화소가 서로 다른 그레이를 표시하므로 그 서브 화소간의 화소 신호 트랜지션 크기가 서로 다르게 된다. 이에 따라, 기생 캐패시터를 통한 인접 화소의 커플링 값이 서로 상쇄되지 않게 되고, 이 결과 액정 표시 패널에 공급되는 직류 형태의 공통 전압(VCOM)과 게이트 로우 전압(VGL)이 도 3a 및 도 3b에 도시된 바와 같이 데이터 신호를 따라 스윙하게 된다.
- <42> 도 3a 및 도 3b 각각은 블랙 그레이 신호와 31 그레이 신호가 특정 데이터 라인에 도트 인버전 방식으로 공급되는 경우 기생 캐패시터에 의해 스윙되는 공통 전압(VCOM) 및 게이트 로우 전압(VGL) 파형을 도시한 것이다. 여기서, 공통 전압(VCOM) 및 게이트 로우 전압(VGL)은 상대적으로 큰 전압의 블랙 그레이 신호와 동일한 위상을 가지고 스윙하게 됨을 알 수 있다.
- <43> 이 결과, 도 4에 도시된 바와 같이 도 2에 도시된 R1, G1, B1 각각에 블랙 화소 신호를 공급하고 R2, G2, B2 각각에 31 그레이의 화소 신호를 공급하는 경우 블랙 화소 신호를 따라 스윙하는 공통 전압(VCOM)으로 인하여 R1, B1, G2의 화소 신호 충전값(VR1, VG1, VB2)의 G1, R2, B2의 화소 신호 충전값(VG1, VR2, VB2) 보다 작아지게 된다. 이에 따라 G1, R2, B2 화소가 상대적으로 밝게 보이는데, 블랙 화소 신호가 공급되는 R1, B1은 육안 감지가 불가능하므로 31 그레이가 공급되는 G2 화소만 밝게 보이게 되어 그리니쉬 현상이 발생하게 된다.
- <44> 그리고, 도 5에 도시된 바와 같이 액정 패널에 31 그레이와 블랙 그레이가 서브 화소 단위로 교번하는 패턴을 표시하고 특정 영역에 동일한 그레이를 표시하는 윈도우(W)를 표시하는 경우 그 윈도우 영역(W)에서는 동일 그레이를 표시하므로 인접한 화소들 간의 화소 신호 트랜지션 크기가 상쇄된다. 이에 따라, 도 6에 도시된 바와 같이 상기 윈도우 영역(W)이 포함되는 T2 구간에서의 게이트 로우 전압(VGL) 및 공통 전압(VCOM)의 스윙 폭은

그 윈도우 영역(W)이 포함되지 않는 T1 구간 보다 작아지게 된다. 따라서, 윈도우 영역(W)을 포함하는 T2 구간에 구동되는 화소들과 그 윈도우 영역(W)이 포함하지 않는 T1 구간에 구동되는 화소들의 충전값이 달라지게 된다. 구체적으로, 도 7에 도시된 바와 같이 R1, G1, B1 라인을 살펴 보면 블랙 화소 신호가 공급되는 G1 라인(육안 감지 않됨)을 제외하고 R1 및 B1 라인은 T1 구간에서의 충전량(VR1, VB1) 보다 T2 구간에서의 충전량(VR2, VB2)이 작아짐을 알 수 있다. 이 결과, 윈도우 영역(W)을 포함하는 T2 구간에 구동되는 화소들이 그 윈도우 영역(W)을 포함하지 않는 T1 구간에 구동되는 화소들 보다 상대적으로 밝게 보이는 수평 크로스토크가 발생하게 된다.

<45> 이렇게 그리니쉬 및 크로스토크를 유발하는 공통 전압(VCOM) 및 게이트 로우 전압(VGL)의 스윙 전압은 그들과 함께 게이트 전류 패스를 형성하는 그라운드 전압 쪽으로 유기된다. 이에 따라, 그라운드 전압이 공급되는 그라운드 라인의 저항이 큰 경우 게이트 전류 패스의 저항이 증가하여 전술한 공통 전압(VCOM) 및 게이트 로우 전압(VGL)의 스윙 폭은 더욱 증대하게 된다. 그런데, 종래의 액정 표시 장치에서 그라운드 라인은 수십Ω 정도의 저항 성분을 포함하는 LOG형 그라운드 라인을 포함함에 따라 비교적 큰 저항 성분을 포함하게 된다. 이로 인하여, 게이트 전류 패스의 저항이 증가하여 전술한 공통 전압(VCOM) 및 게이트 로우 전압(VGL)의 스윙 폭이 증대됨으로써 전술한 그리니쉬 및 수평 크로스토크 현상이 선명해지는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

<46> 따라서, 본 발명의 목적은 LOG형 신호 라인의 저항을 포함하는 게이트 전류 패스의 저항을 최소화할 수 있는 LOG형 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

<47> 상기 목적을 달성하기 위하여, 본 발명에 따른 LOG형 액정 표시 장치는 액정셀 매트릭스를 구비하는 액정 표시 모듈과; 상기 액정셀 매트릭스의 데이터 라인들을 구동하는 데이터 구동 회로를 실장하여 상기 액정 표시 모듈과 접속된 제1 테이프 캐리어 패키지들과; 상기 액정셀 매트릭스의 게이트 라인들을 구동하는 게이트 구동 회로를 실장하여 상기 액정 표시 모듈과 접속된 제2 테이프 캐리어 패키지들과; 상기 데이터 구동 회로에 공급되어질 제1 구동 신호들과 상기 게이트 구동 회로에 공급되어질 제2 구동 신호들을 상기 제1 테이프 캐리어 패키지로 공급하는 제1 인쇄 회로 기판과; 상기 제2 구동 신호들을 상기 제2 테이프 캐리어 패키지로 공급하는 제2 인쇄 회로 기판과; 상기 제1 인쇄 회로 기판으로부터의 제2 구동 신호들을 상기 제2 인쇄 회로 기판으로 공급하기 위하여 상기 액정 표시 모듈에 형성된 라인-온-글래스형 신호 라인군과; 상기 액정 표시 모듈을 보호하면서 상기 제1 및 제2 인쇄 회로 기판을 통해 상기 라인-온-글래스형 신호 라인군 중 적어도 어느 하나의 신호 라인과 병렬로 접속되는 도전성 바텀 커버를 구비하는 것을 특징으로 한다.

<48> 상기 라인-온-글래스형 신호 라인군은 상기 제1 인쇄 회로 기판으로부터 상기 제1 테이프 캐리어 패키지들 중 어느 하나를 경유하여 공급된 상기 제2 구동 신호들을 상기 제2 테이프 캐리어 패키지들 중 어느 하나를 경유하여 상기 제2 인쇄 회로 기판으로 공급하는 것을 특징으로 한다.

<49> 상기 버텀 커버는 상기 제1 및 제2 인쇄 회로 기판을 경유하여 상기 라인-온-글래스형 신호 라인군 중 그라운드 전압을 공급하는 그라운드 라인과 병렬로 접속되는 것을 특징으로 한다.

<50> 상기 제1 및 제2 인쇄 회로 기판에 형성된 그라운드 신호 라인과 상기 버텀 커버를 전기적으로 접속시키는 스크류를 추가로 구비하는 것을 특징으로 한다.

<51> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<52> 이하, 본 발명의 바람직한 실시예에 대하여 도 8 내지 도 13을 참조하여 설명하기로 한다.

<53> 도 8는 본 발명의 실시 예에 따른 LOG형 액정 표시 장치를 개략적으로 도시한 평면도로서, 도 8에 도시된 LOG형 액정 표시 장치는 데이터 PCB(66)와 게이트 PCB(78) 사이의 FPC가 제거된 구조를 갖는다.

<54> 도 8에 도시된 LOG형 액정 표시 장치는 타이밍 제어부(82)와 전원부(84)를 포함하는 메인 PCB(80)와, FPC(88)를 통해 메인 PCB(80)와 접속된 데이터 PCB(66)와, 데이터 구동 IC(64)를 실장하여 데이터 PCB(66)와 액정 표시 패

널(56) 사이에 접속된 데이터 TCP(62)와, 게이트 구동 IC(60)를 실장하여 액정 표시 패널(56)에 접속된 게이트 TCP(58)와, 게이트 TCP(58)와 접속된 게이트 PCB(78)를 구비한다.

- <55> 액정 표시 패널(56)은 박막 트랜지스터 어레이 기관(52)과, 칼러 필터 어레이 기관(54)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(56)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다. 액정셀은 공급된 화소 신호에 따라 광투과율을 조절하여 계조를 구현하게 된다.
- <56> 데이터 드라이브 IC들(64)은 데이터 TCP(62) 및 액정 표시 패널(56)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(64)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(64)은 데이터 PCB(66)와 FPC(88)를 통해 메인 PCB(80) 상의 타이밍 제어부(82) 및 전원부(84)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.
- <57> 게이트 드라이브 IC들(60)은 게이트 TCP(58) 및 액정 표시 패널(56)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(60)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(60)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.
- <58> 이러한 게이트 드라이브 IC(60)에 공급되는 게이트 제어 신호들 및 전원 신호들은 먼저 메인 PCB(80) 상의 타이밍 제어부(82) 및 전원부(84)로부터 FPC(88)와 데이터 PCB(66)를 경유하여 첫번째 데이터 TCP(62)에 공급된다. 그리고, 첫번째 데이터 TCP(62)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(52)의 가장자리 영역에 형성된 LOG형 신호 라인군(86)을 경유하여 첫번째 게이트 TCP(58)에 공급된다. 첫번째 게이트 TCP(58)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 PCB(78)를 경유하여 게이트 TCP들(58) 각각에 공급되고, 게이트 TCP들(58) 각각에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(60)로 공급되어 이용된다.
- <59> LOG형 신호 라인군(86)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(24)로부터 공급되는 전원 신호들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.
- <60> 특히, LOG 신호 라인군(86) 중 그라운드 전압(GND)을 공급하는 LOG형 그라운드 라인(LGND)의 저항으로 인한 신호 왜곡을 최소화하기 위하여, 데이터 PCB(66)와 게이트 PCB(78) 사이에 상기 LOG형 그라운드 라인(LGND)과 병렬로 접속되는 그라운드 전압(GND)의 도전 통로를 추가로 형성하게 된다.
- <61> 예를 들면, 도 9에 도시된 바와 같이 데이터 PCB(66)와 게이트 PCB(78)와 중첩되는 바텀 커버(Bottom Cover)(102)를 이용하여 LOG형 그라운드 라인(LGND)과 병렬 접속되는 그라운드 경로(TGND)를 형성하게 된다.
- <62> 도 9는 본 발명의 실시 예에 따른 액정 표시 모듈의 배면부 일부분을 도시한 배면도이고, 도 10은 도 9에 도시된 액정 표시 모듈을 I-I'선을 따라 절단하여 도시한 단면도이다.
- <63> 도 9 및 도 10에 있어서, 전술한 액정 패널(56)의 하부에 위치하는 백라이트 유닛(100)은 메인 서포터(104) 위에 안착된다. 그리고, 데이터 드라이브 IC(64)를 실장하고 액정 패널(56)의 박막 트랜지스터 기관에 접속된 데이터 TCP(62)는 데이터 PCB(66)와 함께 메인 서포터(104)의 측면부를 감싸면서 백라이트 유닛(100)의 배면부에 안착된다. 이와 유사하게, 게이트 드라이브 IC(60)를 실장하고 액정 패널(56)의 박막 트랜지스터 기관에 접속된 게이트 TCP(58)도 게이트 PCB(78)와 함께 메인 서포터(104)의 측면부를 감싸면서 백라이트 유닛(100)의 배면부에 안착된다. 그리고, 바텀 커버(102)가 데이터 PCB(66), 게이트 PCB(78)와, 데이터 TCP(62), 그리고 게이트 TCP(58)의 배면부와 중첩되면서 메인 서포터(104)의 측면부를 감싸도록 체결된다. 통상, 바텀 커버(102)는 금속 재질로 형성되므로 도전성을 갖는다. 이러한 바텀 커버(102)는 도 10에 도시된 단면도와 같이 스크류(106)를 통해 데이터 PCB(66)에 형성된 그라운드 라인(PGND1) 및 게이트 PCB(78)에 형성된 그라운드 라인(PGND2)과 전기적으로 접속된다.
- <64> 이에 따라, 데이터 PCB(66)와 게이트 PCB(78) 사이에 형성되는 그라운드 전압의 경로는 데이터 PCB(66)의 그라운드 라인(PGND1) -> 첫번째 데이터 TCP(62) -> LOG형 그라운드 라인(LGND) -> 첫번째 게이트 TCP(58) -> 게이트 PCB(78)의 그라운드 라인(PGND2)으로 이어지는 제1 경로와; 데이터 PCB(66)의 그라운드 라인(PGND1) -> 스크

류(106) -> 바텀 커버(102) -> 스크류(106) -> 게이트 PCB(78)의 그라운드 라인(PGND2)으로 이어지는 제2 경로가 병렬로 구성된다.

<65> 이러한 그라운드 경로의 병렬 구성에 따라 그라운드 라인의 저항이 약 1Ω 이하로 감소하게 된다. 따라서, 상기 그라운드 경로를 포함하는 전원 신호(게이트 하이 전압(VGH), 게이트 로우 전압(VGL), 공통 전압(VCOM) 등)의 게이트 전류 패스의 저항이 감소하게 된다. 이 결과, 도 11에 도시된 바와 같이 종래에는 큰 스윙 폭을 가지고 불안정하였던 게이트 로우 전압(VGL1)이 본 발명에 따른 액정 표시 장치에서는 전류 패스 저항 감소에 따라 안정화된 게이트 로우 전압(VGL2)으로 공급될 수 있게 된다.

<66> 또한, 바텀 커버(102)는 LOG 신호 라인군(86) 중 적어도 하나의 신호 라인과 상기 스크류(106), 데이터 PCB(66) 및 게이트 PCB(78)를 경유하여 병렬로 접속된다. 이러한 경우에도 게이트 전류 패스의 저항이 감소하게 되므로 공통 전압(VCOM) 및 게이트 로우 전압(VGL)이 안정화될 수 있게 된다.

발명의 효과

<67> 상술한 바와 같이, 본 발명에 따른 LOG형 액정 표시 장치는 게이트 구동 신호들을 공급하는 LOG 신호 라인군 중 어느 하나와 도전 바텀 커버를 병렬로 접속시킴으로써 게이트 전류 패스의 저항을 감소시킬 수 있게 된다. 예를 들면, 본 발명에 따른 LOG형 액정 표시 장치는 LOG형 그라운드 라인과 바텀 커버를 병렬로 접속시킴으로써 게이트 전류 패스의 저항을 감소시킬 수 있게 된다.

<68> 이에 따라, 본 발명에 따른 LOG형 액정 표시 장치에 의하면 게이트 전류 패스의 저항이 감소하여 공통 전압 및 게이트 로우 전압이 안정화됨으로써 불안정한 공통 전압 및 게이트 로우 전압으로 인한 그리니쉬 및 수평 크로스토크를 최소화할 수 있게 된다.

<69> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 종래의 FPC를 제거한 라인 온 글래스형 액정 표시 장치를 도시한 평면도.
- <2> 도 2는 종래의 액정 표시 장치에서 그리니쉬를 유발하는 특정 패턴을 도시한 도면.
- <3> 도 3a 및 도 3b는 도 2에 도시된 특정 패턴으로 인한 공통 전압과 게이트 로우 전압의 스윙 폭을 비교하여 도시한 도면.
- <4> 도 4는 도 3a 및 도 3b에 도시된 공통 전압의 스윙으로 인한 그리니쉬 현상을 설명하기 위한 도면.
- <5> 도 5는 종래의 액정 표시 장치에서 수평 크로스토크를 유발하는 윈도우를 포함하는 특정 패턴을 도시한 도면.
- <6> 도 6은 도 5에 도시된 윈도우 영역을 포함하는 구간과 포함하지 않는 구간에서의 공통 전압과 게이트 로우 전압의 스윙 폭을 비교하여 도시한 도면.
- <7> 도 7은 도 6에 도시된 공통 전압의 스윙으로 인한 수평 크로스토크 현상을 설명하기 위한 도면.
- <8> 도 8은 본 발명의 실시 예에 따른 FPC를 제거한 라인 온 글래스형 액정 표시 장치를 포함하는 액정 표시 모듈을 도시한 평면도.
- <9> 도 9는 도 8에 도시된 액정 표시 모듈의 배면부를 부분적으로 도시한 평면도.
- <10> 도 10은 도 9에 도시된 I-I'선을 따라 절단한 액정 표시 모듈의 단면도.
- <11> 도 11은 종래와 본 발명의 게이트 로우 전압을 비교하여 도시한 파형도.

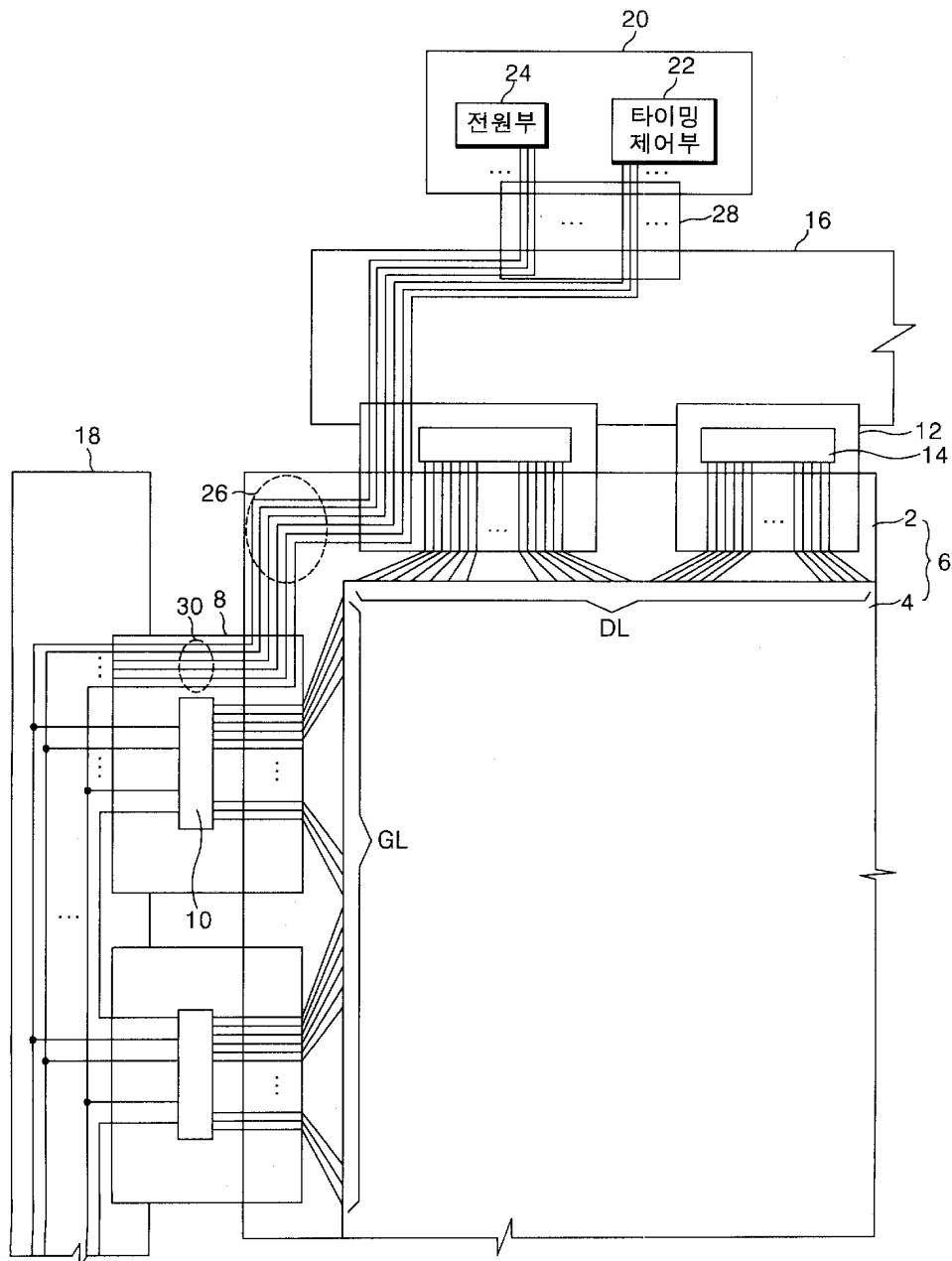
<12> <도면의 주요부분에 대한 설명>

- <13> 2, 52 : 박막 트랜지스터 어레이 기판 4, 54 : 칼라 필터 어레이 기판
- <14> 6, 56 : 액정 표시 패널 8, 58 : 게이트 TCP

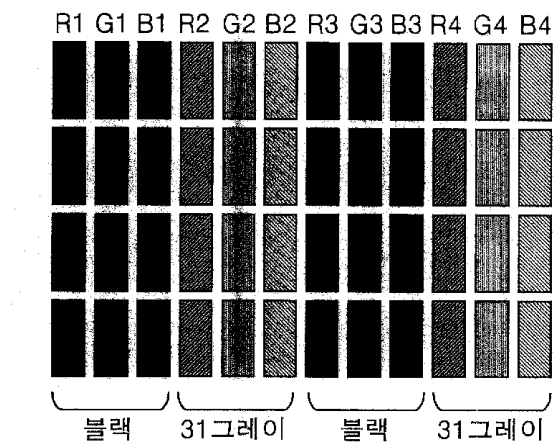
- | | | |
|------|---------------------|------------------|
| <15> | 10, 60 : 게이트 구동 IC | 12, 62 : 데이터 TCP |
| <16> | 14, 64 : 데이터 구동 IC | 16, 66 : 데이터 PCB |
| <17> | 18, 88 : FPC | 20, 80 : 메인 PCB |
| <18> | 22, 82 : 타이밍 제어부 | 24, 84 : 전원부 |
| <19> | 26, 86 : LOG 신호 라인군 | 18, 78 : 게이트 PCB |
| <20> | 100 : 백라이트 유닛 | 102 : 바텀 커버 |
| <21> | 106 : 스크류 | |

도면

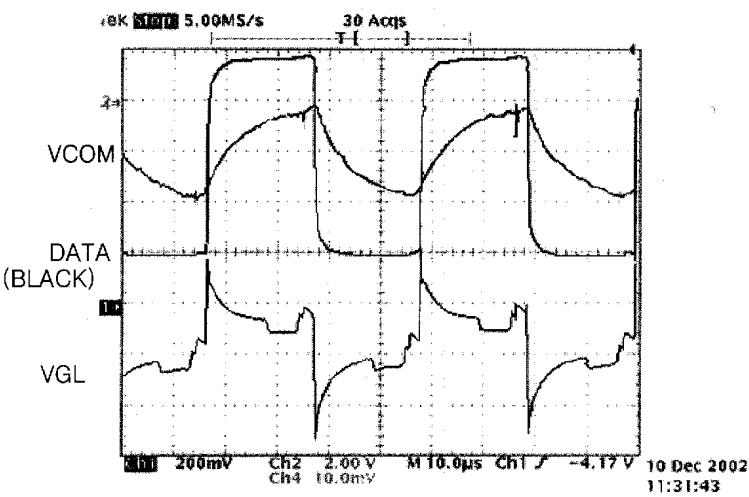
도면1



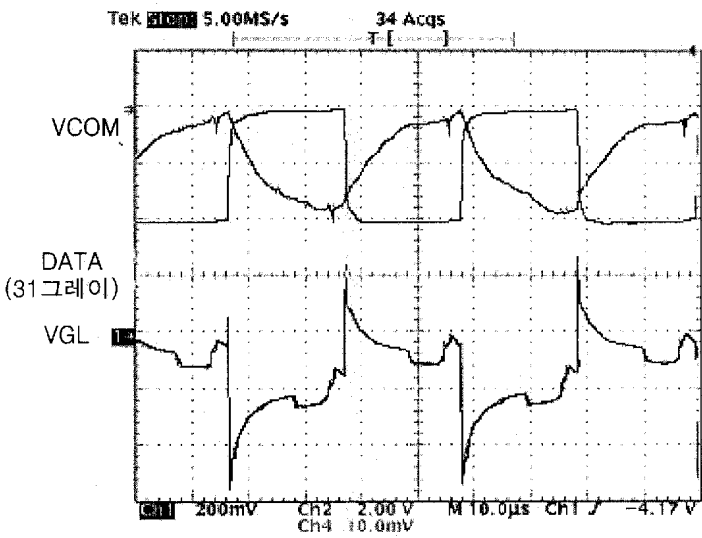
도면2



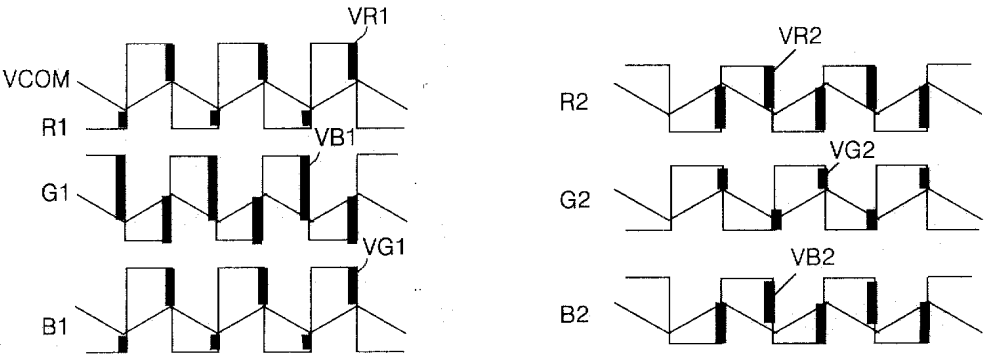
도면3a



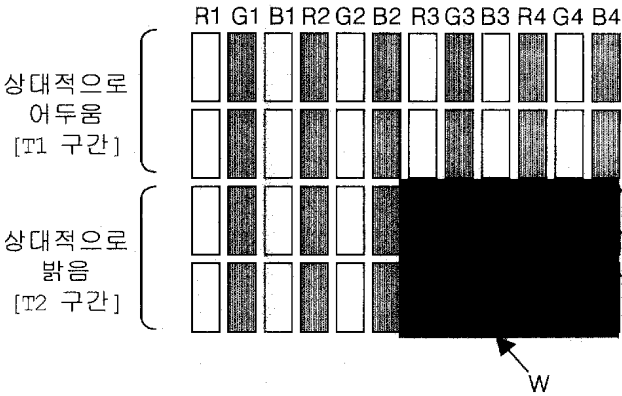
도면3b



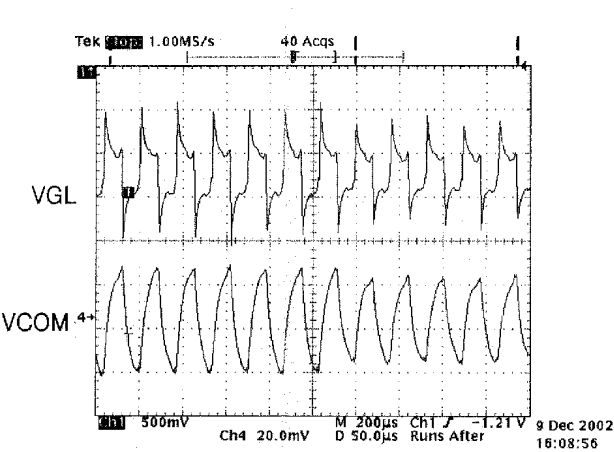
도면4



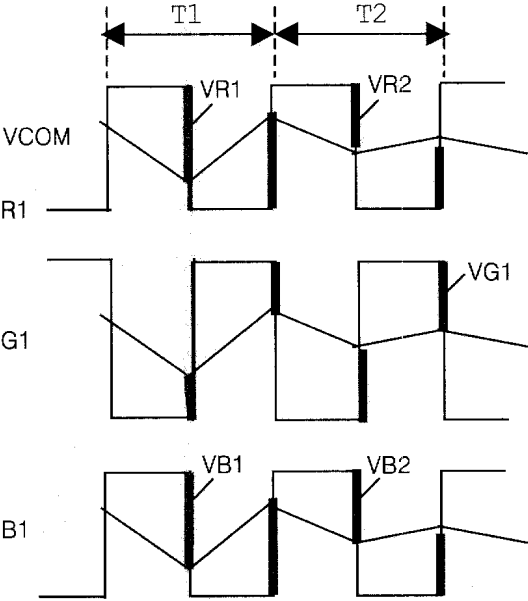
도면5



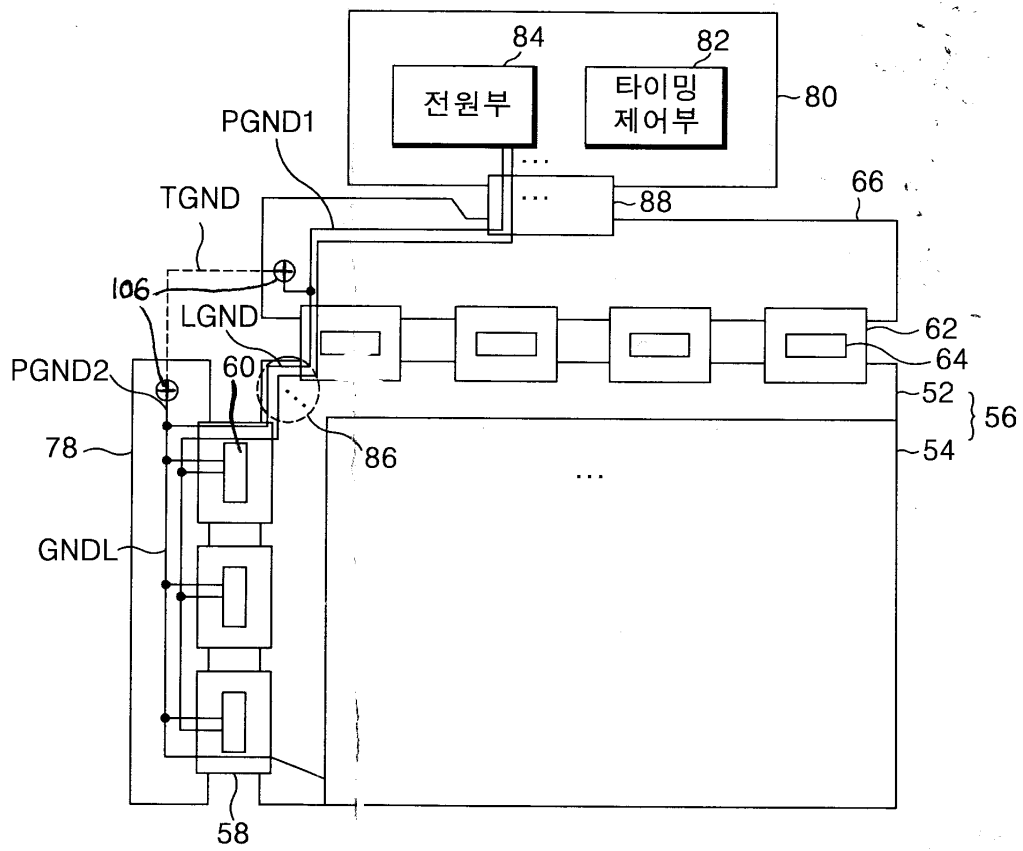
도면6



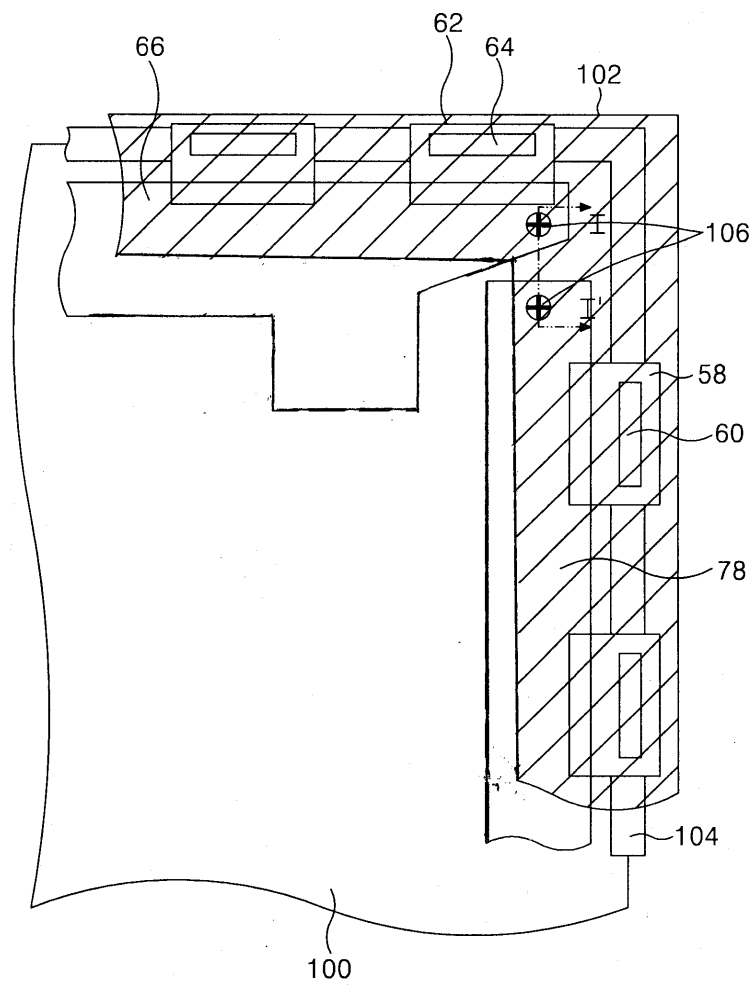
도면7



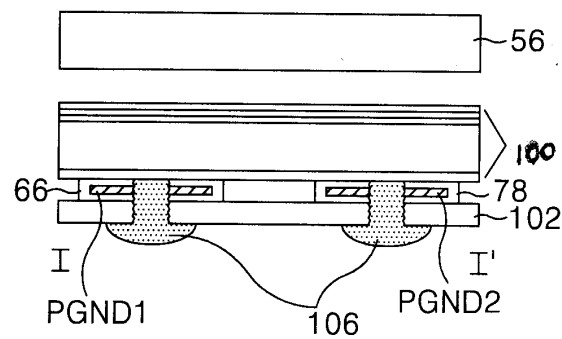
도면8



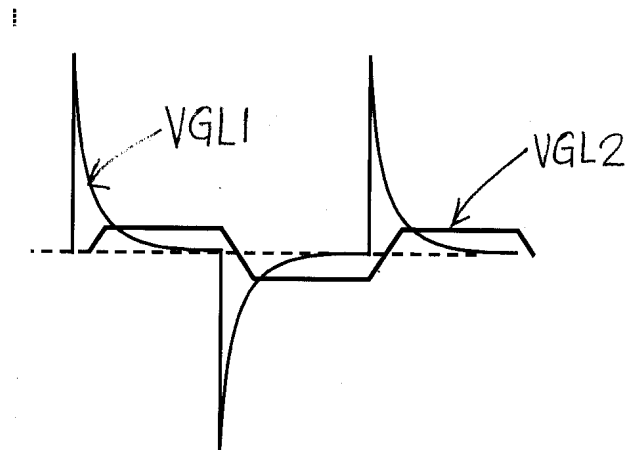
도면9



도면10



도면11



专利名称(译)	线上玻璃型液晶显示器		
公开(公告)号	KR100909056B1	公开(公告)日	2009-07-23
申请号	KR1020030005309	申请日	2003-01-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK KWANGSOON		
发明人	PARK,KWANGSOON		
IPC分类号	G02F1/1345		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020040068774A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种LOG型液晶显示装置，其能够使包括LOG型信号线的电阻的栅极电流路径的电阻最小化。根据本发明的LOG型液晶显示装置包括：具有液晶单元矩阵的液晶显示模块；第一带载封装，安装有数据驱动电路，用于驱动液晶单元矩阵的数据线并连接到液晶显示模块；第二带载封装，安装有栅极驱动电路，用于驱动液晶单元矩阵的栅极线并连接到液晶显示模块；第一印刷电路板，用于提供要提供给数据驱动电路的第一驱动信号和第二驱动信号，以提供给第一带载封装的栅极驱动电路；第二印刷电路板，用于将第二驱动信号提供给第二带载封装；一种形成在液晶显示模块中的玻璃上线型信号线组，用于从第一印刷电路板向第二印刷电路板提供第二驱动信号；并且导电底盖通过第一和第二印刷电路板并联连接到至少任何一个玻璃上线型信号线组，同时保护液晶显示模块。

