



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월05일
(11) 등록번호 10-0763847
(24) 등록일자 2007년09월28일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2005-0126078

(22) 출원일자 2005년12월20일

심사청구일자 2005년12월20일

(65) 공개번호 10-2007-0065532

공개일자 2007년06월25일

(56) 선행기술조사문헌

JP06208337 A

(뒷면에 계속)

전체 청구항 수 : 총 18 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

권재욱

경기 용인시 기흥읍 농서리 산 7-1 마로니에동 1202호

이승정

서울 관악구 신림11동 1567-4

(74) 대리인

권영규, 윤재석, 한지희

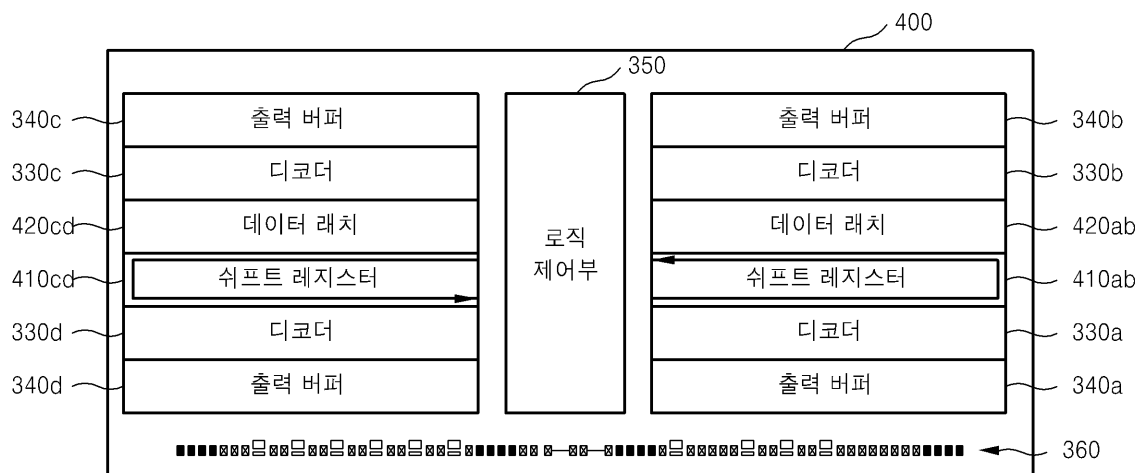
심사관 : 이병우

(54) 더블 칼럼 구조를 가지는 액정표시 장치의 구동 집적회로

(57) 요약

더블 칼럼 구조를 가지는 액정표시 장치의 구동 집적회로가 개시된다. 본 발명에 따른 액정 표시 장치의 구동 집적회로는 제1 쉬프트 레지스터부, 제1 데이터 래치부, 제1 및 제2 디코더, 제1 및 제2 출력 버퍼를 구비한다. 상기 제1 데이터 래치부는 제1 쉬프트 레지스터부에서 생성되는 클럭 신호에 응답하여 제1 및 제2그룹 채널 데이터를 수신하여 저장한다. 상기 제1 및 제2 디코더는 각각 상기 제1 및 제2 그룹 채널 데이터를 수신하여, 상응하는 감마 전압들을 출력한다. 상기 제1 및 제2 출력 버퍼는 각각 집적 회로 칩의 하나의 장면을 따라 배치되며, 감마 전압들을 버퍼링하여 대응하는 채널들을 구동한다. 제1 쉬프트 레지스터부 및 제1 데이터 래치부는 상하블록에 의해 공유되어 제1 및 제2 그룹 채널 데이터를 공통으로 처리할 수 있다. 본 발명에 의하면, 액정표시 장치 구동 집적 회로의 면적이 감소되고, 채널간 출력 특성이 개선되는 효과가 있다.

대표도 - 도4



(56) 선행기술조사문헌
JP09081086 A
JP11038943 A

특허청구의 범위

청구항 1

액정 표시 장치의 구동 집적회로에 있어서,

제1 쉬프트 레지스터부;

상기 제1 쉬프트 레지스터부에서 생성되는 클럭 신호에 응답하여 제1 및 제2그룹 채널 데이터를 수신하여 저장하는 제1 데이터 래치부;

상기 제1 그룹 채널 데이터를 수신하여 상기 제1 그룹 채널 데이터에 상응하는 감마 전압들을 출력하는 제1 디코더;

상기 제2 그룹 채널 데이터를 수신하여 상기 제2 그룹 채널데이터에 상응하는 감마 전압들을 출력하는 제2 디코더;

집적 회로 칩의 어느 하나의 장변을 따라 배치되며, 상기 제1 그룹 채널 데이터에 상응하는 감마 전압들을 버퍼링하여 대응하는 채널들을 구동하는 제1 출력 버퍼; 및

상기 집적 회로 칩의 다른 하나의 장변을 따라 배치되며, 상기 제2 그룹 채널 데이터에 상응하는 감마 전압들을 버퍼링하여 대응하는 채널들을 구동하는 제2 출력 버퍼를 구비하는 액정 표시 장치의 구동 집적회로.

청구항 2

제 1 항에 있어서, 상기 제1 쉬프트 레지스터부는

일 방향으로 쉬프트하며 제1 래치 클럭을 발생하고, 쉬프트 방향을 전환하여, 다른 일 방향으로 쉬프트하며 제2 래치 클럭을 발생하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 3

제 2 항에 있어서, 상기 제1 쉬프트 레지스터부는

상기 액정 표시 장치의 구동 집적회로의 내부에서 발생하는 방향 조절 신호에 응답하여 상기 쉬프트 방향을 전환하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 4

제 2 항에 있어서,

상기 제1 쉬프트 레지스터부는 (i+1) 비트 쉬프트 레지스터로서, 첫번째 비트 쉬프트 레지스터부터 상기 (i+1) 번째 비트 쉬프트 레지스터까지 상기 일 방향으로 순차적인 비트 쉬프팅을 수행한 후, (i-1)번째 비트 쉬프트 레지스터부터 상기 첫번째 비트 쉬프트 레지스터까지 상기 다른 일 방향으로 순차적인 비트 쉬프팅을 수행하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 5

제 2 항에 있어서, 상기 제1 데이터 래치부는

상기 제1 래치 클럭에 응답하여 상기 제1 그룹 채널 데이터를 수신하여, 상기 제1 디코더로 출력하고,

상기 제2 래치 클럭에 응답하여 상기 제2 그룹 채널 데이터를 수신하여 상기 제2 디코더로 출력하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 6

제 5 항에 있어서, 상기 제1 데이터 래치부는,

제1 및 제2 래치를 구비하고,

상기 제1 래치 클럭에 응답하여 상기 제1 그룹 채널 데이터를 상기 제1 래치에 저장하고, 제1 입력 클럭 신호에 응답하여 상기 제1 래치에 저장된 데이터를 상기 제2 래치로 전달하고, 상기 제2 래치 클럭에 응답하여 상기 제

2 그룹 채널 데이터를 상기 제1 래치에 저장하며,

소정의 메인 출력 클럭 신호에 기초하여, 상기 제1 그룹 채널 데이터 및 상기 제2 그룹 채널 데이터를 순차적으로 출력하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 7

제 5 항에 있어서, 상기 제1 데이터 래치부는

제1 내지 제3 래치 및 스위치를 구비하고,

상기 제1 래치 클럭에 응답하여 상기 제1 그룹 채널 데이터를 상기 제1 래치에 저장하고, 입력 클럭 신호에 응답하여 상기 제1 래치에 저장된 데이터를 상기 제2 래치로 전달하고, 상기 제2 래치 클럭에 응답하여 상기 제2 그룹 채널 데이터를 상기 제1 래치에 저장하며,

제1 출력 클럭 신호에 응답하여 상기 제2 래치에 저장된 데이터를 제3 래치로 전달하여 출력하고, 제2 출력 클럭 신호에 응답하여 상기 제1 래치에 저장된 데이터를 상기 제2 래치로 전달하고, 제3 출력 클럭 신호에 응답하여 상기 제2 래치에 저장된 데이터를 스위치를 통하여 출력하며,

상기 제1 래치 클럭, 상기 입력 클럭 신호 및 상기 제2 래치 클럭 순으로 활성화되고,

메인 출력 클럭 신호에 응답하여 상기 제1 출력 클럭 신호, 상기 제2 출력 클럭 신호 및 상기 제3 출력 클럭 신호 순으로 활성화되는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 8

제 1 항에 있어서, 상기 액정 표시 장치의 구동 집적회로는

제2 쉬프트 레지스터부;

상기 제2 쉬프트 레지스터부에서 생성되는 클럭 신호에 응답하여 제3 및 제4그룹 채널 데이터를 수신하여 저장하는 제2 데이터 래치부;

상기 제3 그룹 채널 데이터를 수신하여 상기 제3 그룹 채널 데이터에 상응하는 감마 전압들을 출력하는 제3 디코더;

상기 제4 그룹 채널 데이터를 수신하여 상기 제4 그룹 채널데이터에 상응하는 감마 전압들을 출력하는 제4 디코더;

상기 제2 출력 버퍼부와 실질적으로 일렬로 배치되며, 상기 제3 그룹 채널 데이터에 상응하는 감마 전압들을 버퍼링하여 대응하는 채널들을 구동하는 제3 출력 버퍼; 및

상기 제1 출력 버퍼부와 실질적으로 일렬로 배치되며, 상기 제4 그룹 채널 데이터에 상응하는 감마 전압들을 버퍼링하여 대응하는 채널들을 구동하는 제4 출력 버퍼를 더 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 9

제 8 항에 있어서, 상기 제2 쉬프트 레지스터부는

일 방향으로 쉬프트하며 제3 래치 클럭을 발생하고, 쉬프트 방향을 전환하여, 다른 일 방향으로 쉬프트하며 제4 래치 클럭을 발생하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 10

제 9 항에 있어서, 상기 제1 및 제2 쉬프트 레지스터부의 총 비트수(L)는 다음의 수학적

$$L = [n/(k*2)] + r$$

에 의해 결정되며,

여기서, n은 상기 제1 내지 제4 그룹 채널 데이터에 상응하는 총 채널수이고, k는 동시 입력 채널수이고, r은 리던던시 비트 수인 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 11

제 10 항에 있어서, 상기 리턴던시 비트 수는
1 또는 2 인 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 12

액정 표시 장치의 구동 집적회로에 있어서,
쉬프트 레지스터부;
상기 쉬프트 레지스터부에서 생성되는 래치 클럭에 응답하여 채널 데이터를 수신하여 저장하는 데이터 래치부;
상기 채널 데이터를 디코딩하여, 상기 채널 데이터에 상응하는 감마 전압을 출력하는 디코더; 및
상기 감마 전압을 버퍼링 하여 구동전압을 발생하는 출력 버퍼를 구비하며,
상기 디코더 및 상기 출력 버퍼는 제1 내지 제4 블록으로 나뉘어져 배치되며,
상기 제1 내지 제4 블록의 출력 버퍼는 집적회로 칩의 장변에 인접하게 배치되는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 13

제 12 항에 있어서,
상기 구동 집적회로는 중심부에 배치되는 로직 제어부를 더 구비하며,
상기 제1 및 제2 블록은 상기 로직 제어부를 기준으로 한 면에 상하로 배치되며,
상기 제3 및 제4 블록은 상기 로직 제어부를 기준으로 다른 한 면에 상하로 배치되는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 14

제 13 항에 있어서,
상기 쉬프트 레지스터부 및 상기 데이터 래치부 역시 상기 제1 내지 제4 블록으로 나뉘어져 배치되는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 15

제 13 항에 있어서,
상기 채널 데이터는 제1, 제2, 제3 및 제4 그룹 채널 데이터로 나뉘어지며,
상기 데이터 래치부는
제1 및 제2 래치 클럭에 응답하여 상기 제1 및 제2 그룹 채널 데이터를 래치하여, 상기 제1 그룹 채널 데이터를 상기 제1 블록에 속하는 디코더로 출력하고, 상기 제2 그룹 채널 데이터를 상기 제2 블록에 속하는 디코더로 출력하는 제1 공유 데이터 래치부; 및
제3 및 제4 래치 클럭에 응답하여 상기 제3 및 제4 그룹 채널 데이터를 래치하여, 상기 제3 그룹 채널 데이터를 상기 제3 블록에 속하는 디코더로 출력하고, 상기 제4 그룹 채널 데이터를 상기 제4 블록에 속하는 디코더로 출력하는 제2 공유 데이터 래치부를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 16

제 15 항에 있어서, 상기 쉬프트 레지스터부는
상기 제1 내지 제4 래치 클럭을 발생하며, 상기 액정 표시 장치의 구동 집적회로의 내부에서 발생하는 방향 조절 신호에 응답하여 상기 쉬프트 방향을 적어도 한 번 전환하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 17

제 15 항에 있어서, 상기 쉬프트 레지스터부는

일 방향으로 쉬프트하며 상기 제1 래치 클럭을 발생하고, 쉬프트 방향을 전환하여, 다른 일 방향으로 쉬프트하며 상기 제2 래치 클럭 및 상기 제3 래치 클럭을 발생하며, 상기 쉬프트 방향을 다시 전환하여 상기 일 방향으로 쉬프트하며 상기 제4 래치 클럭을 발생하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

청구항 18

제 16 항 또는 제 17 항에 있어서,

상기 제1 공유 데이터 래치부는 제1 및 제2 래치를 구비하여, 상기 제1 래치 클럭에 응답하여 상기 제1 그룹 채널 데이터를 상기 제1 래치에 래치하고, 상기 제1 래치의 데이터를 상기 제2 래치로 이동시킨 후, 상기 제2 래치 클럭에 응답하여 상기 제2 그룹 채널 데이터를 상기 제1 래치로 래치하며, 상기 제2 및 제1 래치의 데이터를 순차적으로 출력하고,

상기 제2 공유 데이터 래치부는 제3 및 제4 래치를 구비하여, 상기 제3 래치 클럭에 응답하여 상기 제3 그룹 채널 데이터를 상기 제3 래치에 래치하고, 상기 제3 래치의 데이터를 상기 제4 래치로 이동시킨 후, 상기 제4 래치 클럭에 응답하여 상기 제4 그룹 채널 데이터를 상기 제3 래치로 래치하며, 상기 제4 및 제3 래치의 데이터를 순차적으로 출력하는 것을 특징으로 하는 액정 표시 장치의 구동 집적회로.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 액정 표시 장치에 관한 것으로, 좀 더 상세하게는 LCD(Liquid Crystal Display) 장치를 구동하기 위한 집적회로(LCD driver IC, LDI)에 관한 것이다.
- <13> LCD 장치는 통상적으로 LCD 패널, 게이트 드라이버 및 소스 드라이버로 구성된다. LCD 패널은 박막 트랜지스터와 화소 전극이 배열되어 있는 하판(TFT 어레이)과 색상을 나타내기 위한 컬러 필터 및 공통 전극으로 구성된 상판, 그리고 이 두 유리기판 사이에 채워져 있는 액정으로 구성되어 있으며, 두 유리 기판의 양쪽 면에 가시광선(자연광)을 선풍광하여 주는 편광판이 각각 부착되어 있다.
- <14> TFT 어레이에는, 박막트랜지스터(TFT)와 커패시터로 구성되는 각 픽셀을 매트릭스 형태로 연결하기 위한 다수의 소스 라인들과 다수의 게이트 라인들이 배선된다.
- <15> 게이트 드라이버는 TFT-LCD 패널의 게이트 라인들을 순차적으로 구동한다. 소스 드라이버는 영상 신호에 해당하는 디지털 데이터(소스 데이터)를 아날로그 전압으로 변환하여 LCD 패널의 소오스 라인들을 구동한다.
- <16> 도 1은 통상의 LDI(100)의 구성을 개략적으로 나타내는 블록도이다.
- <17> 도 1을 참조하면, LDI(100)는, RSDS 수신기(110), 데이터 레지스터부(120), 쉬프트 레지스터부(130), 데이터 래치부(140), 디코더(150) 및 출력 버퍼부(160)를 구비한다.
- <18> RSDS 수신기(110)는 CPU(미도시)로부터 전송되는 복수의 디지털 신호(D00P, D00N, D01P, D01N, ..., D22P, D22N)를 수신한다. 복수의 디지털 신호(D00P, D00N, D01P, D01N, ..., D22P, D22N)는 RSDS(Reduced Swing Differential Signaling) 방식을 이용하여 전송되는 신호이다. 데이터 레지스터부(120)는 RSDS 수신기(110)로부터 출력되는 3*N 비트의 디지털 데이터로 병렬로 수신하여 저장한다. N은 채널당 비트 수로서, 여기서는 6이다. 즉, 한 채널 데이터는 6비트로 구성되는 것으로 가정한다.
- <19> 데이터 레지스터부(120)에 저장된 데이터는 쉬프트 레지스터부(130)의 래치 클럭에 의해 데이터 래치부(140)로 전송된다. 모든 채널(n개의 채널, 여기서, n은 채널 수)에 대한 채널 데이터가 데이터 래치부(140)에 저장되면, 데이터 래치부(140)는 제1 클럭 신호(CLK1)에 응답하여, n*N비트 데이터를 디코더(150)로 전송한다.
- <20> 디코더(150)는 데이터 래치부(140)로부터 n 채널 데이터를 동시에 수신하여, 각 채널 데이터에 상응하는 감마

전압(Gamma voltage)들을 출력한다. 출력 버퍼(160)는 디코더(130)에서 출력되는 감마 전압들을 버퍼링한 구동 전압들($Y_1, Y_2, Y_3, \dots, Y_{n-2}, Y_{n-1}, Y_n$)을 대응하는 소스 라인들(채널들)로 출력한다.

<21> 상술한 구성요소들 외에, LDI(100)는 로직 제어부(미도시)를 더 구비한다. 로직 제어부(미도시)는 CPU(미도시)로부터 출력된 제어신호들에 응답하여 LDI의 동작을 제어한다.

<22> 도 2는 종래 기술에 따른 LDI(200)의 구성을 나타내는 블록도이다.

<23> 도 2를 참조하면, 종래 기술에 따른 LDI(200) 역시 통상의 LDI와 마찬가지로, 쉬프트 레지스터부(210a, 210b), 데이터 래치부(220a, 220b), 디코더(230a, 230b), 출력 버퍼(240a, 240b) 및 로직 제어부(250)를 구비한다. 그리고, 외부에서 입력되는 신호들을 수신하기 위한 입력 신호 패드부(260)가 구비된다.

<24> 종래 기술에 따른 LCD(200)는 로직 제어부(250)를 중심으로 양 쪽으로 쉬프트 레지스터부(210a, 210b), 데이터 래치부(220a, 220b), 디코더(230a, 230b) 및 출력 버퍼(240a, 240b)가 일렬로 배치된다. 즉, 로직 제어부(250)가 칩의 중심부에 위치하고, 로직 제어부(250)의 왼편에 제1 그룹의 쉬프트 레지스터부(210a), 데이터 래치부(220a), 디코더(230a) 및 출력 버퍼(240a)가 일렬로 배치되고, 로직 제어부(250)의 오른편에 제2 그룹의 쉬프트 레지스터부(210a), 데이터 래치부(220a), 디코더(230a) 및 출력 버퍼(240a)가 일렬로 배치된다.

<25> 종래 기술에 따른 LDI는 상술한 인라인(in-line) 구조, 즉 출력 버퍼가 칩의 어느 하나의 장변을 따라 일렬로 배치되는 구조로 인하여, 채널 수가 증가되는 만큼 LDI 칩의 장변(long edge)의 길이가 늘어난다. 따라서, 종래 기술에 따른 LDI 칩은 장변의 길이가 단변의 길이보다 통상 10배 이상 긴 구조를 가지며, 채널 수가 증가할수록 채널간 출력 특성이 나빠지거나 조립이 어려워지는 단점이 있다.

<26> 한편, LDI 칩의 장변의 길이는 대형 패널과 같이 하나 이상의 LDI 칩을 필요로하는 디스플레이 시스템에서도 큰 제약이 될 수 있다. 그러므로, LDI 칩의 전체 사이즈 및 LDI 칩의 장변의 길이를 줄이는 기술이 필요하다.

발명이 이루고자 하는 기술적 과제

<27> 따라서 본 발명이 이루고자 하는 기술적 과제는 집적 회로의 면적을 감소시키고 채널간 출력 특성을 개선하는 액정표시 장치의 드라이버 및 이를 구비하는 액정표시 장치를 제공하는 것이다.

발명의 구성 및 작용

<28> 상기 기술적 과제를 달성하기 위한 본 발명의 일 면에 따른 액정 표시 장치의 구동 집적회로는 제1 쉬프트 레지스터부, 제1 데이터 래치부, 제1 및 제2 디코더, 제1 및 제2 출력 버퍼를 구비한다. 상기 제1 데이터 래치부는 제1 쉬프트 레지스터부에서 생성되는 클럭 신호에 응답하여 제1 및 제2그룹 채널 데이터를 수신하여 저장한다. 상기 제1 디코더는 상기 제1 그룹 채널 데이터를 수신하여 상기 제1 그룹 채널 데이터에 상응하는 감마 전압들을 출력하고, 상기 제2 디코더는 상기 제2 그룹 채널 데이터를 수신하여 상기 제2 그룹 채널데이터에 상응하는 감마 전압들을 출력한다. 상기 제1 출력 버퍼는 집적 회로 칩의 어느 하나의 장변을 따라 배치되며, 상기 제1 그룹 채널 데이터에 상응하는 감마 전압들을 버퍼링하여 대응하는 채널들을 구동하고, 상기 제2 출력 버퍼는 상기 집적 회로 칩의 다른 하나의 장변을 따라 배치되며, 상기 제2 그룹 채널 데이터에 상응하는 감마 전압들을 버퍼링하여 대응하는 채널들을 구동한다.

<29> 바람직하기로는, 상기 제1 쉬프트 레지스터부는 일 방향으로 쉬프트하며 제1 래치 클럭을 발생하고, 쉬프트 방향을 전환하여, 다른 일 방향으로 쉬프트하며 제2 래치 클럭을 발생하며, 상기 제1 쉬프트 레지스터부는 상기 액정표시장치의 구동 집적회로의 내부에서 발생하는 방향 조절 신호에 응답하여 상기 쉬프트 방향을 전환한다.

<30> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일 면에 따른 액정 표시 장치의 구동 집적회로는 쉬프트 레지스터부, 데이터 래치부, 디코더 및 출력 버퍼를 구비한다. 상기 데이터 래치부는 상기 쉬프트 레지스터부에서 생성되는 래치 클럭에 응답하여 채널 데이터를 수신하여 저장한다. 상기 디코더는 상기 채널 데이터를 디코딩하여, 상기 채널 데이터에 상응하는 감마 전압을 출력한다. 상기 출력 버퍼는 상기 감마 전압을 버퍼링 하여 구동 전압을 발생한다. 그리고, 상기 디코더 및 상기 출력 버퍼는 제1 내지 제4 블록으로 나뉘어져 배치되고, 상기 제1 내지 제4 블록의 출력 버퍼는 집적회로 칩의 장변에 인접하게 배치된다.

<31> 바람직한 일 실시예에서, 상기 구동 집적회로는 중심부에 배치되는 로직 제어부를 더 구비하며, 상기 제1 및 제2 블록은 상기 로직 제어부를 기준으로 한 면에 상하로 배치되며, 상기 제3 및 제4 블록은 상기 로직 제어부를 기준으로 다른 한 면에 상하로 배치된다.

- <32> 바람직한 다른 일 실시예에서, 상기 쉬프트 레지스터부 및 상기 데이터 래치부 역시 상기 제1 내지 제4 블록으로 나뉘어져 배치된다.
- <33> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <34> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <35> 도 3은 본 발명의 일 실시 예에 따른 LDI(300)의 구성을 나타내는 블록도이다. 도 3을 참조하면, LDI(300)는 로직 제어부(350), 제1 내지 제4 블록(30a, 30b, 30c, 30d) 및 입력 신호 패드부(360)을 구비한다.
- <36> 로직 제어부(350)는 CPU(미도시)로부터 출력된 제어신호들(미도시)에 응답하여 LDI(300)의 동작을 제어한다. 입력 신호 패드부(360)는 외부에서 입력되는 신호들을 수신하기 위한 복수의 패드들(PADs)을 포함한다. 또한 도 3에는 도시되어 있지 않지만, 본 발명의 일 실시 예에 따른 LDI(300) 역시 통상의 LDI(100)와 마찬가지로, 데이터 수신기(예컨대, RSDS 수신기, 미도시) 및 데이터 레지스터(미도시)를 더 포함한다. 데이터 수신기(미도시) 및 데이터 레지스터(미도시)는 입력 신호 패드부(360)에 인접하게 배치되는 것이 바람직하다.
- <37> 각 블록(30a, 30b, 30c, 30d)은 쉬프트 레지스터부(310a, 310b, 310c, 310d), 데이터 래치부(320a, 320b, 320c, 320d), 디코더(330a, 330b, 330c, 330d) 및 출력 버퍼(340a, 340b, 340c, 340d)를 포함한다.
- <38> 로직 제어부(350)를 중심으로, 제1 및 제2 블록(30a, 30b)이 한 면(여기서는, 오른쪽 면)에 배치되고, 제3 및 제4 블록(30c, 30d)은 반대 면(여기서는, 왼쪽 면)에 배치된다. 즉, 오른쪽 하단에 제1 블록(30a)이 배치되고, 반시계 방향으로 제2, 제3, 및 제4 블록(30b, 30c, 30d)이 배치된다.
- <39> 따라서, 본 발명의 일 실시예에 따른 LDI(300)는 종래 기술에 따른 LDI 칩(200) 두 개를 X축을 중심으로 대칭이 되도록 위아래로 붙인 형태의 구조인 더블 칼럼(double column)구조를 가진다. 출력 버퍼의 출력이 칩의 장변(chip long-edge)을 바라보는 것이 바람직하므로, 즉 출력 버퍼(340a, 340b, 340c, 340d)가 칩의 장변에 인접하는 것이 바람직하므로, 칩의 중앙에 쉬프트 레지스터들(310a & 310b, 310c & 310d)이 서로 마주보는 구조로 되어 있다. 즉, 중앙에서부터 칩 에지 방향으로 쉬프트 레지스터(310a, 310b, 310c, 310d), 데이터 래치부(320a, 320b, 320c, 320d), 디코더(330a, 330b, 330c, 330d) 및 출력 버퍼(340a, 340b, 340c, 340d)가 차례로 배치된다.
- <40> 본 발명의 일 실시예에 따른 LDI(300)의 기본적인 동작을 설명하면 다음과 같다. 데이터 수신기(예컨대, RSDS 수신기, 미도시)로 받은 채널 데이터를 데이터 레지스터(미도시)에 저장하고 이 데이터를 쉬프트 레지스터부(310a, 310b, 310c, 310d)에서 발생하는 래치 클럭에 의해 데이터 래치부(320a, 320b, 320c, 320d)로 전송한다. 모든 채널 데이터가 데이터 래치부(320a, 320b, 320c, 320d)로 입력되면, 메인 출력 클럭 신호(CLK 1)에 의해 채널 데이터를 디코더(330a, 330b, 330c, 330d)로 전송한다. 디코더(330a, 330b, 330c, 330d)는 각 채널 데이터에 상응하는 감마 전압들을 출력하고, 출력 버퍼(340a, 340b, 340c, 340d)를 감마 전압들을 버퍼링하여 LCD 패널(미도시)로 인가한다. 상술한 LDI(300)의 기본적인 동작은 통상의 LDI(100)의 동작과 동일하다.
- <41> 그러나, 그 구조는 종래 기술에 따른 LDI 칩과 다르다.
- <42> 본 발명의 일 실시예에서는, 도 3에 도시된 바와 같이 LDI 칩 내부의 회로를 배치함으로써, 칩의 장변들 중 어느 하나의 장변을 따라 출력 버퍼가 배치되도록 한 종래 기술에 따른 LDI(도 2의 200)의 구조보다 칩을 집적화 시키기가 용이하다. 더구나, 도 2에 도시된 종래기술에 따른 LDI(200)에 비하여 채널수는 2배가 되었지만, 칩의 장변의 길이는 동일한 장점이 있다. 달리 말하면, 동일한 채널 수에 대해서는, 칩의 장변의 길이가 종래에 비하여 약 1/2 로 줄어든다. 따라서, 채널간 출력 특성이 개선될 수 있다.
- <43> 도 3에 도시되듯이, 쉬프트 레지스터부가 직렬, 상하로 연결되어 있고 또한 타이밍상 순차적으로 구동되는 방식이기 때문에 상하 블록끼리 쉬프트 레지스터부를 공유하면, 칩 사이즈를 더욱 줄일 수 있다.
- <44> 도 4는 본 발명의 다른 일 실시 예에 따른 LDI(400)의 구성을 나타내는 블록도이다. 도 4를 참조하면, LDI(400)는 도 3에 도시된 LDI(300)와 유사한 구성 및 구조를 가진다.
- <45> 다만, 차이점은 본 발명의 다른 일 실시 예에 따른 LDI(400)는 상하 블록끼리 쉬프트 레지스터부 및/또는 데이터 래치부를 공유한다는 점이다. 즉 제1 및 제2 블록끼리 쉬프트 레지스터부(410ab) 및/또는 데이터 래치부(420ab)를 공유하고, 제3 및 제4 블록끼리 쉬프트 레지스터부(410cd) 및/또는 데이터 래치부(420cd)를

공유한다. 도 4에 도시된 LDI(400)는 상하 블록끼리 쉬프트 레지스터부와 데이터 래치부 모두를 공유하지만, 쉬프트 레지스터부 혹은 데이터 래치부만을 공유할 수도 있다.

- <46> 종래 기술에 따른 LDI(200)에서는 쉬프트 레지스터부(210a, 210b)의 방향은 단방향으로 고정된다. 쉬프트 레지스터부(210a, 210b)의 방향은 외부에서 인가되는 방향 조절 신호(SHL)로 조절이 가능한데, LDI(200)가 액정 표시 장치에 실장되면, 방향 조절 신호(SHL)가 하이레벨 혹은 로우레벨로 고정된다. 따라서, 쉬프트 레지스터부(210a, 210b)의 방향 역시 한쪽 방향으로 고정된다.
- <47> 이에 반해, 본 발명의 일 실시예에 따른 LDI(400)는 쉬프트 레지스터부(410ab, 410cd)의 쉬프트 방향을 내부적으로 변경한다. 즉, 본 발명의 일 실시예에 따른 LDI(400)는 외부에서 입력되는 방향 조절 신호(SHL)가 하이레벨 혹은 로우레벨로 고정되더라도, 내부에서 발생하는 방향 조절 신호(미도시)를 이용하여 쉬프트 레지스터부(410ab, 410cd)의 쉬프트 방향을 변경한다.
- <48> 따라서, 본 발명에서는 쉬프트 레지스터부(410ab, 410cd)의 비트 수를 채널 수 만큼 사용할 필요가 없다. 통상의 RSDS 수신기의 경우, 클럭당 3채널 데이터, 즉, 18비트 데이터를 수신하므로, 통상의 쉬프트 레지스터부의 비트수는 채널수(n)의 1/3 이다. 채널 수(n)가 1026인 것으로 가정하면, 종래 기술에 따른 LDI(200)에서는 총 쉬프트 레지스터부(210a, 210b)의 비트 수는 $1026/3 = 342$ 이다. 즉, 342비트 쉬프트 레지스터부(130)를 필요로 한다.
- <49> 그런데, 본 발명의 일 실시예에 따른 LDI(400)에서는, 쉬프트 레지스터부(410ab, 410cd)를 상하 블록끼리 공유하여, 쉬프트 레지스터당 두 개의 래치 클럭(LATCLK)을 생성한다. 따라서, 이상적으로는, 종래 기술에 따른 LDI(200)에서 필요로 하는 쉬프트 레지스터의 비트 수에 비하여 1/2로 쉬프트 레지스터의 비트수가 줄어든다. 그러나, 칩의 에지에서 쉬프트 레지스터의 방향을 전환하기 위한 타이밍 구간이 필요하므로, 한 비트 혹은 두 비트의 리던던시 쉬프트 레지스터가 더 추가되는 것이 바람직하다. 따라서, 본 발명의 일 실시예에서는, 전체 쉬프트 레지스터부(410ab, 410cd)의 비트 수(L)는 다음의 수학적 식 1에 의하여 결정된다.

$$L = [n/(k*2)] + r$$

- <50>
- <51> 여기서, n은 총 채널수, k는 RSDS 수신기가 동시에 입력받는 채널 수(여기서는, 3), 그리고, r은 리던던시 쉬프트 레지스터 수(예컨대, 1 혹은 2)이다. []는 라운드업(roundup), 즉, $n/(k*2)$ 가 정수가 아닌 경우, $n/(k*2)$ 보다 크고, $n/(k*2)$ 에 가장 가까운 정수를 구하는 것을 의미한다.
- <52> 채널수가 1026인 것으로 가정하면, 본 발명의 일 실시예에서의 쉬프트 레지스터부(410ab, 410cd)는 $(1026/6 + 1) = 172$ 혹은 $(1026/6 + 2) = 173$ 개의 쉬프트 레지스터들로 구성되는 것이 바람직하다.
- <53> 쉬프트 레지스터부(410ab, 410cd)는 클럭 싸이클 간격으로 순차적으로 활성화되는 래치 클럭을 생성한다. 구체적으로는, 쉬프트 레지스터부(410ab, 410cd)는 일 방향으로 쉬프트하며 래치 클럭을 발생하고, 쉬프트 방향을 전환하여 다른 일 방향으로 쉬프트하며 래치 클럭을 발생한다. 이 때, 쉬프트 레지스터부(410ab, 410cd)의 쉬프트 방향을 전환하기 위하여, 내부적으로 방향 조절 신호가 변경된다.
- <54> 도 5a는 도 4에 도시된 쉬프트 레지스터부(410ab)의 상태를 나타내는 도면이다. 도 5b는 도 4에 도시된 쉬프트 레지스터부(410ab)에서 생성되는 래치 클럭들의 타이밍도이다.
- <55> 먼저 도 5a를 참조하면, 쉬프트 레지스터부(410ab)는 첫번째 비트 쉬프트 레지스터(<1>)부터 (i+1)번째 비트 쉬프트 레지스터(<i+1>)까지 일 방향(여기서는, 오른쪽 방향)으로 순차적인 비트 쉬프팅을 수행한다(51~56). 첫번째 비트 쉬프트 레지스터(<1>)부터 i번째 비트 쉬프트 레지스터(<i>)까지의 비트 쉬프팅에 의해 발생하는 래치 클럭(LATCLK<1>, ..., LATCLK<i-2>, LATCLK<i-1>, LATCLK<i>)(도 5b의 L1)에 의해서는, 제1 그룹 채널 데이터가 데이터 래치부(420ab)에 래치된다. 제1 그룹 채널 데이터란, 제1 블록의 디코더(330a) 및 출력 버퍼(340a)를 통해 LCD 패널로 인가될 채널 데이터이다.
- <56> (i+1)번째 비트 쉬프트 레지스터(<i+1>)까지 비트 쉬프팅이 이루어진 상태(56)에서, 쉬프트 레지스터부(410ab)는 쉬프트 방향을 전환하여 (i-1)번째 쉬프트 레지스터로 쉬프트한다(57). 즉, 래치 클럭(LATCLK<i+1>)의 발생 시점부터 다음 래치 클럭(LATCLK<i+2>)의 발생 시점까지의 시간(DT)동안 내부의 방향 조절 신호가 변경되어 쉬프트 레지스터부(410ab)의 쉬프트 방향이 전환된다. 따라서, 쉬프트 방향이 전환되어, (i-1)번째 비트 쉬프트 레지스터(<i-1>)부터 첫 번째 쉬프트 레지스터(<1>)까지 순차적인 비트 쉬프팅이 수행된다.
- <57> (i+1)번째 비트 쉬프트 레지스터(<i+1>), (i-1)번째 비트 쉬프트 레지스터(<i-1>)부터 첫 번째 쉬프트 레지스터

(<1>)까지의 비트 쉬프팅에 의해 발생하는 래치 클럭(LATCLK<i+2>, LATCLK<i+3>, ...)(도 5b의 L2)에 의해서는, 제2 그룹 채널 데이터가 데이터 래치부(420ab)에 래치된다. 제2 그룹 채널 데이터란, 제2 블록의 디코더(330b) 및 출력 버퍼(340b)를 통해 LCD 패널로 인가될 채널 데이터이다.

- <58> 상술한 바와 같이, 본 발명의 일 실시예에서는, 상하 두 블록이 하나의 쉬프트 레지스터부를 공유하여, 한 비트의 쉬프트 레지스터에서 두 번 래치 클럭을 활성화한다. 이 경우, 하나의 쉬프트 레지스터가 연속적으로 두 번 래치 클럭을 발생할 수 없기 때문에, 리턴던시 쉬프트 레지스터(<i+1>)가 더 추가된다.
- <59> 쉬프트 레지스터부(410cd)의 동작 역시 쉬프트 레지스터부(410ab)의 동작과 동일하므로, 쉬프트 레지스터부(410cd)의 동작에 대한 상세한 설명은 생략된다.
- <60> 도 4를 참조하여, 쉬프트 레지스터부(410ab, 410cd)의 전체적인 동작을 정리하면 다음과 같다.
- <61> 도 4에 도시된 화살표와 같이, 제1 및 제2 블록이 공유하는 쉬프트 레지스터부(410ab)의 왼쪽 첫 번째 레지스터부터 오른쪽 방향으로 쉬프팅이 이루어지다가, 오른쪽 마지막 레지스터(<i+1>)에서 왼쪽 방향으로 쉬프트 방향이 전환된다. 그리하여, 왼쪽 방향으로 쉬프팅이 이루어지다가, 왼쪽 마지막 레지스터에서 다시 오른쪽 방향으로 방향이 전환되어, 오른쪽 방향으로 쉬프트된다. 쉬프트 방향 전환을 위하여 내부적으로 방향 조절 신호가 H(하イレ벨) → L(로우레벨) → H(하イレ벨)로 혹은 L(로우레벨) → H(하イレ벨) → L(로우레벨)로 바뀐다.
- <62> 도 6은 도 4에 도시된 데이터 래치부를 구성하는 원비트 데이터 래치부(600)의 상세 회로도이다. 도 6에는 한 비트의 데이터를 래치하기 위한 원비트 데이터 래치부(600)가 도시된다. 따라서, 데이터 래치부(420ab, 420cd)는 (채널 수*비트수) 만큼의 원 비트 데이터 래치부(600)를 포함한다.
- <63> 데이터 래치부(420ab, 420cd)는 데이터 레지스터(미도시)로부터 소정 비트수(여기서는, 18비트)단위로 채널 데이터를 래치하여 저장하고, 저장된 채널 데이터를 채널수 단위로, 즉 (채널수*비트수)만큼의 데이터를 병렬로 디코더들(330a, 330b, 330c, 330d)로 출력한다. 구체적으로, 제1 및 제2 블록이 공유하는 데이터 래치부(420ab)는 대응하는 래치 클럭에 응답하여 제1 및 제2 그룹 채널 데이터를 래치하여 저장하고, 소정의 메인 출력 클럭 신호(CLK1)에 의해 제1 그룹 채널 데이터를 대응하는 디코더(330a)로 출력한 후, 제2 그룹 채널 데이터를 대응하는 디코더(330b)로 출력한다. 그리고, 제3 및 제4 블록이 공유하는 데이터 래치부(420cd)는 대응하는 래치 클럭에 응답하여 제3 및 제4 그룹 채널 데이터를 래치하여 저장하고, 소정의 메인 출력 클럭 신호(CLK1)에 의해 제3 그룹 채널 데이터를 대응하는 디코더(330c)로 출력한 후, 제4 그룹 채널 데이터를 대응하는 디코더(330d)로 출력한다.
- <64> 원 비트 데이터 래치부(600)는 제1 내지 제3 래치(611, 612, 613) 및 스위치(621)를 포함한다.
- <65> 도 8a는 원 비트 데이터 래치부(600)가 데이터 레지스터(미도시)로부터 채널 데이터를 수신하여 래치하는 동작을 설명하기 위한 신호 타이밍도이다.
- <66> 도 6 및 도 8a를 참조하여, 원 비트 데이터 래치부(600)가 데이터 레지스터(미도시)로부터 채널 데이터를 수신하여 래치하는 동작을 설명하면 다음과 같다.
- <67> 먼저, 한 그룹의 채널 데이터(여기서는 제1 그룹 채널 데이터인 것으로 가정함)를 래치하기 위한 래치 클럭들(LATCLK<1>~LATCLK<i>)이 순차적으로 발생하고, 제1 래치(611)는 제1 그룹 채널 데이터를 래치하기 위한 래치 클럭들(LATCLK<j>, j=1~i)중 대응하는 래치 클럭에 응답하여 입력 데이터(IN, 제1 그룹 채널 데이터)를 래치한다. 입력 클럭 신호(ICLK)는 제1 그룹의 채널 데이터가 모두 래치된 후 발생된다. 입력 클럭 신호(ICLK)가 발생하면, 제1 래치(611)의 데이터(제1 그룹 채널 데이터)는 제2 래치(612)로 전달된다. 그 다음, 다른 한 그룹의 채널 데이터(여기서는, 제2 그룹 채널 데이터인 것으로 가정함)를 래치하기 위한 래치 클럭들(LATCLK<i+1>, LATCLK<i+2>, ...)이 순차적으로 발생하고, 제1 래치(611)는 제2 그룹 채널 데이터를 래치하기 위한 래치 클럭들(LATCLK<j>, j=i+1, i+2, ...) 중 대응하는 래치 클럭에 다시 응답하여 입력 데이터(IN, 제2 그룹 채널 데이터)를 래치한다.
- <68> 도 8b는 원 비트 데이터 래치부(600)에 래치된 데이터를 출력하는 동작을 설명하기 위한 신호 타이밍도이다.
- <69> 도 6 및 도 8b를 참조하여, 원 비트 데이터 래치부(600)가 래치한 채널 데이터를 디코더로 출력하는 동작을 설명하면 다음과 같다.
- <70> 원 비트 데이터 래치부(600)는 메인 출력 클럭 신호(CLK1)에 기초하여, 제1 그룹 채널 데이터 및 상기 제2 그룹 채널 데이터를 순차적으로 출력한다. 이를 위하여, 메인 출력 클럭 신호(CLK1)에 기초하여 내부적으로 제1 내지

제3 출력 클럭 신호(CLK2, CLK3, CLK4)가 발생된다. 도 8b에 도시된 바와 같이, 제1 내지 제3 출력 클럭 신호(CLK2, CLK3, CLK4)는 메인 출력 클럭 신호(CLK1)에 응답하여, 순차적으로 활성화된다.

- <71> 제3 래치(613)는 제1 출력 클럭 신호(CLK2)에 응답하여 제2 래치(612)의 데이터를 래치하여 출력한다. 즉, 제1 출력 클럭 신호(CLK2)에 응답하여 제2 래치(612)에 저장되어 있던 제1 그룹 채널 데이터가 상응하는 디코더(330a)로 출력된다.
- <72> 제2 래치(612)는 제2 출력 클럭 신호(CLK3)에 응답하여 제1 래치(611)의 데이터, 즉 제2 그룹 채널 데이터를 래치한다. 따라서, 제2 출력 클럭 신호(CLK3)에 의해, 제1 래치(611)의 데이터가 제2 래치(612)로 전달된다. 스위치(621)는 제3 출력 클럭 신호(CLK4)에 응답하여 턴온된다. 따라서, 제3 출력 클럭 신호(CLK4)에 의해 제2 래치(612)의 데이터, 즉 제2 그룹 채널 데이터가 스위치(621)를 통하여 상응하는 디코더(330b)로 출력된다.
- <73> 제3 및 제4 그룹 채널 데이터에 대해서도 데이터 래치부의 동작은 상술한 제1 및 제2 그룹 채널 데이터에 대한 데이터 래치부의 동작과 동일하다.
- <74> 본 발명의 일 실시예에 따른 데이터 래치부에 의하면, 래치의 수가 종래 기술에 비하여 3/4로 줄어든다.
- <75> 도 7은 종래 기술에 따른 데이터 래치부(700)를 도시한다. 도 7에 도시된 데이터 래치부(700)는 상하 블록에 대한 데이터 래치부를 독립적으로 구현하는 경우이다.
- <76> 이 경우, 데이터 래치부(700)는 도 7에 도시된 바와 같이 제1 그룹 채널 데이터(IN1)를 래치하기 위한 래치부(711, 712)와 제2 그룹 채널 데이터(IN2)를 래치하기 위한 래치부(721, 722)를 필요로 한다. 즉, 대응하는 래치 클럭(LATCLK1, LATCLK2)에 각각 응답하여 제1 및 제2 그룹 채널 데이터(IN1, IN2)를 각각 래치하는 래치들(711, 721)과, 메인 출력 클럭 신호(CLK1)에 각각 응답하여 래치들(711, 721)의 데이터를 래치하여 출력하는 래치들(712, 722)이 필요하다.
- <77> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

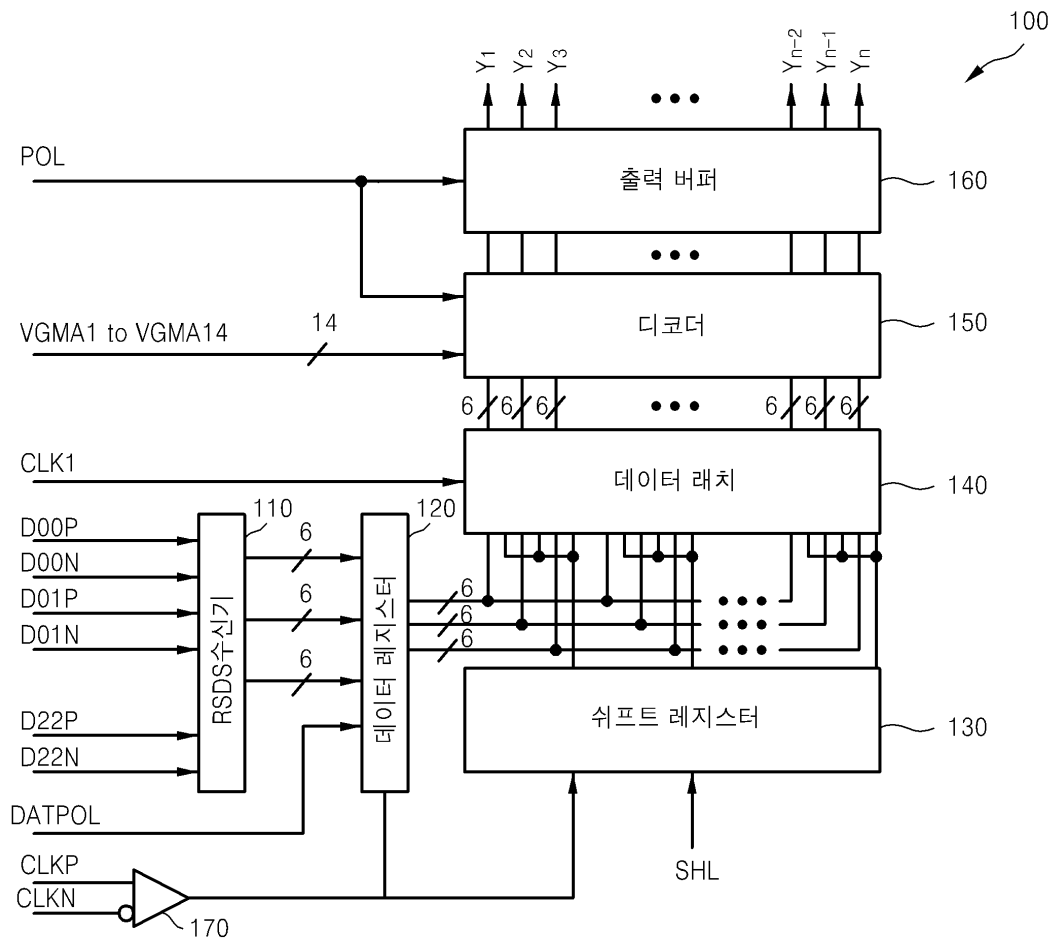
- <78> 상술한 바와 같이, 본 발명에 의하면, LDI칩의 주요 회로들(쉬프트 레지스터, 데이터 래치, 디코더, 출력 버퍼 등)을 상하 블록으로 나누어 배치함으로써, 칩의 장변의 길이가 감소된다. 또한 상하블록끼리 쉬프트 레지스터 및/또는 데이터 래치를 공유함으로써, 칩 면적이 감소된다. 따라서, 본 발명에 의하면, 액정표시 장치 구동 집적회로의 면적이 감소하며, 채널간 출력 특성이 개선되는 효과가 있다.

도면의 간단한 설명

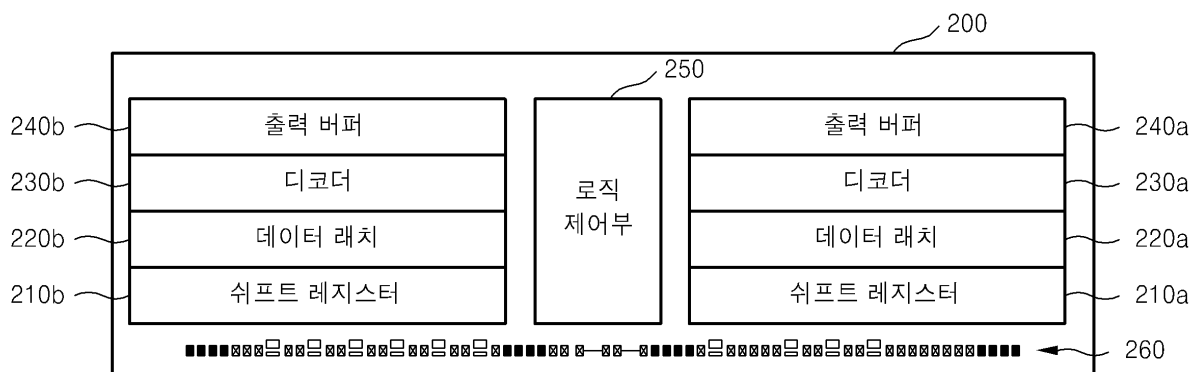
- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.
- <2> 도 1은 통상의 LDI의 구성을 개략적으로 나타내는 블록도이다.
- <3> 도 2는 종래 기술에 따른 LDI의 구성을 나타내는 블록도이다.
- <4> 도 3은 본 발명의 일 실시 예에 따른 LDI의 구성을 나타내는 블록도이다.
- <5> 도 4는 본 발명의 다른 일 실시 예에 따른 LDI의 구성을 나타내는 블록도이다.
- <6> 도 5a는 도 4에 도시된 쉬프트 레지스터부의 상태를 나타내는 도면이다.
- <7> 도 5b는 도 4에 도시된 쉬프트 레지스터부에서 생성되는 래치 클럭들의 타이밍도이다.
- <8> 도 6은 도 4에 도시된 데이터 래치부를 구성하는 원비트 데이터 래치부의 상세 회로도이다.
- <9> 도 7은 종래 기술에 따른 데이터 래치부를 도시한다.
- <10> 도 8a는 도 6에 도시된 원 비트 데이터 래치부가 데이터 레지스터로부터 채널 데이터를 수신하여 래치하는 동작을 설명하기 위한 신호 타이밍도이다.
- <11> 도 8b는 도 6에 도시된 원 비트 데이터 래치부에 래치된 데이터를 출력하는 동작을 설명하기 위한 신호 타이밍도이다.

도면

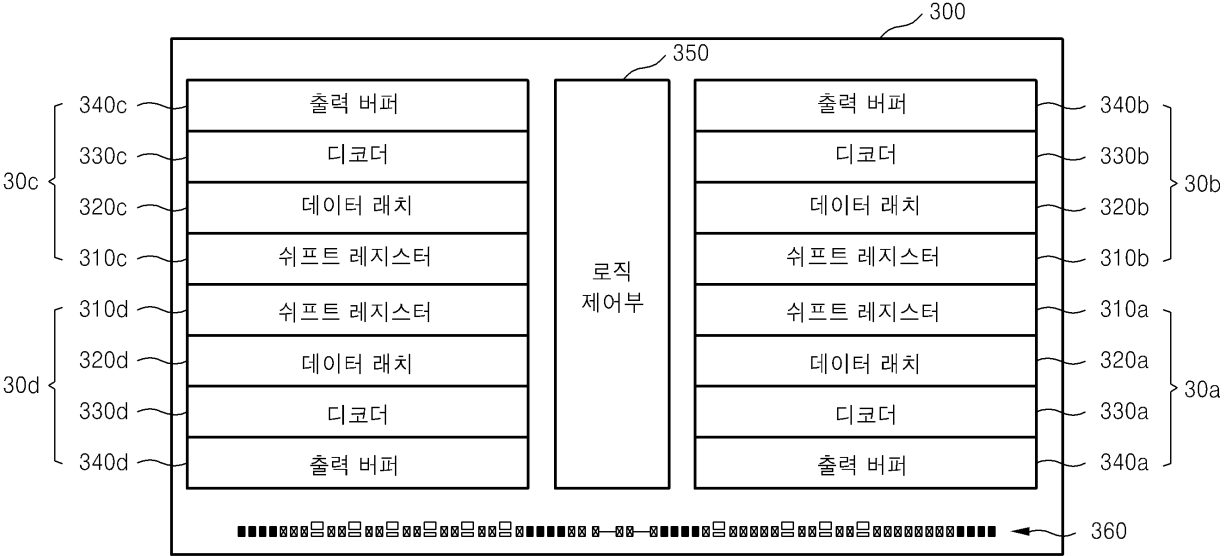
도면1



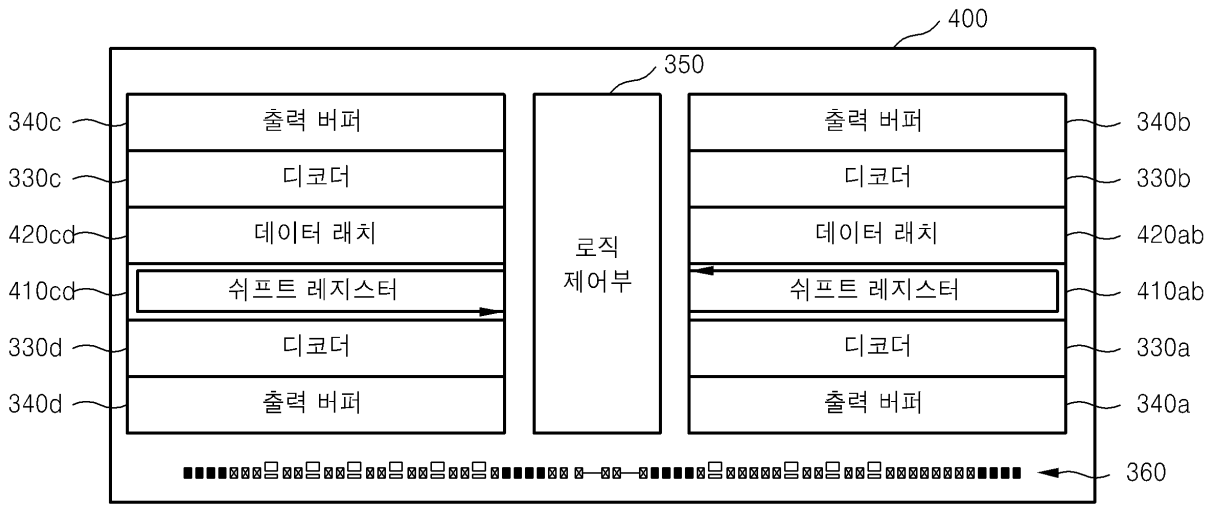
도면2



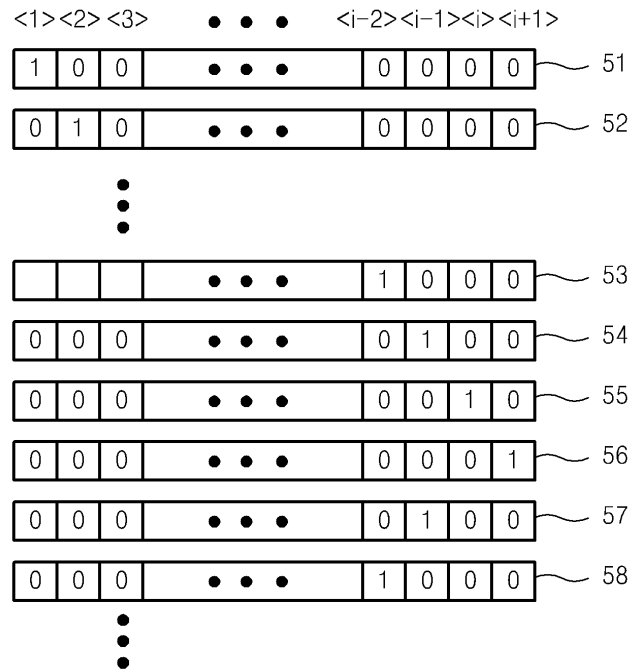
도면3



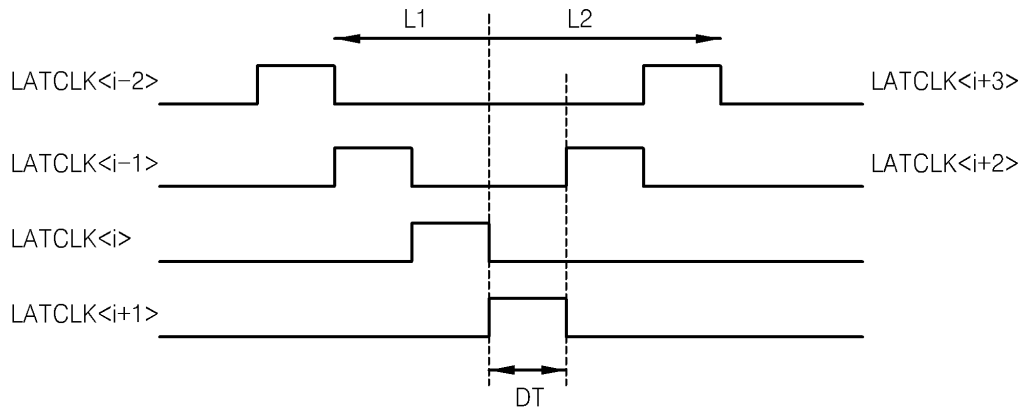
도면4



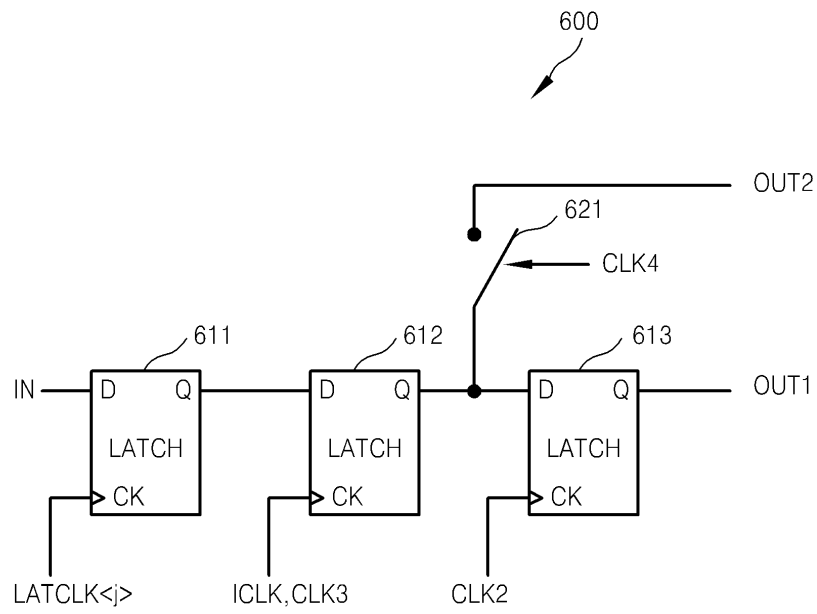
도면5a



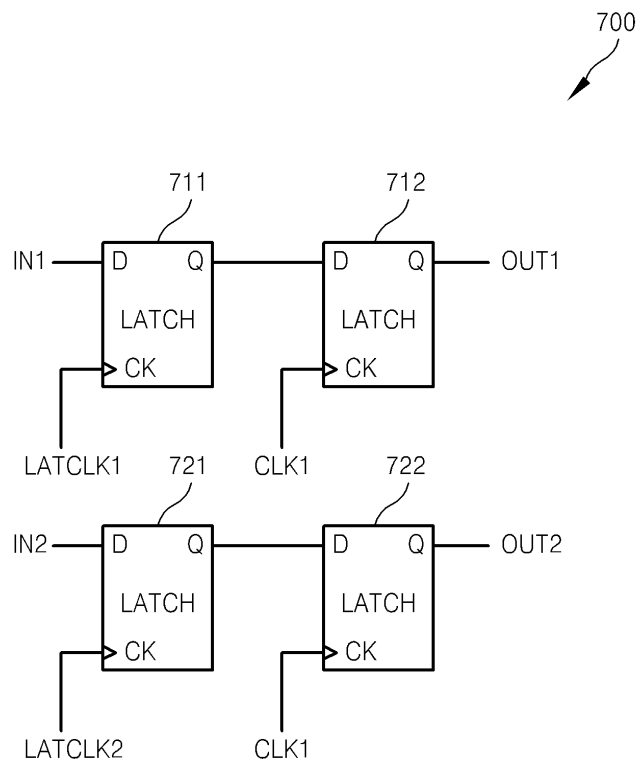
도면5b



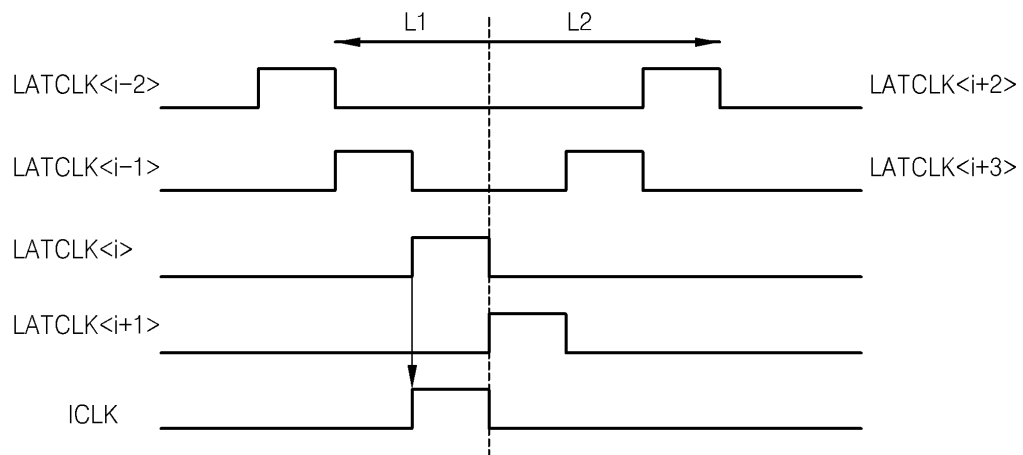
도면6



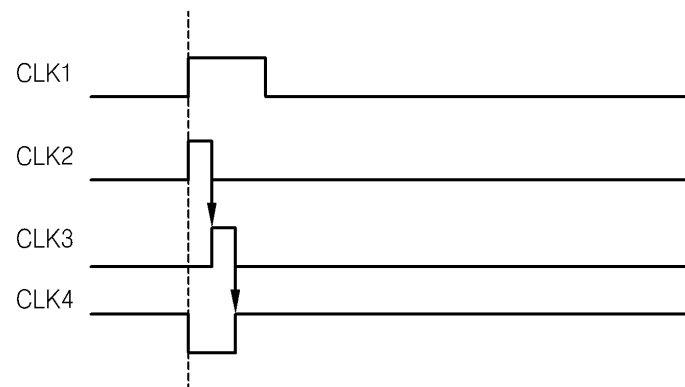
도면7



도면8a



도면8b



专利名称(译)	一种具有双列结构的液晶显示装置的驱动集成电路		
公开(公告)号	KR100763847B1	公开(公告)日	2007-10-05
申请号	KR1020050126078	申请日	2005-12-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KWON JAE WOOK 권재욱 LEE SEUNG JUNG 이승정		
发明人	권재욱 이승정		
IPC分类号	G09G3/20 G09G3/36 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/027 G09G2320/0276		
代理人(译)	Hanjihui 윤재석 Gwonyounggyu		
其他公开文献	KR1020070065532A		
外部链接	Espacenet		

摘要(译)

用途：提供具有双列结构的LCD器件的驱动集成电路，通过实现共享结构来减小芯片尺寸，其中上部和下部块共享移位寄存器和/或数据锁存器。组成：驱动集成电路LCD（液晶显示器）装置包括第一移位寄存器（410ab），第一数据锁存器（420ab），第一和第二解码器（330a，330b），以及第一和第二缓冲器（340a，340b）。第一数据锁存器响应于从第一移位寄存器产生的时钟信号接收并存储第一和第二组通道数据。第一和第二解码器分别接收第一和第二组通道数据并输出对应于第一和第二组通道数据的伽马电压。在IC（集成电路）芯片中形成的第一和第二缓冲器缓冲对应于第一和第二组通道数据的伽马电压，并驱动相应的通道。©KIPO 2007

