

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸ (45) 공고일자 2006년01월10일
G09G 3/36 (2006.01) (11) 등록번호 10-0541313

(24) 등록일자 2005년12월29일

(21) 출원번호 10-2001-0060475 (65) 공개번호 10-2002-0028789
(22) 출원일자 2001년09월28일 (43) 공개일자 2002년04월17일

(30) 우선권주장 JP-P-2000-00300836 2000년09월29일 일본(JP)

(73) 특허권자 산요덴키가부시킴이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 노리따께가즈토
일본기후켄기후시가구라쵸601엘엠가노우코우엔45

쯔쯔이유스께
일본기후켄하시마시후쿠주쵸히라까따7-35

(74) 대리인 장수길
이중희
구영창

심사관 : 나용수

(54) 표시 장치용 구동 장치

요약

[과제] 표시 장치 등의 전원 시스템에 있어서, 표시를 가능하게 하면서 간단한 구성으로 파워 세이브 모드에 대응가능하게 한다.

[해결 수단] 파워 세이브 모드 시에 있어서, 전원 회로(350)의 발생하는 구동 회로(100) 및 LCD(200) 등의 전원 전압을 타이머 회로(260) 혹은 계수 회로 등의 계수 수단에 의해, 소정의 기간마다 온·오프 제어한다. 이에 따라 파워 세이브 모드 시에는, 전원 오프 제어에 의해 소비전력의 저감을 도모하며, 또한 특별한 조작을 하지 않더라도 소정의 주기마다 표시할 수 있다. 또한, 전원 오프 제어의 앞에, 표시 패널 내의 게이트 선택 신호의 출력을 정지함으로써, 전원 오프 후에도 오프 전의 표시를 잠시동안 유지할 수 있다.

대표도

도 1

색인어

표시장치, 파워 세이브, LCD, 타이머, 계수, 게이트 선택

명세서

도면의 간단한 설명

도 1은 본 발명의 실시 형태 1에 따른 표시 장치의 구성을 나타내는 도.

도 2는 도 1의 전원 회로(350)의 구성례를 나타내는 도.

도 3은 도 1의 타이머 회로(260)의 구성을 나타내는 도.

도 4는 본 발명의 실시 형태 2에 따른 표시 장치의 구성을 나타내는 도.

도 5는 도 4의 계수 회로(290)의 구성을 나타내는 도.

도 6은 본 발명의 실시 형태 3에 따른 표시 장치의 구성을 나타내는 도.

도 7은 도 6의 T/C(400)의 구성을 나타내는 도.

도 8은 도 6의 LCD(200)에 있어서의 V 드라이버 및 표시부의 구성을 나타내는 도.

* 도면의 주요부분의 부호에 대한 간단한 설명*

10 : 래치 회로

12 : 디지털/아날로그(D/A) 변환 회로

14 : 증폭기

16 : CPU 인터페이스 회로(CPU I/F)

18 : 타이밍 컨트롤러(T/C)

35c, 35s : 발진 회로

100 : 구동 회로

200 : 표시 패널(LCD 패널)

210 : V 드라이버

220 : H 드라이버

260, 270 : 타이머 회로

264, 292 : 카운터

266, 294 : 디코더 회로

290 : 계수 회로

350 : 전원 회로

400 : T/C

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 표시 장치, 특히 파워 세이브 요구에 대응한 표시 장치를 위한 구동 장치에 관한 것이다.

액정 표시 장치나 유기 EL 표시 장치 등으로 대표되는 평면 표시 장치는, 박형으로 경량 또한 저소비 전력인 것부터, 휴대 전화 등의 휴대기기의 표시 장치로서 우수하여, 많은 휴대기기에 이용되고 있다.

액정 표시 장치는, 한 쌍의 기관 사이에 액정이 봉입되어 구성된 액정 표시(LCD) 패널과, 이 LCD 패널을 구동하는 구동 회로와, 그 구동 회로 및 LCD 패널에 필요한 전원 전압을 공급하는 전원 회로를 구비한다. 또한 LCD는, 자발광이 아니기 때문에, 반사형 LCD 이외의 투과형 및 반투과형 LCD에서는 패널 후방 등에 광원이 설치되어 있다.

상기 휴대전화 등의 휴대기기에 있어서는, 소비전력 저감의 요구가 매우 강하여, 액정 표시 장치에서는, 종래의 요구에 대응하기 위해서, 대기시 등에는, 가장 전력 소비가 큰 광원을 소등하는 연구가 이루어져 있다.

또한, 표시 장치에 대해서도 한층 더 소비전력의 저하가 요구되는 경우에는, 또한 대기 시에 상기 전원 회로를 제어하여, 장치 전원을 오프 제어하는 것이 고안되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 파워 세이브 시에, 전원을 오프하면, 표시를 볼 수 없게 된다. 휴대전화를 예로 들면, 비통화시 등에 파워 세이브 모드가 되면, 내장된 시계가 나타내는 시각이나 전파수신상태 등을 표시하고 싶더라도, 표시전원이 오프 제어되어 있기 때문에 아무것도 표시할 수 없다. 따라서, 표시가 보고 싶은 경우에는, 어떠한 표시 온을 위한 조작을 행하지 않으면 되지 않는 불편함이 있다.

상기 과제를 해결하기 위해서, 본 발명은, 파워 세이브 모드에 대응하면서, 또한 파워 세이브 시에도 표시를 볼 수 있는 표시 장치를 실현하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서 본 발명은, 이하와 같은 특징을 갖는다.

우선, 본 발명에 따른 표시 장치용 구동 장치에서는, 표시 장치용 구동 장치에 있어서, 복수의 화소가 형성된 표시 패널을 구동하기 위한 구동 회로, 상기 표시 패널, 및 상기 구동 회로를 위한 전원 전압을 발생하는 전원 회로를 포함하고, 파워 세이브가 명령되면, 상기 표시 패널 또는 상기 구동 회로 중 어느 하나 또는 양방에 공급하는 전원 전압을, 소정의 기간마다 온·오프 제어하는 것을 특징으로 한다.

또한 본 발명의 다른 특징은, 상기 구동 장치에 있어서, 계시 수단을 더 구비하고, 그 계시 수단의 계시결과에 따라 상기 전원 회로가 전원 전압을 온·오프하는 것이다.

이와 같이 파워 세이브가 명령되었을 때에, 전원 전압을 소정의 주기로 온·오프 제어한다. 전원 전압이 오프 제어되면, 구동 회로나 표시 패널에서의 전력 소비가 없어서, 표시 장치에 있어서의 소비 전력을 세이브할 수 있다. 그리고, 파워 세이브 시이더라도, 소정의 기간마다 전원 전압이 온 제어되기 때문에, 조작자는 특별한 조작을 하지 않고 표시를 정기적으로 볼 수 있다.

또한, 본 발명의 다른 특징은, 상기 구동 장치에 있어서, 상기 표시 패널은, 복수의 화소, 그 화소를 선택하기 위한 선택 라인, 및 그 화소에 데이터를 공급하기 위한 데이터 라인을 구비하여, 파워 세이브가 명령되면, 데이터 기입 화소를 선택하기 위해서 상기 선택 라인에 출력되는 선택 신호를 전체 선택 라인에 대하여 출력 정지하는 정지 제어 수단을 구비하고, 상기 정지 제어 수단에 의해서 상기 선택 신호의 출력을 정지하고 나서 상기 전원 전압을 오프 제어하는 것이다.

선택 신호의 출력을 정지하고 나서 전원 전압을 오프 제어하면, 예를 들면, 각 화소에 스위치 소자가 형성된 액티브 매트릭스형 패널에 있어서, 전원 전압이 저하하기 전에, 스위치 소자가 확실하게 오프 제어되게 된다. 각 화소는, 스위치 소자가 오프하고 나서도 용량 성분에 의해서, 스위치 소자 온 시에 화소에 기입된 데이터를 소정의 기간동안 유지할 수 있다. 따라서, 선택 신호의 출력을 전체 선택 라인에서 정지시키고 나서, 전원 전압을 오프하면, 전원 오프에도 관계 없이, 각 화소는 통상 동작 시의 비선택 기간과 마찬가지로, 직전까지 유지하고 있는 데이터를 기초로 한 표시를 잠시동안 행할 수 있다.

이하, 도면을 이용하여 본 발명의 바람직한 실시 형태(이하, '실시 형태'라 함)에 대하여 설명한다.

[실시 형태 1]

도 1은, 실시 형태 1에 따른 파워 세이브 모드 대응형 표시 장치의 개략 구성을 나타내고 있다. 이 표시 장치는, 예를 들면 휴대전화에 탑재되는 LCD 등의 평면 표시 장치이다. 액정 표시 장치는, 한쌍의 기판 사이에 액정이 봉입되어 구성된 액정 표시(LCD) 패널(200), 이 LCD 패널(200)을 구동하는 구동 회로(100), 및 구동 회로(100)와 LCD 패널(200)에 필요한 전원 전압을 공급하는 전원 회로(350)를 구비하고, 본 실시 형태에서는 타이머 회로(260)를 더 구비한다.

타이머 회로(260)는, 파워 세이브 제어 신호가 공급되면, 계시 동작을 개시하여, 소정의 기간이 경과하면 전원 제어 신호를 전원 회로(350)에 공급하여, 전원 회로(350)는 이 제어 신호를 수신하는 것으로써 후술하는 바와 같이 전원 전압을 오프한다.

구동 회로(100)는, 공급되는 RGB 디지털 데이터를 래치하는 래치 회로(10), 래치한 데이터를 아날로그 데이터로 변환하는 디지털/아날로그(D/A) 변환 회로(12), 변환된 아날로그 데이터를 증폭하여 액정 표시 패널(200)에 R, G, B 아날로그 표시 데이터로서 공급하는 증폭기(14), 및 타이밍 컨트롤러(T/C)(400)를 구비한다. 이 T/C(400)는, 도트 클럭(DOTCLK), 수평 동기 신호(Hsync), 및 수직 동기 신호(Vsync) 등의 타이밍 신호에 기초하여, 액정 표시 패널(200)에서의 표시에 적합한 타이밍 신호를 발생하고 있다.

전원 회로(350)는 필요에 따라 복수의 전원 전압을 발생하고 있는데, 여기서는 VDD1, VDD2을 발생하고 있다. VDD1은, 저전압 구동에 적합한 CMOS 논리 회로에서 구성되어, 디지털 신호 처리를 행하는 전술한 래치 회로(10)에 공급되고, VDD1보다 고전압의 VDD2는, D/A 변환 회로(12), 증폭기(14), 및 LCD 패널(200)에 공급되어 있다.

전원 회로(350)의 구성에 대하여 설명한다. 도 2(a) 및 (b)은 각각, 상기 복수의 전압 중, 전압 VDD2을 발생하는 종래의 전원 회로의 구성을 나타내고 있고, 도 2(a)에 나타내는 전원 회로(350)는, 스위칭-레귤레이터형 회로이고, 도 2(b)에 나타내는 전원 회로(350)는 차지펌프형 회로이다.

도 2(a)의 스위칭-레귤레이터형의 전원 회로(350)는, 입출력의 사이에 이 순서로 설치된 코일(L1) 및 다이오드(D1), 소정의 펄스 신호를 발진하는 발진 회로(35s), 및 발진 회로(35s)로부터의 펄스 신호를 게이트에 수신하는 트랜지스터(Tr36)를 구비하는 승압부(351)를 구비하고, 발진 회로(35s)로부터의 펄스 신호에 의해서 트랜지스터(Tr36)를 온·오프 제어함으로써, 코일(L1) 및 다이오드(D1)에 있어서 입력 전압(VIN)을 승압하고 있고, 그 얻어진 승압 전원 전압(VDD2)은, 액정 구동 회로(100)나 LCD 패널(200)에 동작 전원으로써 공급되어 있다. 또한, 전원 회로(350)는, 그 출력단과 접지 사이에, 분압 저항(R37 및 R38)을 가지고, 비교기(36)가 이 저항(R37과 R38) 사이의 분압과 기준 전압(Vref)을 비교하여 비교 신호를 출력한다. 그리고, 비교기(36)로부터의 출력 전압(VDD2)에 따른 비교 신호에 기초하여 발진 회로(35s)의 발진 주파수를 제어함으로써, 출력 전압(VDD2)이 안정하도록 제어하고 있다.

도 2(b)의 차지펌프형의 전원 회로(350)는, 2개의 커패시터(C1, C2)와, 이 커패시터에의 입력 전압의 공급 루트를 전환하는 커패시터용 스위치(SW1~SW4), 그 스위치(SW1~SW4)의 전환을 제어하기 위한 펄스 신호를 발생하는 발진 회로(35c), AND 게이트(37) 및 NAND 게이트(39)를 구비하고 있다.

발진 회로(35c)는 예를 들면 듀티비 1/2의 펄스 신호를 발생하여, 이 펄스 신호가 AND 게이트(37)를 통해 스위치(SW1 및 SW2)에 공급되고, NAND 게이트(39)를 통해 스위치(SW3 및 SW4)에 공급되어, 스위치(SW1 및 SW2)와 스위치(SW3 및 SW4)를 교대로 개폐하고 있다.

스위치(SW3 및 SW4)가 닫히면, 커패시터(C1)의 도면 중의 상측 전극에 입력 전압(VIN)이 인가되어, 하측 전극은 접지(GND) 전위로 되어 커패시터(C1)가 충전된다. 다음의 타이밍에서 스위치(SW3 및 SW4)가 열리고 반대로 스위치(SW1 및

SW2)가 닫히면, 커패시터(C1)의 도면 중의 하측 전극에 입력 전압(VIN)이 인가되어, 커패시터(C1)의 상측 전극의 전위가 입력 전압(VIN)의 2배의 전위까지 상승되어, 커패시터(C1)의 상측 전극과 커패시터(C2) 사이에서 인출된 출력단으로부터 입력 전압(VIN)의 2배의 출력 전압(VDD2)을 얻고 있다.

이상과 같은 구성의 전원 회로(350)는, 각각 파워 세이브 모드에 대응하고 있어, 본 실시 형태에서는, 파워 세이브 모드로 이행하면 주기적으로 전원 전압을 온·오프한다. 그리고, 그 온·오프의 기간을 타이머 회로(260)가 계시하여 제어하고 있다.

도 3은, 본 실시 형태에 있어서의 타이머 회로(260)의 구성을 나타내고 있다. 타이머 회로(260)는 발진 회로(262), 카운터(264), 디코더(266), 및 AND 게이트(268)를 구비하고, 카운터(264)는 발진 회로(262)로부터 일정주기로 출력되는 펄스를 카운트하여 카운트치를 출력한다. 디코더(266)는 그 카운트치를 해석하여, 그 값에 따라 H 레벨 또는 L 레벨의 신호를 AND 게이트(268)의 일방의 입력에 공급한다.

AND 게이트(268)의 타방의 입력에는, 파워 세이브 제어 신호가 공급되고, 파워 세이브 제어 신호가 파워 세이브 모드를 나타내는 H 레벨인 때에는, 그 AND 게이트(268)의 출력은, 디코더 회로(266)의 출력 레벨과 동등하게 된다. 또한, 파워 세이브 제어 신호가 통상 모드를 나타내는 L 레벨이면, AND 게이트(268)의 출력은 L 레벨로 고정된다.

도 2(a), 2(b)의 어느 전원 회로(350)도, 타이머 회로(260)의 AND 게이트의 출력을 온·오프(ON/OFF) 신호로서 수신하고 있고, 도 2(a)의 전원 회로(350)의 경우, AND 게이트(268)의 출력이 L 레벨일 때, 통상대로 동작하여, 전원 전압(VDD1, VDD2)을 발생하고, AND 게이트(268)의 출력이 H 레벨이 되면 전원 전압의 발생을 정지한다.

이 도 2(a)의 전원 회로(350)에서는, 온·오프 신호가 L 레벨일 때, 발진 회로(35s)가 발진 동작을 하여, 트랜지스터(Tr37)가 턴온하여, 입출력 경로에 설치된 트랜지스터(Tr35)를 턴온시킨다. 여기서, 전원 회로(350)의 출력단과 접지 사이에 접속된 트랜지스터(Tr38)는, 이 때 오프 제어되어 있다. 따라서, 온·오프 신호가 L 레벨인 때에는, 입력 전압(VIN)을 승압부(351)로 승압하여 얻어진 전압(VDD1)이나 전압(VDD2)이 출력된다.

한편, 온·오프 신호가 H 레벨로 되면, 발진 회로(35s)가 발진 동작을 정지하여, 트랜지스터(Tr37)가 오프하고 트랜지스터(Tr35)가 오프 제어되기 때문에, 승압부(351)로부터의 출력이 끊어진다. 또한, 트랜지스터(Tr38)가 턴온하기 때문에, 출력단이 접지에 접속되게 되어, 전원 회로(350)로부터의 출력 전압이 0V, 전원 전압이 오프 제어된다.

한편, 도 2(b)의 전원 회로(350)는, 타이머 회로(260)의 AND 게이트(268)의 반전 출력을 온·오프 신호로서 수신한다. 그리고, AND 게이트(268)의 출력이 L 레벨일 때(반전 출력이 H 일 때), 통상대로 펄스 신호를 발생하고 스위치(SW1 및 SW2)와 스위치(SW3 및 SW4)가 교대로 전환 제어되어, 차지펌프가 기능하여 입력 전압(VIN)보다 높은 출력 전압(VDD2 또는 VDD1)을 얻는다. 또한, 타이머 회로(260)의 AND 게이트(268)의 출력이 H 레벨일 때는(반전 출력이 L 레벨일 때), 발진 회로(35c)의 동작을 정지하여, AND 게이트(37)의 출력이 L 레벨로 고정되어, NAND 게이트(39)의 출력이 H 레벨로 고정되기 때문에, 커패시터(C1 및 C2)가 방전되어 출력 전압이 저하하여, 전원 회로(350), 즉 전원 전압이 오프 제어된다.

상술된 바와 같이, 타이머 회로(260)로부터의 출력은, 파워 세이브 모드 시에, 디코더 회로(266)의 출력 레벨과 동일하게 변화한다. 따라서, 도 2(a), 도 2(b)의 어느 전원 회로(350)의 경우에도, 타이머 회로(260)로부터의 출력 레벨의 변화에 따라 전원 전압의 발생과 정지를 반복한다.

여기서, 파워 세이브 모드 시에, 전원 전압을 1초 걸러서 온·오프 제어하는 경우에 대해 설명한다. 발진 회로(262)의 발진 주파수가 1kHz(1주기가 1msec)인 경우에, 카운터(264)는, 카운트치가 「2000」가 되었을 때에 리셋되도록 설정한다. 또한, 디코더 회로(266)는, 카운터(264)의 카운트치가 「1000」일 때 H 레벨을 출력하고, 「2000」일 때 L 레벨을 출력하도록 구성한다. 상술된 바와 같이, 파워 세이브 모드시, 파워 세이브 제어 신호가 H 레벨이 되어, AND 게이트(268)의 출력은 디코더 회로(266)의 출력과 동등하게 되기 때문에, 전원 회로(350)에 공급되는 온·오프 신호는, 카운터(264)의 카운트치 「1000」, 「2000」일 때에 그 H, L이 변화하여, 전원 회로는 1초마다 전원 전압에 온·오프하게 된다. 또한, 파워 세이브 제어 신호가 통상 동작 모드를 나타내는 L 레벨일 때는, 타이머 회로(260)로부터 전원 회로(350)에의 출력은 L로 유지되기 때문에, 전원 회로(350)는 항상 온 상태로 하여, 전원 전압(VDD1 및 VDD2)을 발생한다.

이상과 같은 구성에 의해, 파워 세이브 모드시, 타이머 회로(260)가 소정의 기간을 계시하여 전원 회로(350)를 주기적으로 온·오프 제어할 수 있다. 전원 회로가 오프되어, 표시 장치의 구동 회로(100)나 LCD 패널(200)에의 전원 전압(VDD1 및

VDD2)의 공급을 정지하면, 구동 회로(100)나 LCD 패널(200)에서의 전력 소비를 없앨 수 있다. 그리고, 주기적으로 이 전원 회로(350)가 온 제어되기 때문에, 그 때 표시 패널은 원하는 표시가 행하여져, 조작자는 특별히 조작을 하지 않더라도 주기적으로 표시를 볼 수 있다.

[실시 형태 2]

도 4는, 실시 형태 2에 따른 파워 세이브 모드 대응형 표시 장치의 개략 구성을 나타내고 있다. 전술한 실시 형태 1과 서로 다른 점은, 파워 세이브 모드 시에 있어서의 계수 수단이다. 본 실시 형태에서는, 구동 회로(100)에 계수 수단으로서 계수 회로(290)를 구비한다. 도 5는, 이 계수 회로(290)의 구성을 나타내고 있다. 계수 회로(290)는, 수직 동기 신호(Vsync)를 카운트하는 카운터(292), 카운터(292)의 카운트치를 해석하고, 그 값에 따라 H 레벨 또는 L 레벨의 신호를 출력하는 디코더 회로(294), 및 AND 게이트(296)를 구비한다. AND 게이트(296)의 일방의 입력에는 디코더 회로(294)로부터의 출력 신호가 공급되고, 타방의 입력에는, 파워 세이브 제어 신호가 공급되어 있다. 따라서, AND 게이트(296)의 출력은, 파워 세이브 제어 신호가 파워 세이브 모드를 나타내는 H 레벨일 때에, 디코더 회로(294)의 출력 레벨과 동등하게 된다. 또한, 파워 세이브 제어 신호가 통상 모드를 나타내는 L 레벨이면, AND 게이트(296)의 출력은 L 레벨로 고정된다. 그리고, 이 AND 게이트(296)의 출력은, 계수 회로(290)로부터의 온·오프 신호로서, 상기 실시 형태 1과 마찬가지로, 도 2(a) 및 2(b)에 도시한 바와 같은 전원 회로(350)에 공급되어 있다.

다음에, 파워 세이브 모드 시에 있어서의 전원 제어 타이밍으로서, 그 전원 전압을 60 프레임마다 온·오프 제어하는 경우를 예로 들어 설명한다. 상술된 바와 같이 카운터(292)에는 수직 동기 신호(Vsync)가 공급되고, 카운터(292)는 카운트치가 「120」이 되었을 때에 리셋되도록 설정한다. 또한, 디코더 회로(294)는, 카운터(292)의 카운트치가 「60」일 때에 H 레벨을 출력하여, 「120」일 때 L 레벨을 출력하도록 구성한다. 이 때문에, 파워 세이브 모드시, 파워 세이브 제어 신호가 H 레벨이 되고, AND 게이트(296)의 출력이 디코더 회로(294)의 출력과 동등하게 된다. 따라서, 전원 회로(350)에 공급되는 온·오프 신호는, 카운터(292)의 카운트치가 「60」, 「120」일 때에, 즉 60 프레임마다 그 H, L이 변화하여, 전원 회로(350)는 60 프레임마다 온·오프한다. 또, 파워 세이브 제어 신호가 통상 동작 모드를 나타내는 L 일 때는, 타이머 회로(290)로부터 전원 회로(350)에의 출력은 L로 유지되기 때문에, 전원 회로(350)는 항상 턴온하여 전원 전압(VDD1 및 VDD2)을 발생한다.

이상과 같은 구성에 의해서도, 파워 세이브 모드시, 소정의 주기마다 전원 회로(350)를 온·오프 제어할 수가 있어, 전원 회로의 오프에 의해 구동 회로(100)나 LCD 패널(200)에서의 전력 소비를 없애므로, 그 경우라도, 조작자가 조작하지 않고, 주기적으로 표시를 볼 수 있다.

[실시 형태 3]

본 실시 형태에서는, 전술한 실시 형태 1 및 2와 마찬가지로, 파워 세이브 모드 시에, 주기적으로 전원 전압(VDD1 및 VDD2)을 온·오프 제어하지만, 더 나아가 전원 전압을 오프 제어하기 전에 LCD(200)의 각 화소를 선택하기 위한 선택 라인(게이트 라인)에 대한 선택 신호의 출력을 정지한다. 이러한 제어를 행함으로써, 오프후에 비제어하에서 선택 신호가 선택 라인에 출력되어, 전원 오프 직전까지 각 화소에 기입되고 있는 데이터가 지워지는 것을 방지한다. LCD(200)에 있어서는, 화소 내의 용량 성분의 존재에 의해, 선택 시에 각 화소에 기입된 데이터 신호를 비선택 기간 중에 있더라도 소정의 기간동안 유지할 수 있고, 그 사이에는 표시를 계속할 수 있다. 본 실시 형태에서는, 전원 전압을 오프하기 전에, 표시 패널 내에서, 선택 신호가 전체 선택 라인에 대하여 출력 정지로 되도록 제어함으로써, 각 화소를 확실하게 비선택 상태로 한다. 이렇게 하면, 이 비선택 상태로 된 타이밍에서 소정의 기간동안, 화소의 용량 성분이 기능함으로써, 전원이 오프되더라도 표시를 유지하는 것을 가능케 하고 있다.

도 6은, 이러한 실시 형태 3에 따른 액티브 매트릭스형 LCD의 구성례를 나타내고 있다. 또, 도 6에 있어서, 전술한 실시 형태 1에 있어서 이미 설명한 구성과 동일한 부분에는 동일 부호를 붙여 그 설명을 생략한다. 도 6에 있어서, 타이머 회로(270)는, 실시 형태 1의 타이머 회로(260)와 마찬가지로의 구성으로, 파워 세이브 제어 신호가 파워 세이브 모드를 나타내는 H 레벨일 때에, 도 3의 카운터(264)에 의한 발진 펄스의 소정 수의 카운트업에 의해서 결정되는 주기로, 출력이 H와 L에서 전환하는 타이머 신호를 출력한다. 파워 세이브 제어 신호가 통상 모드를 나타내는 L 레벨이면, 타이머 회로(270)로부터의 타이머 신호는 L 레벨을 유지한다.

이 타이머 신호는, 타이머 회로(270)로부터 구동 회로(100) 내의 T/C(400)에 공급된다. 도 7은, 이 T/C(400)의 구성을 나타내고 있다. T/C(400)에는, 도트 클럭(DOTCLK), 수평 동기 신호(Hsync), 및 수직 동기 신호(Vsync)가 공급된다. 그리

고, T/C(400)는, 이들에 기초하여, 수평 클럭(CKH), 수평 스타트 펄스(STH), 프리차지 제어 신호(PCG), 게이트 라인 선택 제어 신호(ENB), 수직 클럭(CKV), 수직 스타트 펄스(STV), 및 극성 반전 제어 신호(FRP)를 작성하여, 이것을 LCD 패널(200)의 V 드라이버(210), 및 H 드라이버(220)에 공급한다.

본 실시 형태에서는, 상기 타이머 회로(270)로부터의 타이머 신호도 이 T/C(400)에 공급되어 있고, 2단의 FF(52 및 53) 및 AND 게이트(11)의 기능에 의해, 수직 동기 신호(Vsync)에 기초하여, 타이머 신호가 공급된 다음의 수직 기간의 귀선(歸線) 기간 내에 LCD(200)에의 각 제어 신호의 출력이 정지되고, 또한 다음의 1 V 기간이 경과후에 전원 전압의 오프 제어가 행하여진다.

이하, T/C(400)의 구성 및 동작에 대하여 설명한다.

H 카운터(12)는, 도트 클럭(DOTCLK)을 클럭으로서 이것을 카운트한다. 그리고 H 카운터(12)는, AND 게이트(31)를 통해 1 H 기간에 1회에 출력되는 수평 동기 신호(Hsync)와 후술하는 1 H 폭 제어 회로(19)로부터의 H 리셋 신호(Hreset)에 의해 카운트치가 리셋되기 때문에, 1 H 기간마다 도트 클럭을 카운트한다.

H 카운터(12)의 도트 클럭 카운트치는 디코더(13)로 디코드되고, 그 얻어진 펄스 신호가 플립플롭(F/F)(20) 및 AND 게이트(27)를 통해, 수평 클럭(CKH)으로서 출력되어, LCD 패널(200)의 H 드라이버(220)에 공급된다.

디코더(14)는, H 카운터(12)의 도트 클럭 카운트치에 기초하여 각 1 수평 주사 기간 중의 스타트 타이밍을 결정하는 펄스를 발생하고, 이것이 F/F(21)를 통해 수평 스타트 펄스(STH)로서 출력된다.

디코더(15)는, H 카운터(12)의 도트 클럭 카운트치에 기초하여, 1 수평 기간의 개시 직전의 타이밍을 구하여 펄스 신호를 작성한다. 이 펄스 신호는, F/F(22)을 통해, 1 H의 개시 직전에, 데이터 라인의 전압을 후속하는 1 H 기간의 표시 데이터 전압에 근접하게 되도록 하기 위한 프리차지 제어 신호(PCG)로서 출력된다.

디코더(16)는 H 카운터(12)의 도트 클럭 카운트치에 기초하여 각 게이트 라인의 선택 허가 기간을 제어하는 타이밍을 구하여, 이것이 F/F(23)를 통하여 게이트 라인 선택 제어 신호(ENB)로서 출력된다. 이 제어 신호(ENB)는, 1 H의 개시 직전에 데이터 라인에 대하여 행해지는 상기 프리차지 기간 중에, 게이트 라인이 선택되어 화소 트랜지스터가 턴온하여 프리차지 데이터가 각 화소에 기입되는 것을 금지하기 위한 제어 신호이다. 이 게이트 라인 선택 제어 신호(ENB)는 LCD 패널(200)의 V 드라이버(210)에 공급된다.

여기서, V 드라이버(210)는 도 8에 도시한 바와 같은 구성이고, 패널의 게이트 라인수(n)에 따라, 후술하는 수직 클럭(비반전 CKV1, 반전 CKV2)을 클럭으로 한다. 또한 수직 스타트 펄스(STV)를 순차 시프트하는 복수단의 시프트 레지스터(251, 252…), y번째와 y+1번째의 시프트 레지스터 출력의 논리곱을 출력하는 AND 게이트(241, 242…), 및 게이트 라인에의 각 최종 출력 게이트(231, 232…)를 구비하고, 상기 게이트 라인 선택 제어 신호(ENB)가 이 최종 출력 게이트(231, 232…)의 일방의 입력단에 공급되어 있다. 그리고, 이 제어 신호(ENB)는, 1 H 기간의 개시 직전의 프리차지 기간 중에 L 레벨이 되기 때문에, 게이트 라인에의 게이트 선택 신호의 출력이 제어 신호(ENB)의 L 레벨의 사이에 금지된다.

도 7에 있어서, H 카운터(12)로부터의 도트 클럭 카운트치를 디코드하는 디코더(17)로부터의 출력은, FF(24)을 통해 AND 게이트(44)의 일방의 입력단에 공급되어 있다. 이 AND 게이트(44)의 타방의 입력단에는, AND 게이트(11)를 통해 출력되는 도트 클럭(DOTCLK)이 공급되어 있다. 통상 표시 상태에서 이 AND 게이트(11) 출력은 도트 클럭과 동등하기 때문에, 이것이 클럭으로서 공급되는 FF(41)의 Q 단자로부터는 1 H마다 레벨이 변화하는 신호가 얻어지고, 이것은 수직 클럭(CKV)으로서 LCD 패널(200)의 V 드라이버(210)에 출력된다.

디코더(18)는, H 카운터(12)의 도트 클럭 카운트치를 기초로 하여 펄스 신호를 발생하고, 이것은 1 H마다 표시 데이터를 반전시키기 위한 반전 제어 신호(FRP)를 출력하기 위한 FF(40)에 클럭을 공급하는 AND 게이트(43)에 1 입력으로서 FF(25)를 통해 공급되어 있다.

1 H 폭 제어 회로(19)는, 각 게이트 라인의 1 선택 기간에 대응하는 1 H 기간에 1회 H 리셋 신호(Hreset)를 발생하여, 후술의 AND 게이트(32) 및 V 카운터(34)와 함께 행 클럭 작성부의 일부로서 기능한다.

V 카운터(34)는, AND 게이트(32)의 출력을 클럭으로서 수신하여, AND 게이트(33)의 출력에 의해 리셋된다. AND 게이트(32)에는 1 H 폭 제어 회로(19)로부터의 H 리셋 펄스(Hreset), 및 AND 게이트(11)를 통해 공급되는 도트 클럭(DOTCLK)이 입력되어 있고, V 카운터(34)는 1 H에 1회 H로 되는 펄스를 카운트하여 1V 기간마다 수직 동기 신호(Vsync)에 따라 그 카운트치를 리셋한다.

디코더(35)는 V 카운터(34)로부터의 카운트치에 기초하여 1 수직 주사 기간(1V)에 1회 1V 기간의 스타트를 나타내는 수직 스타트 펄스(STV)를 FF(37)을 통해 출력한다.

디코더(36)는 V 카운터(34)로부터의 카운트치에 기초하여, 그 카운트치가 LCD 패널(200)의 게이트 라인 수(n)에 따른 수치가 되면 V 리셋 펄스(Vreset)를 FF(38)를 통해 출력한다. 이 V 리셋 신호(Vreset)는, FF(40)의 리셋 단자에 공급되어, 1 H 및 1 프레임마다 표시 데이터의 극성을 반전시키는 반전 펄스(FRP)를 리셋하고, 또한 FF(41)의 리셋 단자에도 공급되어 전술한 V 클럭(CKV)을 리셋한다. 또한 이 V 리셋 펄스는 도트 클럭(DOTCLK)과의 논리곱을 취하는 AND 게이트(42)에 공급되고, FF(39)는 이 게이트(42)의 AND 출력을 클럭 단자에 수신하여 동작을 함으로써, 1 프레임마다 반전하는 Q 출력이 얻어진다.

EXOR 게이트(45)는 상기 FF(39 및 40)의 출력의 배타적 논리합을 취하고, 그 결과는 극성 반전 펄스(FRP)로서 LCD 패널(200)의 H 드라이버(220)에 출력된다.

다음에, 이 T/C(400)의 전원 오프 제어 동작에 대하여 설명한다. T/C(400) 중에 설치된 FF(52)의 D 단자에는, 타이머 회로(270)로부터의 타이머 신호가 공급되어 있고, FF(52)는 수직 동기 신호(Vsync)를 CK 단자에 수신하고 있다. 이 때문에, 파워 세이브 모드 시에, 타이머 회로(270)로부터 공급되는 타이머 신호가 H 레벨(전원 오프 명령)이 된 후, 다음에 수직 동기 신호(Vsync)가 입력되면 FF(52)는 타이머 신호를 취한다. 따라서, FF(52)의 Q 출력은 H 레벨이 되고, 반전 Q 출력은 L 레벨이 된다. 이 반전 Q 출력은 AND 게이트(11)의 일방의 입력에 공급되어 있고, 그 반전 Q 출력이 L 레벨이 되는 것에 의해, AND 게이트(11)의 출력은 L 레벨로 고정된다. 따라서, 상기 H 카운터(12), V 카운터(34)에 있어서의 각 카운트 동작이 정지하여, 이것에 따라, 각 제어 신호(CKH, STH, PCG, ENB, STV, FRP, CKV)의 출력이 정지한다. 또한, 도 8에 나타내는 LCD(200)의 V 드라이버에 있어서, 게이트 선택 신호를 V 방향으로 순차 전송하는 시프트 레지스터(251, 252...)의 전송 동작이 정지하고, 또한 ENB가 L 레벨이 되기 때문에, 각 게이트 라인에의 선택 신호의 출력이 금지된다.

이상과 같이, 타이머 신호가 공급되고 나서, 다음의 수직 동기 신호(Vsync)가 입력되어, 즉 다음의 수직 귀선 기간이 되면, LCD(200)에 대한 각 제어 신호의 출력이 정지함과 동시에, V 드라이버(210)로부터 전 게이트 라인에의 선택 신호의 출력이 정지된다.

또한, 동일한 수직 동기 신호(Vsync)를 클럭 단자에 수신하여 FF(52)의 Q 출력을 D 단자에 수신하는 FF(53)는, FF(52)의 H 레벨의 Q 출력을, 또한 다음의 수직 동기 신호(Vsync)의 공급되는 타이밍에서 취하고, 이것이 전원 제어 신호로서 도 6에 도시한 바와 같이 전원 회로(350)에 출력된다.

전원 회로(350)에 있어서는, 실시 형태 1과 마찬가지로, 파워 세이브 모드 시에 있어서 온·오프 신호로서 H가 공급되면 전원 전압을 오프 제어한다. 이상, 도 7에 나타내는 구성에 따르면, LCD(200)에 대한 각 제어 신호를 정지하고 나서 1 수직 기간이 경과 후에 전원 전압의 오프 제어가 행하여지는 것이 된다.

액티브 매트릭스형 LCD에서는, 선택 신호(게이트 신호)에 의해서 TFT가 온 제어되었을 때에 데이터 라인에 공급되어 있는 데이터 신호가, 그 TFT를 통해 각 화소의 액정용량 및 유지용량에 기입되어 유지되어, TFT가 오프한 후에도, 일정 기간 그 데이터를 유지하여 표시가 행하여진다. 따라서, 본 실시 형태 3와 같이, 파워 세이브 모드 시에 전원 오프 제어하는 경우에도, 게이트 라인에의 선택 신호 출력을 정지하고 나서, 전원 전압을 오프 제어함으로써, 비제어 상태에서 TFT가 턴 온하는 것이 방지되고, 통상 시간 동작 시의 TFT의 비선택 기간과 마찬가지로, 전원 전압 오프 제어 후에 있어서도, 오프 직전까지 각 화소로 행해지고 있는 표시를 소정의 기간동안 유지할 수 있다.

또, 이상의 설명에 있어서는, T/C(400)가 LCD(200)에 대한 전체 제어 신호를 정지하고 나서 전원 전압의 오프 제어하는 구성이지만, 도 7의 FF(23)로부터 출력되는 ENB만을 이용하여 게이트 라인에의 선택 신호의 출력을 금지하는 구성으로 하여도 좋다.

또한, 도 7의 구성에서는, 타이머 신호가 입력된 다음의 수직 귀선 기간 내에 제어 신호의 발생을 정지시키기 위해서, 수직 동기 신호(Vsync)를 이용하여 그 수직 귀선 기간의 판별을 행하고 있는 것을 이용하여 행하고 있다. 그러나, 이것에는 한정되지 않고, 별도의 수직 귀선 신호 판별용의 신호를 작성하고 이것을 이용하여도 좋다.

또한, LCD(200)에 대한 제어 신호의 발생을 정지하고 나서, 전원 회로(350)에서의 전원 전압의 오프 제어까지는, 1 수직 기간 내에 설정하고 있지만, 제어 신호의 정지로부터 전원 오프 제어까지의 기간이 특히 이 수직 기간에는 한정되지 않는다.

또한, 본 실시 형태 3에 있어서, 파워 세이브 모드 시에 있어서 전원 전압을 주기적 온·오프 제어하는 것에 관해서는, 전술한 실시 형태와 마찬가지로 실행된다. 도 7의 구성에 있어서, 파워 세이브 모드 시에 있어서의 전원 온 제어는, 타이머 신호가 L 레벨이 되고, 이것이 다음의 수직 동기 신호(Vsync)의 상승에 의해 FF(52)에 래치되면 자동적으로 행해진다. 즉, L 레벨의 타이머 신호를 래치함으로써, 반전 Q 출력은 H 레벨이 되고, AND 게이트(11)로부터 각 카운터에의 도트 클럭(DOTCLK) 출력이 허가되어, 또한, 다음의 수직 동기 신호(Vsync)의 타이밍에서 FF(53)의 Q 출력이 L 레벨이 되어, 이것이 전원 회로(350)에 공급됨으로써, 전원 전압이 온 제어된다.

이상 본 실시 형태 3과 같은 제어에 의해 파워 세이브 모드 시에 있어서 소정의 주기로 전원 온·오프 제어가 행하여짐과 같이, 전원 오프시에는, 오프 직전까지의 표시를 소정의 기간 계속할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 표시 장치용의 구동 장치는 파워 세이브가 명령되었을 때에, 전원 전압을 소정의 주기로 온·오프 제어할 수가 있어, 전원 전압 오프 제어에 의해, 구동 회로나 표시 패널에서의 전력 소비가 없어지므로, 표시 장치에 있어서의 소비전력 세이브가 가능해진다. 한편, 파워 세이브 시이더라도, 자동적으로 소정의 기간마다 전원 전압이 온 제어되기 때문에, 표시를 정기적으로 볼 수 있다.

또한 본 발명에 따르면, 선택 신호의 출력을 정지하고 나서 전원 전압을 오프 제어하기 때문에, 화소의 용량 성분에 의해서, 전원 오프 직전에 각 화소는 직전까지 행하고 있는 표시를 잠시동안 유지할 수 있고, 전력 소비가 없는 전원 오프 기간 이더라도 표시를 볼 수 있다.

(57) 청구의 범위

청구항 1.

표시 장치용 구동 장치에 있어서,

복수의 화소가 형성된 표시 패널에 표시 데이터 및 타이밍 신호를 공급하여 상기 표시 패널을 구동하기 위한 구동 회로, 및
상기 표시 패널, 상기 구동 회로에 필요한 전원 전압을 발생하는 전원 회로를 포함하고,

파워 세이브가 명령되면, 상기 표시 패널 또는 상기 구동 회로 중 어느 하나 또는 양방에 공급하는 전원 전압을, 소정의 기간마다 온·오프 제어하며,

상기 표시 패널은, 복수의 화소, 상기 화소를 선택하기 위한 선택 라인, 및 상기 화소에 데이터를 공급하기 위한 데이터 라인을 구비하고,

파워 세이브가 명령되면,

데이터 기입 화소를 선택하기 위해서 상기 선택 라인에 출력되는 선택 신호를 전체 선택 라인에 대하여 출력 정지하는 정지 제어 수단을 구비하고,

상기 정지 제어 수단에 의해서 상기 선택 신호의 출력을 정지하고 나서 상기 전원 전압을 오프 제어하는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 2.

제1항에 있어서,

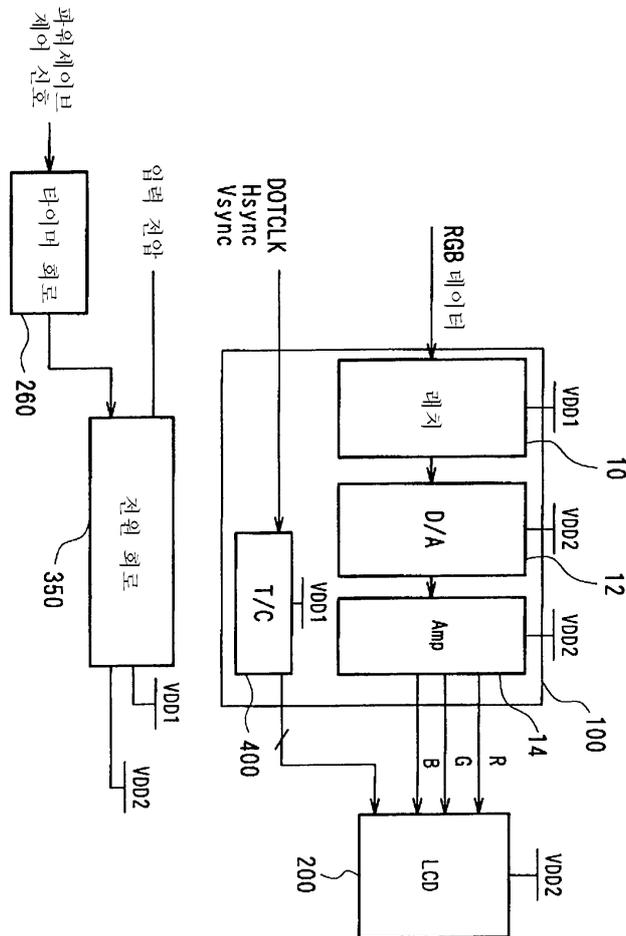
계시 수단을 더 구비하여, 그 계시 수단의 계시결과에 따라 상기 전원 회로가 전원 전압을 온·오프하는 것을 특징으로 하는 표시 장치용 구동 장치.

청구항 3.

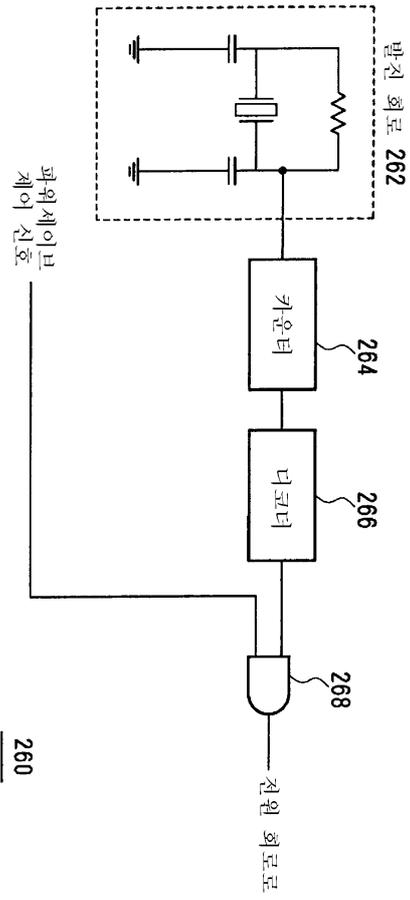
삭제

도면

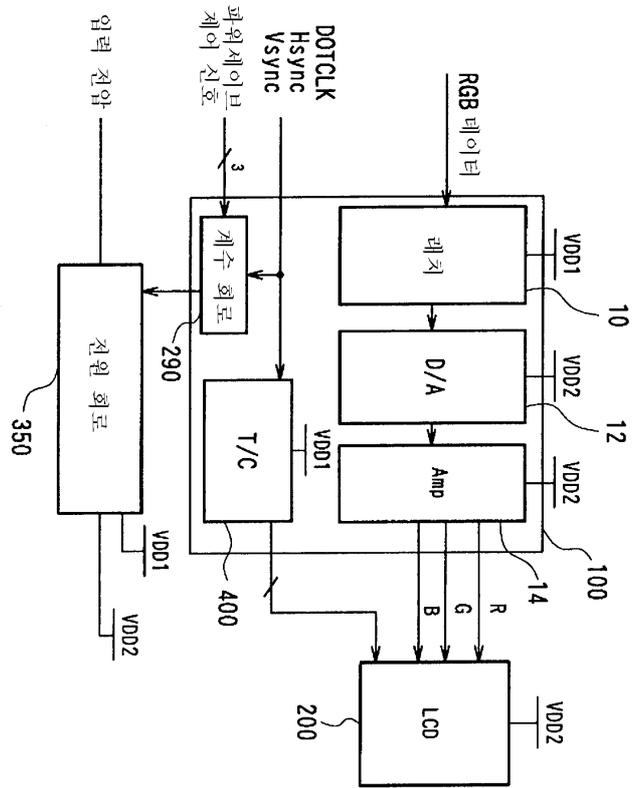
도면1



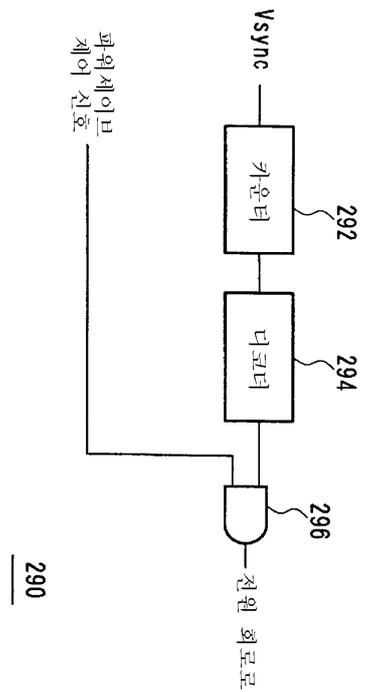
도면3



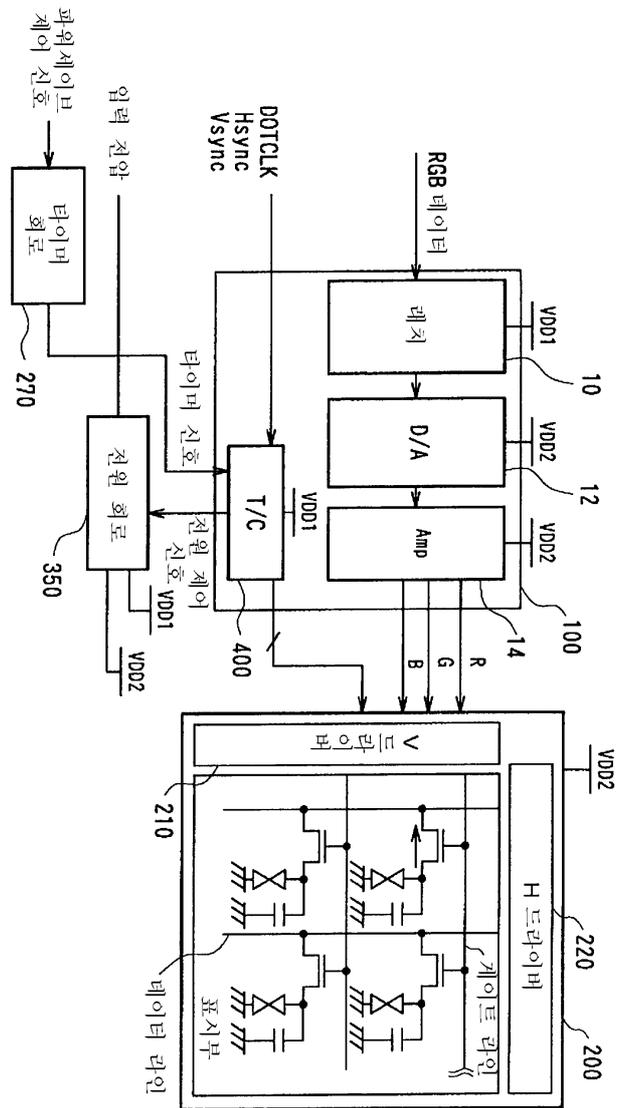
도면4



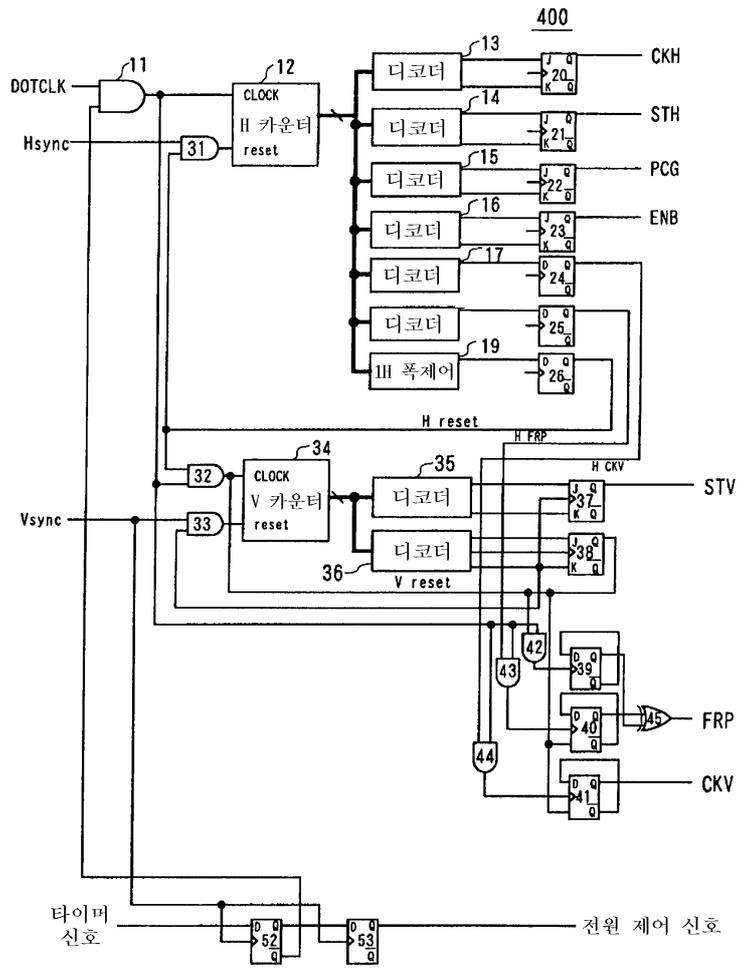
도면5



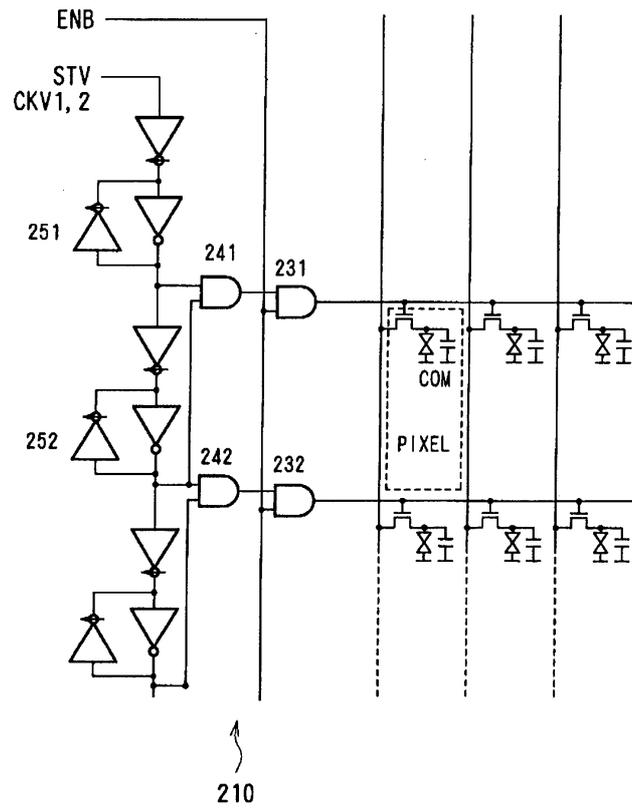
도면6



도면7



도면8



专利名称(译)	用于显示设备的驱动器		
公开(公告)号	KR100541313B1	公开(公告)日	2006-01-10
申请号	KR1020010060475	申请日	2001-09-28
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	NORITAKE KAZUTO 노리타케가즈토 TSUTSUI YUSUKE 쯔쯔이유스께		
发明人	노리타케가즈토 쯔쯔이유스께		
IPC分类号	G09G3/36 H04M1/73		
CPC分类号	G09G3/3648 H04W52/027 G09G2330/021 G09G3/3611 G09G2330/02 Y02B60/50 Y02D70/00		
代理人(译)	LEE , JUNG HEE CHANG, SOO KIL		
优先权	2000300836 2000-09-29 JP		
其他公开文献	KR1020020028789A		
外部链接	Espacenet		

摘要(译)

在省电模式期间，使用定时器电路（260）或诸如计时器之类的定时器来控制由电源电路（350）产生的驱动电路（100）和LCD（200）的电源电压以周期性地接通和断开。计数电路。以这种方式，在省电模式期间，可以通过关闭电源来降低功耗，并且同时，可以周期性地显示显示而无需任何进一步的操作。通过在控制之前将栅极选择信号的输出暂停到显示面板以关闭电源，即使在电源关闭之后也可以保持紧接在关闭操作之前的显示。

