

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G02F 1/136		(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년09월23일 10-0515677 2005년09월09일
(21) 출원번호 (22) 출원일자	10-2001-0086014 2001년12월27일	(65) 공개번호 (43) 공개일자	10-2003-0055890 2003년07월04일

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	김혜영 대전광역시중구석교동16-54조형주택나동202호
(74) 대리인	김영호

심사관 : 임동재

(54) 액정표시소자 및 그 제조방법

요약

본 발명은 채널의 누설전류를 방지할 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시소자는 기판 상에 형성되는 게이트전극과, 기판 상에 형성되는 게이트절연막과, 게이트절연막 상에 형성되는 반도체층과, 게이트절연막 상에 상기 소스 및 드레인전극을 덮도록 형성되며 상기 반도체층과 동일한 실리콘 결합구조를 갖는 버퍼절연막과, 상기 버퍼절연막 상에 형성되는 유기절연막과, 상기 유기절연막 상에 상기 유기절연막과 접촉되어 형성되는 화소전극을 구비하며, 상기 소스전극과 드레인전극, 및 상기 버퍼절연막 중 어느 하나를 형성한 후 기판을 100℃~400℃로 어닐링하여 상기 반도체층에 포함된 실리콘의 결합을 안정화시키는 것을 특징으로 한다.

대표도

도 5d

명세서

도면의 간단한 설명

도 1은 종래의 액정표시소자를 나타내는 단면도.

도 2은 도 1에 도시된 액정표시소자의 하부기판을 나타내는 평면도.

도 3a 내지 도 3e는 도 2에서 선 "A-A"를 따라 절취한 액정표시소자의 하부기판 제조방법을 나타내는 단면도.

도 4은 도 1에 도시된 채널과 유기절연막 간의 결합관계를 나타내는 도면.

도 5a 내지 도 5f는 본 발명의 제1 실시 예에 따른 액정표시소자의 제조방법을 나타내는 단면도.

도 6은 본 발명의 제2 실시 예에 따른 액정표시소자를 나타내는 단면도.

도 7은 도 6에 도시된 채널과 버퍼절연막간의 결합관계를 나타내는 도면.

도 8a 내지 도 8f는 도 6에 도시된 액정표시소자의 제조방법을 나타내는 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

1,51 : 하부기관 2,52 : 게이트라인

4,54: 데이터라인 6,56 : 게이트전극

8,58 : 소스전극 10,60 : 드레인전극

11 : 상부기관 12,62 : 게이트절연막

14,64 : 활성층 16,66 : 오믹접촉층

18,68 : 보호막 20,70 : 접촉홀

22,72 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 채널의 누설전류를 방지할 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

액정표시소자(Liquid Crystal Display; LCD)는 소형 및 박형화와 저전력 소모의 장점을 가지는 평판 표시장치로서, 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화기기, 오디오/비디오기기 등으로 이용되고 있다. 액정표시소자는 유전이방성을 가지는 액정물질에 인가되는 전계를 제어하여 광을 투과 또는 차단하여 화상 또는 영상을 표시하게 된다. 액정표시소자는 일렉트로 루미네센스(Electro-luminescence : EL), 음극선관(Cathod Ray Tube : CRT), 발광 다이오드(Light Emitting Diode : LED) 등과 같이 스스로 광을 발생하는 표시소자들과는 달리, 스스로 광을 발생하지 않고 외부광을 이용하게 된다.

도 1을 참조하면, 종래 액정표시소자는 상부기관(11) 상에 순차적으로 형성된 블랙매트릭스(32), 칼라필터(30), 투명전극(28) 및 상부배향막(24a)을 구성으로 하는 상판(UP)과, 하부기관(1) 상에 형성된 박막트랜지스터(Thin Film Transistor ; 이하 "TFT"라 함)와 화소전극(22) 및 하부배향막(24b)을 구성으로 하는 하판(DP)과, 상판(UP)과 하판(DP) 사이에 형성된 스페이서(26)와, 상판(UP) 및 하판(DP)과 스페이서(26)에 의해 마련된 내부공간에 주입된 액정(도시하지 않음)을 구비한다.

상판(UP)에서 블랙매트릭스(32)는 상부기관(11) 상에 매트릭스 형태로 형성되어 상부기관(11)의 표면을 칼라필터(30)들이 형성되어질 다수의 셀영역들로 나눔과 아울러 인접 셀간의 광간섭을 방지하는 역할을 하게 된다. 이 블랙매트릭스(32)가 형성된 상부기관(11) 상에 적, 녹, 청 삼원색의 칼라필터(30)들이 순차적으로 형성된다. 이 경우, 삼원색의 칼라필터(30) 각각은 블랙매트릭스(32)가 형성된 상부기관(11)의 전면에 백색광원을 흡수하여 특정파장(적색, 녹색, 또는 청색)의 광만을 투과시키는 물질을 도포한 후 패터닝함으로써 형성된다. 블랙매트릭스(32) 및 칼라필터(30)가 형성된 상부기관(11) 상에 그라운드 전위가 공급되는 투명도전막인 투명전극(28)을 도포하여 상판(UP)을 완성하게 된다.

하판(DP)에서 화소전극(22)의 전압변동을 방지하기 위한 스토리지 캐패시터는 도 2에 도시된 바와 같이 게이트라인(2)과, 게이트절연막(12)을 사이에 두고 형성되는 스토리지전극(38)으로 이루어진다.

액정셀의 구동을 스위칭하는 TFT는 게이트라인(2) 및 데이터라인(4)의 교차부에 형성된다. 이 TFT는 게이트라인(2)에 접속된 게이트전극(6), 데이터라인(4)에 접속된 소스전극(8) 및 제1 접촉홀(20a)을 통해 화소전극(22)에 접속된 드레인전극(10)을 구비한다. 또한, TFT는 게이트전극(6)과 소스전극(8) 및 드레인 전극(10)의 절연을 위한 게이트절연막(12)과, 게이트전극(6)에 공급되는 게이트전압에 의해 소스전극(8)과 드레인전극(10)간에 도통채널을 형성하기 위한 반도체층(14,16)을 더 구비한다.

이 TFT를 보호하기 위해 유기절연막(18)이 형성된다. 이에 따라, 유기절연막(18) 상에 형성되는 화소전극(22)은 데이터라인(4) 및 게이트라인(2)과 적어도 어느 하나에 중첩되어 그 만큼 화소전극(22)의 면적이 증대되어 개구율이 향상된다.

도 3a 내지 도 3e는 도 2에 도시된 액정표시소자의 하부기판의 제조방법을 나타내는 단면도로써, 박막트랜지스터부와 스토리지캐패시터부를 도시한 것이다.

먼저, 하부기판(1) 상에 게이트금속을 증착한 후 패터닝함으로써 도 3a에 도시된 바와 같이 게이트라인(2)과 게이트전극(6)이 형성된다. 게이트라인(2) 및 게이트전극(6)을 덮도록 하부기판(1) 상에 절연물질을 증착하여 게이트절연막(12)이 형성된다. 게이트절연막(12) 상에 제1 및 제2 반도체물질층을 순차적으로 증착한 후 패터닝함으로써 도 3b에 도시된 바와 같이 활성층(14)과 오믹접촉층(16)을 형성한다. 이어서, 게이트절연막(12) 상에 데이터금속을 증착한 후 패터닝함으로써 도 3c에 도시된 바와 같이 스토리지전극(38), 소스전극(8) 및 드레인전극(10)을 형성한 후, 소정크기의 채널을 형성하기 위해 오믹접촉층(16)을 식각하여 활성층(14)이 노출되도록 한다. 게이트절연막(12) 상에 유기절연막(18)을 스펀코팅에 의해 표면이 평탄하게 증착한 후 패터닝함으로써 도 3d에 도시된 바와 같이 제1 및 제2 접촉홀(20a,20b)이 형성된다. 다음, 유기절연막(18)상에 투명전도성물질층을 증착한 후 패터닝함으로써 도 3e에 도시된 바와 같이 화소전극(22)이 형성된다.

종래 액정표시소자의 TFT를 보호하기 위해 유기절연막(18)을 사용할 경우, TFT의 오프상태 전류가 커지는 문제점이 있다. 또한, TFT의 수명측정용 테스트전압이 과전압으로 걸리거나 기준온도 이상의 온도가 발생할 경우, TFT의 문턱전압이 허용범위 이상 또는 이하로 불안정하게 동작하는 문제점이 있다. 뿐만 아니라, TFT의 채널을 구성하는 반도체층을 덮도록 유기절연막(18)이 형성되면, 유기절연막(18)을 경화시키기 위한 큐어링(curing) 온도가 가해져도 도 4에 도시된 바와 같이 반도체층인 활성층(14)을 구성하는 실리콘이 유기절연막(18)을 구성하는 탄소 등과 결합하게 된다. 이에 따라, 반도체층과 유기절연막(18) 간의 계면 결합이 발생하여 누설전류가 발생됨으로써 표시품질이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 채널의 누설전류를 방지할 수 있는 액정표시소자 및 그 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자는 기판 상에 형성되는 게이트전극과, 기판 상에 형성되는 게이트절연막과, 게이트절연막 상에 형성되는 반도체층과, 게이트절연막 상에 상기 소스 및 드레인전극을 덮도록 형성되며 상기 반도체층과 동일한 실리콘 결합구조를 갖는 버퍼절연막과, 상기 버퍼절연막 상에 형성되는 유기절연막과, 상기 유기절연막 상에 상기 유기절연막과 접촉되어 형성되는 화소전극을 구비하며, 상기 소스전극과 드레인전극, 및 상기 버퍼절연막 중 어느 하나를 형성한 후 기판을 100℃~400℃로 어닐링하여 상기 반도체층에 포함된 실리콘의 결합을 안정화시키는 것을 특징으로 한다.

상기 버퍼절연막은 질화실리콘(SiNx) 또는 산화실리콘(SiOx) 등으로 형성되는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정표시소자의 제조방법은 기판 상에 게이트전극을 형성하는 단계와, 기판 상에 게이트절연막을 형성하는 단계와, 게이트절연막 상에 반도체층을 형성하는 단계와, 게이트절연막 상에 소스 및 드레인전극을 형성하는 단계와, 상기 반도체층에 포함된 실리콘의 결합을 안정화시키기 위해 상기 소스 및 드레인전극이 형성된 기판을 100℃~400℃로 어닐링하는 단계와, 소스 및 드레인전극을 덮도록 유기절연막을 형성하는 단계와, 상기 유기절연막 상에 상기 유기절연막과 접촉되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

삭제

상기 유기절연막은 200℃에서 형성되는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명의 다른 실시 예에 따른 액정표시소자의 제조방법은 기판 상에 게이트전극을 형성하는 단계와, 기판 상에 게이트절연막을 형성하는 단계와, 게이트절연막 상에 반도체층을 형성하는 단계와, 게이트절연막 상에 소스 및 드레인전극을 형성하는 단계와, 상기 반도체층과 동일한 실리콘 결합구조를 가지는 버퍼절연막을 상기 게이트절연막 상에 상기 소스 및 드레인전극을 덮도록 형성하는 단계와, 상기 버퍼절연막 상에 유기절연막을 형성하는 단계와, 상기 유기절연막 상에 상기 유기절연막과 접촉되는 화소전극을 형성하는 단계를 포함하며, 상기 소스 및 드레인전극과, 상기 버퍼절연막 중 어느 하나를 형성한 후 기판을 100℃~400℃로 어닐링하여 상기 반도체층에 포함된 실리콘의 결합을 안정화시키는 것을 특징으로 한다.

상기 버퍼절연막은 질화실리콘(SiNx) 또는 산화실리콘(SiOx) 등으로 형성되는 것을 특징으로 한다.

상기 액정표시소자의 제조방법은 버퍼절연막을 200℃에서 형성하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 5 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 5a 내지 도 5f는 본 발명의 제1 실시 예에 따른 액정표시소자의 제조방법을 나타내는 단면도이다.

도 5a를 참조하면, 하부기판(51) 상에 스퍼터링(sputtering) 등의 증착방법으로 게이트금속층이 증착된다. 게이트금속층으로는 알루미늄(Al) 또는 구리(Cu) 등이 형성된다. 이어서, 게이트금속층을 식각공정을 포함하는 포토리쓰그래피 공정으로 패터닝함으로써 게이트라인(52) 및 게이트전극(56)이 형성된다.

도 5b를 참조하면, 게이트라인(52) 및 게이트전극(56)이 형성된 하부기판(51) 상에 게이트절연막(62)이 형성된다. 게이트절연막(62)은 무기절연물질인 산화실리콘(SiOx) 또는 질화실리콘(SiNx)이 사용된다. 게이트절연막(62)상에는 제1 및 제2 반도체층이 화학기상증착(Chemical Vapor Deposition) 방법으로 연속 증착된다. 제1 반도체층은 불순물이 도핑되지 않은 비정질실리콘으로 형성되며, 제2 반도체층은 N형 또는 P형의 불순물이 도핑된 비정질실리콘으로 형성된다. 이어서, 제1 및 제2 반도체층이 건식식각(Dry Etching) 공정을 포함하는 포토리쓰그래피 방법으로 패터닝됨으로써 활성층(64) 및 오믹접촉층(66)이 형성된다.

도 5c를 참조하면, 활성층(64) 및 오믹접촉층(66)이 형성된 게이트절연막(62) 상에 CVD방법 또는 스퍼터링(sputtering) 등의 증착방법으로 데이터금속층이 증착된다. 데이터금속층으로는 구리(Cu), 크롬(Cr) 또는 몰리브덴(Mo)등으로 형성된다. 이어서, 데이터금속층은 습식식각 공정을 포함하는 포토리쓰그래피 공정으로 패터닝됨으로써 스토리지전극(88)과 소스전극(58) 및 드레인전극(60)이 형성된다. 그 다음, 소스전극(58)과 드레인전극(60) 사이로 노출된 오믹접촉층(66)이 건식식각 공정으로 제거되어 소스전극(58)과 드레인전극(60)을 분리시킨다. 오믹접촉층(66)이 일부 제거됨으로써 활성층(64)에서 소스 및 드레인전극(58,60)사이의 게이트전극(56)과 대응하는 부분은 채널이 된다.

도 5d를 참조하면, 채널이 형성된 하부기판(51)을 소정온도로 열을 가하는 열공정이 실행된다.

열공정(어닐링공정)은 어닐 오븐(anneal oven)을 이용하거나 고온성막장치를 이용하여 100℃이상으로, 바람직하게는 100~400℃로, 특히 300℃로 예열한다. 이 열공정으로 인해 채널형성시 오믹접촉층(66)이 식각되면서 여기되거나 손상된 실리콘(Si-)의 불안정한 결합이 안정화된다. 이에 따라, TFT의 오프 상태 전류가 감소하고, TFT의 수명 측정용 테스트전압이 과전압 또는 기준온도 이상의 온도에 대하여 내구성이 향상되어 TFT의 문턱전압이 허용범위내에서 동작하게 된다.

이러한 열공정과 동일한 효과를 얻기 위해, TFT를 형성한 후 유기절연막을 상대적으로 고온에서 형성할 수도 있다. 바람직하게는 200℃이상에서 유기절연막을 형성하게 된다. 이를 5e를 참조하여 설명하기로 한다.

도 5e를 참조하면, 열공정이 실행된 하부기관(51)의 게이트절연막(62) 상에 유기절연막(68)이 형성된다. 유기절연막(68)의 재질로는 아크릴(Acryl)계 유기화합물, BCB(benzocyclobutene), PFCB(perfluorocyclobutane) 등의 유기 절연 물질이 이용된다. 유기절연막(68)이 건식식각 공정을 포함하는 포토리소그래피 공정으로 패터닝됨으로써 드레인전극(60)을 노출시키는 제1 접촉홀(70a)과 스토리지전극(88)을 노출시키는 제2 접촉홀(70b)이 형성된다.

도 5f를 참조하면, 유기절연막(68) 상에 스퍼터링(sputtering) 등과 같은 증착방법으로 투명전극층이 형성된다. 투명전극층의 재질로는 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 "ITO"라 함), 인듐-징크-옥사이드(Indium-Zinc-Oxide : 이하 "IZO"라 함) 또는 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide : 이하 "ITZO"라 함)으로 사용된다. 이어서, 투명전극층이 식각공정을 포함하는 포토리소그래피 공정으로 패터닝됨으로써 화소전극(72)이 형성된다. 화소전극(72)은 유기절연막(68) 상에 형성된 제1 접촉홀(70a)을 통해 드레인전극(60)과 접속되며, 제2 접촉홀(70b)을 통해 스토리지전극(88)과 접속된다.

도 6은 본 발명의 제2 실시 예에 따른 액정표시소자를 나타내는 단면도로서, 특히 박막트랜지스터부와 스토리지캐패시터부를 도시한 것이다.

도 6에 도시된 박막트랜지스터부는 하부기관(51) 상에 형성된 게이트전극(56)과, 게이트전극(56)과 게이트절연막(62)을 사이에 두고 적층된 활성층(64) 및 오믹접촉층(66)과, 오믹접촉층(66) 상에 분리되게 형성된 소스전극(58) 및 드레인전극(60)으로 구성된다. 이러한 박막트랜지스터 상에 버퍼절연막(90)과 유기절연막(68)이 형성된다. 버퍼절연막(90)은 도 7에 도시된 바와 같이 박막트랜지스터 상부에 위치하는 소스전극(58)과 드레인전극(60) 사이에 형성되는 채널과 유사한 결합 구조를 갖는 무기절연물질로 형성된다. 즉, 버퍼절연막(90)은 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiOx) 등으로 형성된다.

본 발명의 제2 실시 예에 따른 액정표시소자는 TFT 상에 버퍼절연막(90)을 형성하거나, 열공정이 실행된 TFT 상에 버퍼절연막(90)을 형성하거나, TFT 상에 버퍼절연막(90)을 형성한 후 열공정을 실시하거나, 또는 버퍼절연막(90)을 고온에서 형성할 수도 있다.

버퍼절연막(90)은 유기절연막(68)과 TFT의 막간 계면 결합을 안정화시키기 위해 형성된다. 이에 따라, 종래의 유기절연막의 고온조건과 같은 가속구동시에 발생하는 누설전류를 억제할 수 있으며, TFT의 수명 측정용 테스트전압이 과전압 또는 기준온도 이상의 온도에 대하여 내구성이 향상되어 TFT의 문턱전압이 허용범위 내에서 동작하게 된다.

도 8a 내지 도 8f는 도 6에 도시된 액정표시소자의 제조방법을 나타내는 단면도이다.

먼저, 하부기관(51) 상에 게이트금속을 증착한 후 패터닝함으로써 도 8a에 도시된 바와 같이 게이트라인(52)과 게이트전극(56)이 형성된다. 게이트라인(52) 및 게이트전극(56)을 덮도록 하부기관(51) 상에 절연물질을 증착하여 게이트절연막(62)이 형성된다. 게이트절연막(62) 상에 제1 및 제2 반도체물질을 순차적으로 증착한 후 패터닝함으로써 도 8b에 도시된 바와 같이 활성층(64)과 오믹접촉층(66)을 형성한다. 이어서, 게이트절연막(62) 상에 데이터금속을 증착한 후 패터닝함으로써 도 8c에 도시된 바와 같이 스토리지전극(88), 소스전극(58) 및 드레인전극(60)을 형성한 후, 소정크기의 채널을 형성하기 위해 오믹접촉층(66)을 식각하여 활성층(64)이 노출되도록 한다. 게이트절연막(62) 상에 무기절연물질을 증착하여 도 8d에 도시된 바와 같이 버퍼절연막(90)이 형성된다. 버퍼절연막(90)은 게이트절연막(62), 활성층(64) 및 오믹접촉층(66)과 동일한 증착방법으로 증착된다. 버퍼절연막(90)은 질화실리콘(SiNx) 또는 산화실리콘(SiOx) 등의 무기절연물질로 이루어진다.

또한, 열공정이 실행된 TFT 상에 버퍼절연막(90)을 형성하거나, TFT 상에 버퍼절연막(90)을 형성한 후 열공정을 실시하거나, 또는 버퍼절연막(90)을 고온에서 형성할 수도 있다. 여기서, 열공정은 100~400℃의 온도로 실행되며, 버퍼절연막(90)을 형성하는 고온은 약 200℃ 이상이다.

버퍼절연막(90) 상에 유기절연막(68)을 스펀코팅에 의해 표면이 평탄하게 증착한 후 버퍼절연막(90)과 유기절연막(68)을 일괄식각 또는 연속식각의 건식식각공정을 포함하는 포토리소그래피공정으로 패터닝함으로써 도 8e에 도시된 바와 같이 제1 및 제2 접촉홀(70a, 70b)이 형성된다. 다음, 유기절연막(68)상에 투명전도성물질을 증착한 후 패터닝함으로써 도 8f에 도시된 바와 같이 화소전극(72)이 형성된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시소자 및 그 제조방법은 박막트랜지스터를 형성한 후 열공정을 실행함으로써 채널의 누설전류 특성이 안정화된다. 이에 따라, 누설전류로 기인한 얼룩을 제거할 수 있어 화질이 향상된다. 또한, 박막트랜지스터와 유기절연막 사이에 버퍼절연막을 형성함으로써 유기절연막의 들뜸현상이 방지된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

기판 상에 형성되는 게이트전극과,
상기 기판 상에 형성되는 게이트절연막과,
상기 게이트절연막 상에 형성되는 반도체층과,
상기 반도체층과 게이트절연막 상에 형성되는 소스 및 드레인전극과,
상기 게이트절연막 상에 상기 소스 및 드레인전극을 덮도록 형성되며 상기 반도체층과 동일한 실리콘 결합구조를 갖는 버퍼절연막과,
상기 버퍼절연막 상에 형성되는 유기절연막과,
상기 유기절연막 상에 상기 유기절연막과 접촉되어 형성되는 화소전극을 구비하며,
상기 소스전극과 드레인전극, 및 상기 버퍼절연막 중 어느 하나를 형성한 후 기판을 100℃~400℃로 어닐링하여 상기 반도체층에 포함된 실리콘의 결합을 안정화시키는 것을 특징으로 하는 액정표시소자.

청구항 2.

제 1 항에 있어서,
상기 버퍼절연막은 질화실리콘(SiNx) 또는 산화실리콘(SiOx) 등으로 형성되는 것을 특징으로 하는 액정표시소자.

청구항 3.

기판 상에 게이트전극을 형성하는 단계와,
상기 기판 상에 게이트절연막을 형성하는 단계와,
상기 게이트절연막 상에 채널을 정의하는 반도체층을 형성하는 단계와,
상기 게이트절연막 상에 소스 및 드레인전극을 형성하는 단계와,
상기 반도체층에 포함된 실리콘의 결합을 안정화시키기 위해 상기 소스 및 드레인전극이 형성된 기판을 100℃~400℃로 어닐링하는 단계와,
상기 소스 및 드레인전극을 덮도록 유기절연막을 형성하는 단계와,

상기 유기절연막 상에 상기 유기절연막과 접촉되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 4.

삭제

청구항 5.

제 3 항에 있어서,

상기 유기절연막은 200℃에서 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 6.

기관 상에 게이트전극을 형성하는 단계와,

상기 기관 상에 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 반도체층을 형성하는 단계와,

상기 게이트절연막 상에 소스 및 드레인전극을 형성하는 단계와,

상기 반도체층과 동일한 실리콘 결합구조를 가지는 버퍼절연막을 상기 게이트 절연막 상에 상기 소스 및 드레인전극을 덮도록 형성하는 단계와,

상기 버퍼절연막 상에 유기절연막을 형성하는 단계와,

상기 유기절연막 상에 상기 유기절연막과 접촉되는 화소전극을 형성하는 단계를 포함하며,

상기 소스 및 드레인전극과, 상기 버퍼절연막 중 어느 하나를 형성한 후 기관을 100℃~400℃로 어닐링하여 상기 반도체층에 포함된 실리콘의 결합을 안정화시키는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 버퍼절연막은 질화실리콘(SiNx) 또는 산화실리콘(SiOx) 등으로 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

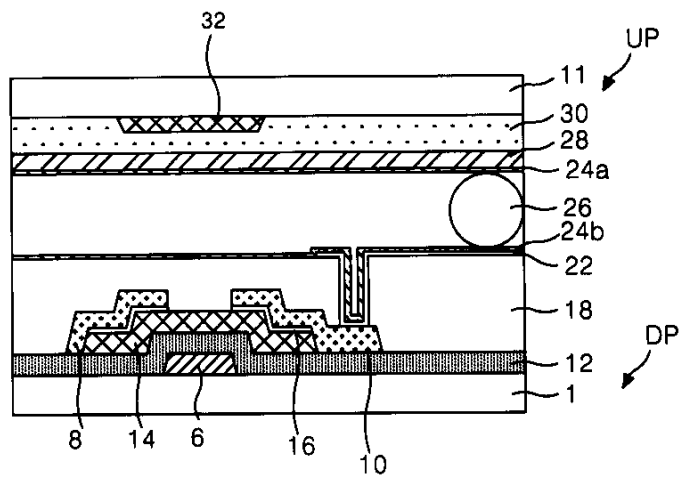
청구항 8.

제 6 항에 있어서,

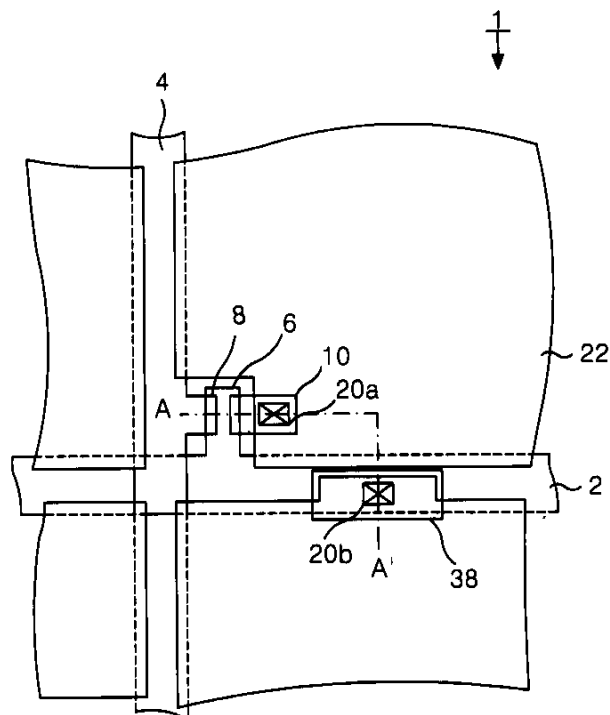
상기 버퍼절연막은 200℃에서 형성되는 것을 특징을 하는 액정표시소자의 제조방법.

도면

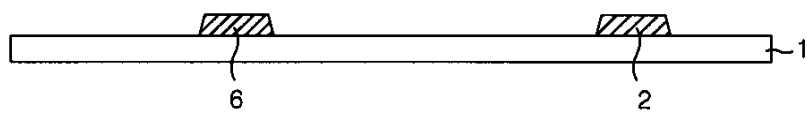
도면1



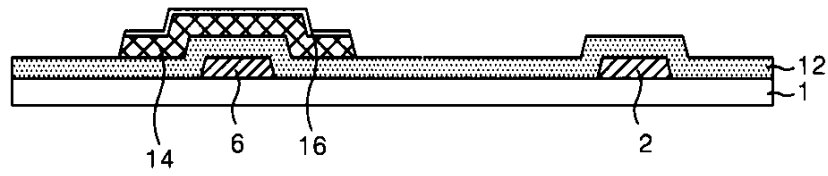
도면2



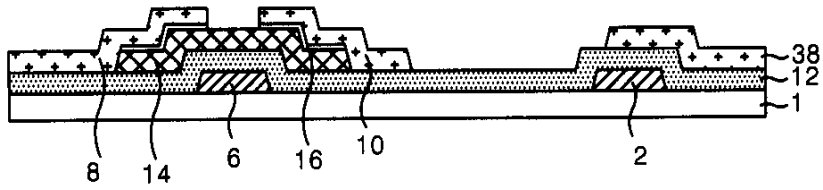
도면3a



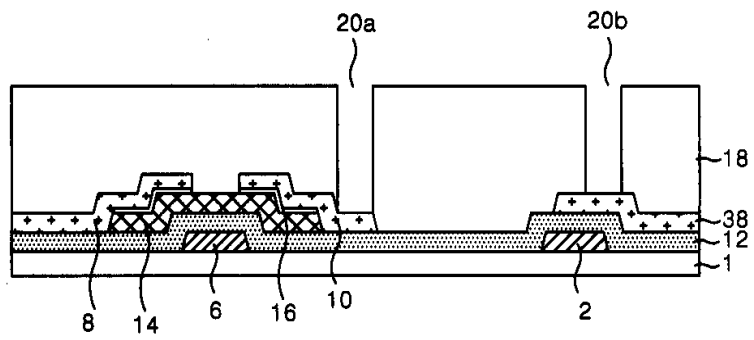
도면3b



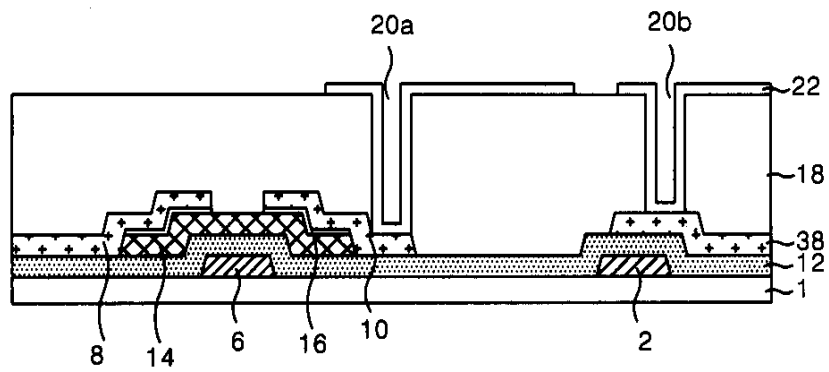
도면3c



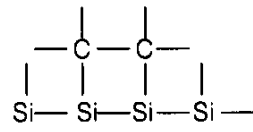
도면3d



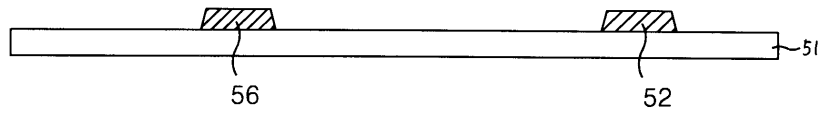
도면3e



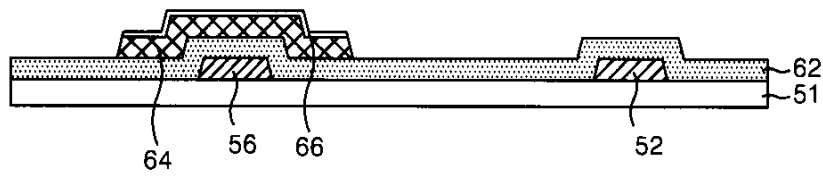
도면4



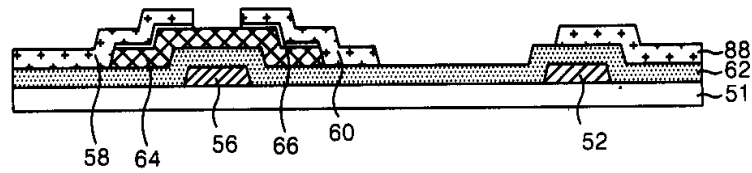
도면5a



도면5b

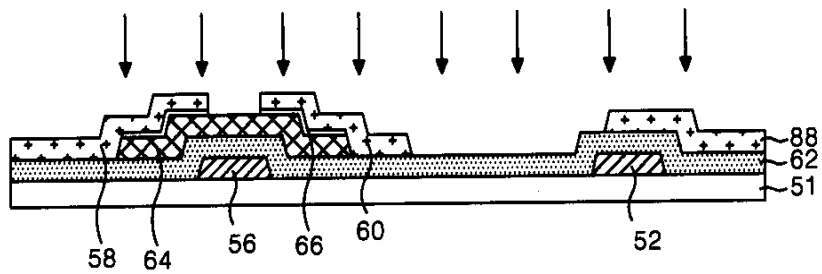


도면5c

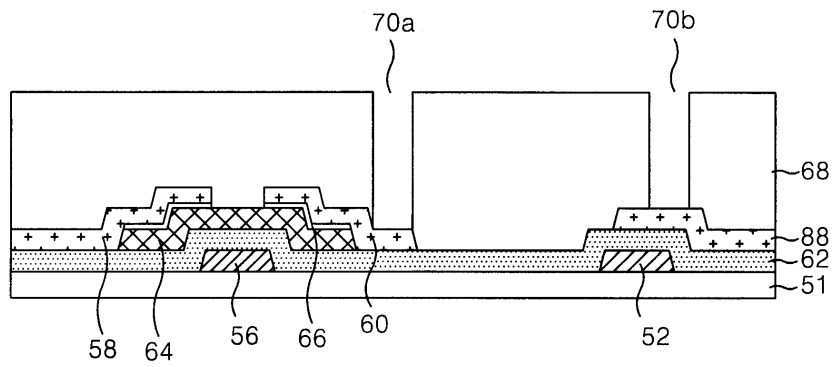


도면5d

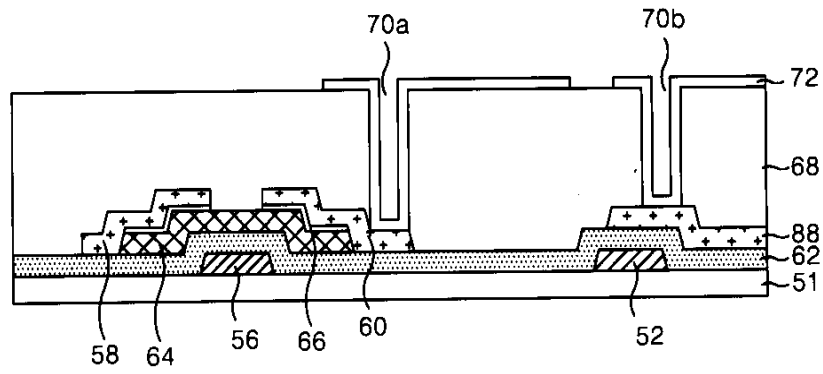
열공정



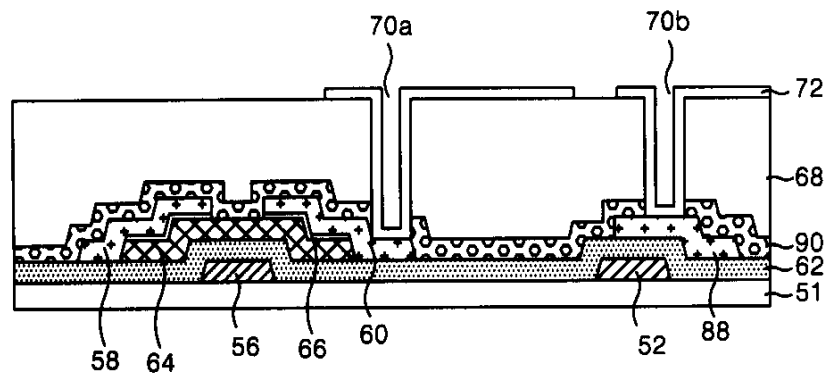
도면5e



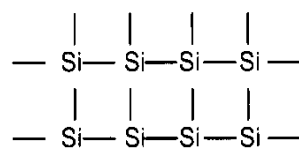
도면5f



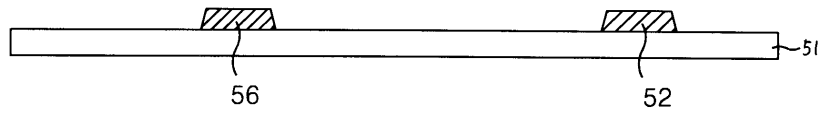
도면6



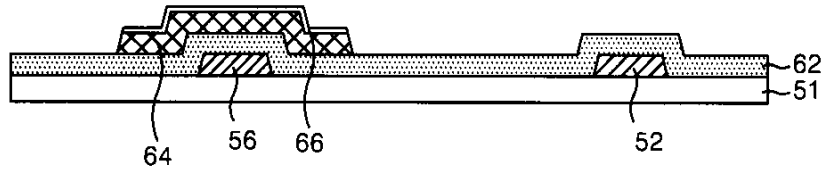
도면7



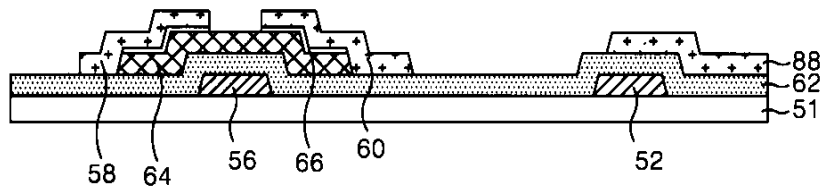
도면8a



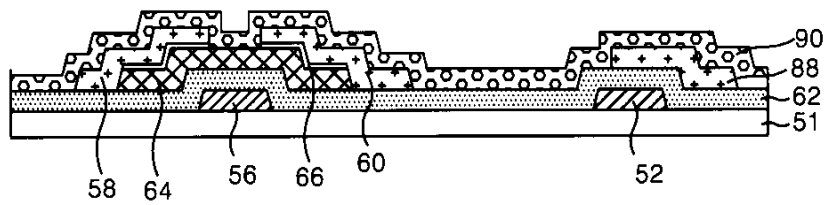
도면8b



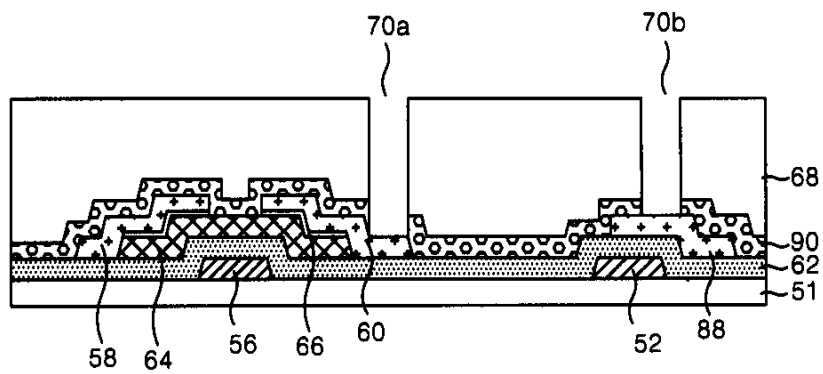
도면8c



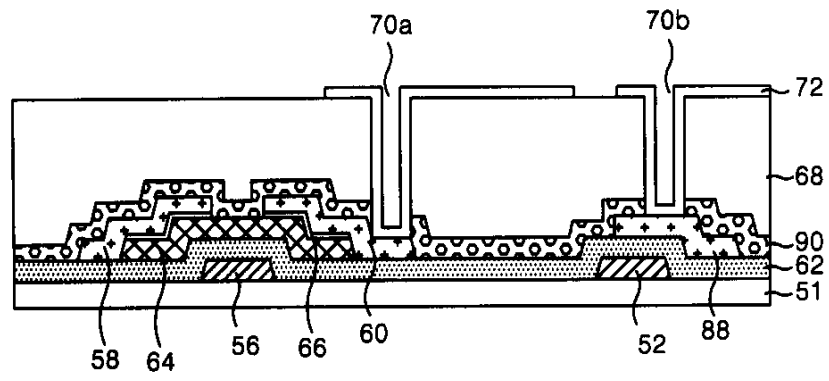
도면8d



도면8e



도면8f



专利名称(译)	液晶显示元件及其制造方法		
公开(公告)号	KR100515677B1	公开(公告)日	2005-09-23
申请号	KR1020010086014	申请日	2001-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYEYOUNG		
发明人	KIM,HYEYOUNG		
IPC分类号	G02F1/136		
代理人(译)	KIM , YOUNG HO		
其他公开文献	KR1020030055890A		
外部链接	Espacenet		

摘要(译)

液晶显示元件及其制造方法技术领域本发明涉及一种能够防止沟道的漏电流的液晶显示元件及其制造方法。 根据本发明的液晶显示装置包括形成在基板上的栅电极，形成在基板上的栅极绝缘膜，形成在栅极绝缘膜上的半导体层，以及形成在栅极绝缘膜上的源电极和漏电极，具有与半导体层相同的硅键结构的缓冲绝缘层，形成在缓冲绝缘层上的有机绝缘层，以及形成在与有机绝缘层接触的有机绝缘层上的像素电极，然后，在其上形成缓冲绝缘层的后板在100℃至400℃下退火，以稳定半导体层中包含的硅的键合。 图5d

