(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G09G 3/36

(45) 공고일자 2004년05월27일
(11) 등록번호 10-0433148
(24) 등록일자 2004년05월17일

(21) 출원번호 10-2001-0085961
(22) 출원일자 2001년12월27일

(65) 공개번호 10-2002-0059240
(43) 공개일자 2002년07월12일

(30) 우선권주장 JP-P-2000-00399460 2000년12월27일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.
일본 가나가와껭 가와사끼시 나까하라구 시모누마베 1753

(72) 발명자 후지모또가즈시
일본도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤내

다께모또다까히로
일본도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤내

(74) 대리인 장수길
구영창

심사관 : 정경덕

(54) 액정 표시 장치의 구동 방법 및 구동 회로

요약

화상 데이터를 액정 패널로 전송하기 위한 클럭 주파수를 저감시키고 버스 라인을 통해 전송되는 화상 데이터의 각 비트의 변화량을 저감시켜 EMI 특성을 개선한다. 타이밍 제어기(2A)는 그래픽 제어기(11A)로부터 입력되는 화상 데이터를 복수 계통의 데이터로 분기하여 복수의 데이터 버스(6A)를 통해 소스 드라이버(3A)에 공급함과 함께 클럭 신호를 화상 데이터의 데이터 레이트의 1/2 이하로 저감시켜 출력한다. 또한, 타이밍 제어기(2A)는 데이터 버스 상에 출력되는 화상 데이터의 과반수가 변화하는 경우에는 해당 화상 데이터의 전부를 반전시켜 출력함으로써 데이터의 변화량을 억제하여 EMI 특성을 개선한다.

대표도

도 1

색인어

액정 패널, 액정 데이터, 클럭 주파수, 타이밍 제어기, 그래픽 제어기, 계조 전압

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예의 액정 표시 장치의 전체 구성을 나타내는 도면.

도 2는 타이밍 제어기(22A)의 구성을 나타내는 도면.
도 3은 소스 드라이버(3A)의 구성을 나타내는 도면.
도 4는 도 1의 액정 표시 장치의 1 라인의 동작을 나타내는 타이밍도.
도 5는 화상 데이터와 클럭 신호의 관계를 나타내는 타이밍도.
도 6은 제2 실시예의 타이밍 제어기와 소스 드라이버의 접속 구성을 나타내는 도면.
도 7은 타이밍 제어기(22B)의 구성을 나타내는 블럭도.
도 8은 화상 데이터와 클럭 신호의 관계를 나타내는 타이밍도.
도 9는 상기 A 내지 D 포트 데이터의 구성법을 나타내는 도면.
도 10은 제3 실시예의 액정 표시 장치의 전체 구성을 나타내는 도면.
도 11은 타이밍 제어기와 소스 드라이버의 접속 구성을 나타내는 도면.
도 12는 타이밍 제어기(22C)의 구성을 나타내는 도면.
도 13은 소스 드라이버의 구성을 나타내는 도면.
도 14는 본 실시예의 1 라인의 동작을 나타내는 타이밍도.
도 15는 본 실시예의 화상 데이터와 클럭 신호의 관계를 나타내는 타이밍도.
도 16은 제4 실시예의 액정 표시 장치의 전체 구성을 나타내는 도면.
도 17은 타이밍 제어기와 소스 드라이버의 접속 구성을 나타내는 도면.
도 18은 타이밍 제어기(22D)의 구성을 나타내는 도면.
도 19는 화상 데이터와 클럭 신호의 관계를 나타내는 타이밍도.
도 20은 화상 데이터와 클럭 신호의 관계를 나타내는 타이밍도.
도 21은 버스 라인의 화상 데이터의 전환 기술을 적용한 다른 실시예를 나타내는 블럭도.
도 22는 도 21의 타이밍 제어기의 구성을 나타내는 도면.
도 23은 도 22의 데이터 출력부의 신호의 위상 관계를 나타내는 도면.
도 24는 도 22의 극성 반전 판정 생성부(10-1 4)의 일 구성예를 나타내는 블럭도.
도 25는 도 24에 도시된 데이터 극성 반전 판정 생성부(10-1 4)의 동작을 나타내는 블럭도.
도 26은 도 25의 데이터 극성 반전 판정 회로(11)의 일 구성예를 나타내는 도면.
도 27은 도 26의 극성 변화 검출 회로(21)의 동작을 설명하기 위한 표.
도 28은 도 21의 실시예의 효과를 설명하기 위한 표.
도 29는 도 21의 실시예의 EMI 특성의 계측 결과를 나타내는 도면.
도 30은 버스 라인의 화상 데이터의 전환 기술을 적용하지 않는 종래예의 구동 회로를 나타내는 도면.
도 31은 도 30에 도시한 구동 회로에 버스 라인의 화상 데이터의 전환 기술을 적용한 경우의 EMI 특성의 계측 결과를 나타내는 도면.
도 32는 종래예의 액정 표시 장치의 전체 구성을 나타내는 도면.
도 33은 종래의 액정 표시 장치의 타이밍 제어기와 소스 드라이버의 접속 구성을 나타내는 도면.
도 34는 종래예의 화상 데이터 및 클럭 신호에 관한 구동 방식을 나타내는 도면.
도 35는 제2 종래예의 액정 표시 장치의 타이밍 제어기와 소스 드라이버의 접속 구성을 나타내는 도면.
도 36은 타이밍 제어기와 소스 드라이버 간의 접속 구성을 나타내는 도면.
도 37은 제3 종래예의 액정 표시 장치의 타이밍 제어기와 소스 드라이버의 접속 구성을 나타내는 도면.
도 38은 타이밍 제어기와 소스 드라이버간의 신호의 타이밍도를 나타내는 도면.
도 39는 제4 종래예의 액정 표시 장치의 타이밍 제어기와 소스 드라이버의 접속 구성을 나타내는 도면.
도 40은 타이밍 제어기와 소스 드라이버간의 신호의 타이밍도를 나타내는 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 그래픽 제어기
2 : 인터페이스
3 : 소스 드라이버
4 : 게이트 드라이버
5 : 액정 패널
12 : 트랜스미터
21 : 수신기
22 : 타이밍 제어기
23 : 전원 회로
31 : 시프트 레지스터
32 : 데이터 레지스터
33 : 데이터 래치
34 : 레벨 시프터
35 : D/A 컨버터
36 : 출력 버퍼
221 : 직렬 · 병렬 변환 블럭
222 : 클럭 발생 회로
223 : 위상 조정 회로

227 : 메모리

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 패널 등의 액정 표시 장치의 구동 방법 및 구동 회로에 관한 것으로, 특히 EMI(Electro Magnetic Interference)의 저감, 초고정밀화 및 다계조 표시를 가능하게 하는 액정 표시 장치의 구동 방법 및 구동 회로에 관한 것이다.

매트릭스 형상으로 배치된 화소 전극에 대하여, 스위칭용의 박막 트랜지스터(Thin Film Transister: 이하「TFT」라 함)를 통해 계조 전압을 인가하는 구성의 액정 패널을 구비하는 액정 표시 장치(TFT LCD)에서는 초고정밀화, 대형 화면화에 따른 화소 수의 증가에 따라, 액정 패널의 구동의 고속화가 중요하다.

도 32는 종래의 액정 표시 장치의 구성을 나타내는 도면이다. 액정 패널(50)의 상변측에 배치되는 N개의 소스 드라이버(30)와, 측면 측에 배치되는 M개의 게이트 드라이버(40)와, 그래픽 제어기(11)와, 상기 그래픽 제어기(11)의 출력에 의해 상기 드라이버를 제어하는 인터페이스 기판(20)을 구비한다.

상기 인터페이스 기판(20)에는, 그래픽 제어기(11)로부터의 정보를 트랜스미터(12)를 통해 수신하는 수신기(201)와, 수신기(201)로부터의 입력 화상 데이터, 타이밍 정보를 입력하고, 상기 각 드라이버(30, 40)에 대한 화상 데이터와 스타트 신호, 클럭 신호를 출력하는 표시 제어 장치(202)와, 상기 각 드라이버로 각종의 전원을 공급하는 전원 회로(203)로 구성되어 있다. 또, 그래픽 제어기(11)는 컴퓨터로부터 송신되는 클럭 등의 표시용의 타이밍 정보, 수평 동기 신호, 수직 동기 신호 등의 각 표시 제어용의 제어 신호, 화상 데이터의 각 정보를 상기 인터페이스 기판(20)으로 출력한다.

또한, 화상 데이터 및 제어 신호는 그래픽 제어기(11)로부터 트랜스미터(12)에 병렬로 전송되고, 트랜스미터(12)에서 병렬 · 직렬 변환된 후, 직렬 방식으로 수신기(201)로 전송된다. 수신기(201)에서는 수신된 화상 데이터 및 제어 신호를 직렬 · 병렬 변환하고, 병렬 데이터로서 표시 제어 장치(202)로 전송한다.

또, 트랜스미터(12)로부터의 직렬화된 데이터는 1 복수개의 신호선으로 이루어지는 저전압 차동 신호, 예를 들면 LVDS(Low Voltage Differential Signaling), TMDS(Transition Minimized Differential Signaling), GVIF(Gigabit Video Interface), LDI(LVDS Display Interface) 등의 전송 방식에 의해 수신기로 전송된다.

소스 드라이버(30)는, 그 상세한 구성 및 동작에 대해 후술하는 바와 같이, 직렬 접속의 복수단 구성으로 이루어지며, 스타트 신호 및 클럭 신호의 타이밍으로 각각의 소스 드라이버가 화상 데이터를 수신하고, 1 라인분의 각 화소마다의 화상 데이터를 각각 전압치로 변환하여, 1 라인의 대응하는 액정 패널의 화소 전극에 TFT의 드레인 전극을 통해 공급한다.

게이트 드라이버(40)는 표시 제어 장치(202)로부터 출력되는 프레임 개시 신호 및 클럭 신호에 기초하여 클럭 신호에 동기하여, 1 라인 단위로 상기 각 TFT의 게이트 전극의 전체를 제어하고, 상방의 1 라인분의 각 TFT로부터 순차적으로 도통시킴으로써, 도통 시점에 소스 드라이버(30)로부터 공급되는 계조 전압을 화소 전 극에 인가한다.

이상의 동작에 따른 액정 패널의 화상 데이터의 표시 제어에서는, 소스 드라이버로의 화상 데이터와 클럭 신호의 공급, 및 소스 드라이버에서의 화상 데이터의수신 동작 타이밍에 대하여 몇가지 방식이 제안되어 있다.

도 33 및 도 34는 제1 종래예의 화상 데이터 및 클럭 신호에 관한 구동 방식을 나타내는 도면이다. 이 종래예에서는, 도 34에 도시한 바와 같이 타이밍 제어기에서 적(R), 녹(G), 청(B)의 3원색의 입력 화상 데이터(예를 들면 적, 녹, 청의 각각 8비트(8신호선)의 신호 데이터)를 액정 패널의 수평 방향의 해상도에 대응시키고, 홀수번째의 화소의 화상 데이터(「홀수 데이터」라고도 함)와 짝수번째의 화소의 화상 데이터(「짝수 데이터」라고도 함)로 분기하고, A 포트 데이터와 B 포트 데이터의 2계통의 화상 데이터로 하고, 또한, 클럭 신호로서, 상기 화상 데이터의 데이터 레이트와 동일한 반복 주파수의 클럭 신호를 생성하여, 양자를 타이밍 제어기로부터 소스 드라이버로 공급하고, 소스 드라이버에서는 상기 화상 데이터를 상기 클럭 신호의 상승 타이밍으로 수신하여 계조 전압을 생성하고 액정 패널로 출력하는 구동 방식이다. 도 33은 타이밍 제어기와 소스 드라이버와의 접속 구성을 나타내는 도면으로, A 포트 데이터, B 포트 데이터 및 클럭 신호는 전부 각 소스 드라이버에 공통적으로 공급된다.

도 35 및 도 36은 제2 종래예의 화상 데이터 및 클럭 신호에 관한 구동 방식을 나타내는 도면이다. 도 36은 타이밍 제어기와 소스 드라이버간의 신호의 타이밍도를 나타내는 도면이고, 제2 종래예는 타이밍 제어기는 화상 데이터를 4계통의 화상 데이터로 변환하고, 4계통의 화상 데이터의 데이터 레이트와 동일한 반복 주파수의 단일의 클럭 신호와 함께 소스 드라이버를 출력하고, 소스 드라이버에서는 4계통의 화상 데이터를 상기 단일의 클럭 신호에 의해 수신하도록 한 구동 방식이다.

구체적으로는, 도 35에 도시한 바와 같이, 타이밍 제어기는 입력 화상 데이터를 입력하고, A, B, C 및 D 포트 데이터로서, 예를 들면 8비트×3(3원색의 데이터)의 4계통의 화상 데이터를 출력하고 A 포트 데이터 및 B 포트 데이터는 홀수단의 소스 드라이버(3B1, 3B3…)에 공급하고, C 포트 데이터 및 D 포트 데이터는 짝수단의 소스 드라이버(3B2, 3B4…)에 공급하며, 또한 클럭 신호는 모든 소스 드라이버에 공급하는 구성으로 하고 있다. 4계통의 화상 데이터는 도 36에 도시한 바와 같이 인접하는 2개의 소스 드라이버(3B1, 3B2)에서 취급하는 화상 데이터를 홀수와 짝수의 2계통

의 화상 데이터로 함과 함께, 후속의 2개의 소스 드라이버(3B3, 3B4)에서 취급하는 화상 데이터도 홀수와 짝수의 2계통의 화상 데이터로 한 데이터 배열로 한다.
타이밍 제어기에서는, A, B, C 및 D 포트 데이터로서 입력 화상 데이터의 1 라인 데이터 수(화소수)/N 단위의 4개의 데이터를 대상으로 하여, 최초의 2 데이터 단위를 짝수 및 홀수로 분기하여 각각 A, B 포트 데이터로 하고, 후속의 2 데이터 단위를 짝수 및 홀수로 분기하여 C, D 포트 데이터로 함으로써 생성한다. 또한, 소스 드라이버에서는 4 계통의 화상 데이터를 단일의 클럭 신호의 상승 타이밍에 의해 수신하여, 각각을 계조 전압으로 변환하여 출력한다.
도 37 및 도 38은 제3 종래예의 화상 데이터 및 클럭 신호에 관한 구동 방식을 나타내는 도면이다. 도 38은 타이밍 제어기와 소스 드라이버간의 신호 간의 타이밍도를 나타내는 도면이다. 제3 종래예에서는 제2 종래예와 마찬가지로 타이밍 제어기에서 4계통의 화상 데이터로의 변환을 행하는 것이지만, A, B 포트 데이터와 C, D 포트 데이터는 상호 데이터 주기의 반주기 위상이 시프트된 데이터 구성으로 되어 있다. 타이밍 제어기는 4계통의 화상 데이터를, 상기 화상 데이터의 데이터 레이트와 동일한 반복 주파수의 제1, 제2 클럭 신호와 함께 소스 드라이버로 출력하고, 소스 드라이버에서는 제1, 제2 클럭 신호에 의해 각각의 화상 데이터를 수신하도록 구성하고 있다. 제1, 제2 클럭 신호는 도 38에 도시한 바와 같이 각각 서로 역상의 2클럭 신호로서 화상 데이터를 수신하도록 구성하는 것도 가능하다.
타이밍 제어기에서는 A, B, C 및 D 포트 데이터로서 입력 데이터의 1 라인 데이터의 1 라인 데이터수(화소수)/N 단위의 4개의 데이터를 대상으로 하여, 최초의 2데이터 단위를 짝수 및 홀수로 분기하여 각각 A, B 포트 데이터로 하고, 후속의 2데이터 단위를 짝수 및 홀수로 분기하여 데이터 주기를 반주기 지연하여 C, D 포트 데이터로 함으로써 생성된다.
구체적으로는, 타이밍 제어기는 입력 화상 데이터를 입력하고, A, B 포트 데이터는 홀수단의 소스 드라이버에 공급하고, C, D 포트 데이터는 짝수단의 소스 드라이버에 공급하며, 또한 제1, 제2 클럭 신호는 각각 홀수단 및 짝수단의 소스 드라이버에 공급하는 구성으로 하고 있다. 4계통의 화상 데이터는 도 37에 도시한 바와 같이 인접하는 2개의 소스 드라이버에서 취급하는 화상 데이터를 홀수와 짝수 의 2계통의 화상 데이터로 함과 함께, 후속의 2개의 소스 드라이버에서 취급하는 화상 데이터도 홀수와 짝수의 2계통의 화상 데이터로 한 데이터 배열로 한다.
타이밍 제어기에서는 A, B, C 및 D 포트 데이터로서, 입력 화상 데이터의 1 라인 데이터수(화소수)/N단위의 4개의 데이터를 대상으로 하여 최초의 2데이터 단위를 짝수 및 홀수로 분기하여 각각 A, B 포트 데이터로 하고, 후속의 2데이터 단위를 짝수 및 홀수로 분기하여 데이터를 반주기 지연하여 C, D 포트 데이터로 하는 것에 의해 생성한다. 또한, 소스 드라이버에서는 4계통의 데이터를 제1, 제2 클럭 신호의 상승 타이밍에 의해 수신하고, 각각을 계조 전압으로 변환하여 출력한다.
도 39 및 도 40은 제4 종래예의 화상 데이터 및 클럭 신호에 관한 구동 방식으로, 일본 특개평10-340070호 공보에 기재된 2개의 클럭 신호의 경우의 예를 나타내는 도면이다. 제4 종래예는 화상 데이터의 버스 폭을 증가시키지 않고 클럭 신호의 주파수를 저하시키는 것을 특징으로 하는 것이다.
제4 종래예에서는 도 39 및 도 40에 도시한 바와 같이 타이밍 제어기에서 입력 화상 데이터를 홀수 데이터와 짝수 데이터로 분기하여 2계통의 화상 데이터로 하고, 클럭 신호로서 상기 화상 데이터의 데이터 레이트의 1/2의 반복 주파수이며, 서로 역상의 제1, 제2 클럭 신호를 생성하여 상기 양 화상 데이터는 소스 드라이버에 공통으로 공급하고, 상기 제1, 제2 클럭 신호는 각각 짝수단 및 홀수단의 소스 드라이버에 공급하는 구성으로 하고 있다. 소스 드라이버는 상기 화상 데이터를 상기 클럭 신호에 의해 수신하고, 각각 계조 전압을 생성하여 액정 패널로 출력한다.
도 39에 도시한 바와 같이 인접하는 2개의 소스 드라이버에서 취급하는 화상 데이터를 홀수와 짝수의 2계통의 화상 데이터로 함과 함께, 후속의 2개의 소스 드라이버에서 취급하는 화상 데이터도 홀수와 짝수의 2계통의 화상 데이터로 한 후, 각 2계통의 화상 데이터를 시분할 다중화한 2계통의 A, B 포트의 데이터 배열로 한다.

발명이 이루고자 하는 기술적 과제

상기한 제1 내지 제3 종래예의 구동 방식은 입력 화상 데이터를 2 또는 4계통의 화상 데이터로 하고, 상기 2 또는 4계통의 화상 데이터와, 그 화상 데이터의 데이터 레이트와 동일한 반복 주파수의 클럭 신호를 소스 드라이버로 송신하고, 각 화상 데이터를 상기 클럭 신호의 상승 또는 하강 타이밍에서 소스 드라이버로 수신하는 방식이다.
그런데, 이와 같은 구동 방식에서는 클럭 신호의 반복 주파수가 2 또는 4계통의 화상 데이터의 데이터 레이트와 동일하기 때문에, 클럭 신호에는 2 또는 4계통의 화상 데이터에 대하여 실질적으로 2배의 변화점이 생긴다.
이에 따라, 제1 내지 제3 종래의 구동 방식으로는 액정 패널의 고정밀화 및 대형화에 의해 1 라인마다의 화상 데이터의 증가에 의한 클럭 주파수의 고속화에 수반하여, 전자파 방해 잡음 특성(EMI 특성)이 좋지 못하다는 문제가 있다.
또한, 제4 종래예에서는 2계통의 화상 데이터의 데이터 레이트에 대하여 클럭 신호의 반복 주파수를 1/2로 함으로써, 클럭 주파수를 저감하는 것이 가능하지만, 동 공보에 기재되어 있듯이 버스폭, 즉 버스수를 늘리지 않고 클럭 주파수를 저감하는 것이기 때문에, 화상 데이터의 고속화에 있어서 문제가 있다. 특히, 화상 데이터로서 2계통의 데이터로 하는 것이기 때문에, 액정 패널의 고정밀화 및 대형화에 있어서 문제가 있다.
또한, 종래의 액정 표시 장치의 구동 회로에서는 화상 데이터는 액정 패널의 주위, 횡 방향 등에 배선되는 긴 버스 라인으로 전송되며, 버스 라인은 3원색분과 개수도 많기 때문에, 화상 데이터가 경시(經時)적으로 비트의 변화량이 많으면, 이 각 비트의 값의 변화에 기인하여 EMI 특성이 좋지 못하다.
이와 같은 전자파 방해 잡음은, 주변의 전자 기기에 오동작 등의 악영향을 끼치는 원인이 되며, 정밀 전자 기기의 근방이나 계산기실 등에 있어서 사용되는 액정 표시 장치에서 매우 큰 문제가 된다. 또한, 전자파 방해 잡음의 방사를 저감시키기 위해서 고가의 EMI 대책용 부품을 사용할 필요가 있어, 액정 표시 장치의 비용이 비싸진다. 또한, 방사되는 전자파 방해 잡음이 버스 라인에 기인하는 노이즈인지의 여부를 구분하는 것이 어려워 그 방사 요인을 특정지을 수

없다는 문제도 있다.
또한, 버스 라인의 화상 데이터의 비트의 변화량이 많은 경우에는 버스 라인 사이의 크로스토크 노이즈가 발생하여 데이터 오류의 원인이 된다는 문제도 있다.
본 발명은 이러한 사정을 고려하여 이루어진 것으로, 화상 데이터를 액정 패널로 전송하기 위한 클럭 신호 주파수를 저감시키는 것을 가능하게 하는 액정 표시 장치의 구동 방법 및 회로를 제공하는 것을 목적으로 한다.
본 발명은, 클럭 신호 주파수의 저속화에 더하여 버스 라인으로 전송되는 화 상 데이터의 각 비트의 변화량을 저감시키는 것을 가능하게 하고, EMI 특성을 개선하는 것을 가능하게 한 액정 표시 장치의 구동 방법 및 회로를 제공하는 것을 목적으로 한다.
본 발명은 화상 데이터의 고속화와 클럭 주파수의 저속화를 가능하게 하는 액정 표시 장치의 구동 방법 및 구동 회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 액정 표시 장치의 구동 방법은 복수의 화상 데이터를 출력하는 복수의 버스 라인을 갖는 액정 표시 장치의 구동 방법에 있어서,
데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 2J(J는 양의 정수)계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 2J계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것, 또는 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 4J(J는 양의 정수)계통의 화상 데이터로 하고, 상기 화상 데이터를 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것, 또는 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I의 4J(J는 양의 정수)계통의 화상 데이터로 하고, 상기 화상 데이터를 동기하는 클럭 주파수 I/2의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것을 특징으로 한다.
상기 클럭 신호는 상호 반주기 시프트된 클럭 신호로, 소스 드라이버는 상기 복수의 화상 데이터를 클럭 신호의 상승 또는 하강에 의해 화상 데이터를 수신하거나 또는 상기 클럭 신호는 단일 클럭 신호로, 소스 드라이버는 상기 클럭 신호의 상승 및 하강에 의해 복수의 화상 데이터를 수신하는 것을 특징으로 한다.
본 발명의 액정 표시 장치의 구동 회로는, 입력 화상 데이터를 복수의 화상 데이터로 분기하여 클럭 신호와 함께 복수의 버스 라인으로 출력하는 타이밍 제어기와, 상기 버스 라인으로부터의 화상 데이터를 수신하는 소스 드라이버를 구비하는 액정 표시 장치의 구동 회로에 있어서, 상기 타이밍 제어기는 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 2J(J는 양의 정수)계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 2J계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것, 또는 상기 타이밍 제어기는 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 4J(J는 2 이상의 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치 의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것, 또는 상기 타이밍 제어기는 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I의 4J(J는 2 이상의 양의 정수)계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/2의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것을 특징으로 한다.
또한, 상기 클럭 신호는 상호 반주기 시프트된 2위상의 클럭 신호로, 소스 드라이버는 상기 복수의 화상 데이터를 각 클럭 신호의 상승 또는 하강에 의해 화상 데이터를 수신하는 것, 또는 상기 클럭 신호는 단일 클럭 신호로, 소스 드라이버는 상기 클럭 신호의 상승 및 하강에 의해 복수의 화상 데이터를 수신하는 것을 특징으로 한다.
또한, 상기 타이밍 제어기는 상기 버스 라인으로 출력하는 상기 화상 데이터가 상기 버스 라인의 과반수보다 많은 데이터 신호에 극성의 변화를 생기게 하는 경우에는 상기 화상 데이터의 극성을 모두 반전시켜서 상기 버스 라인으로 출력하는 것을 나타내는 극성 반전 신호를 출력하는 데이터 극성 반전 판정 수단과, 상기 데이터 극성 반전 판정 수단이 출력하는 상기 극성 반전 신호에 따라 상기 화상 데이터의 극성을 모두 반전시켜서 출력하는 극성 반전 수단을 포함한다.
또한, 상기 타이밍 제어기는 상기 데이터 극성 반전 판정 수단과 상기 극성 반전 수단과는 복수의 버스 라인에 대응하여 각각 구비한다. 또한, 상기 타이밍 제어기는 상기 화상 데이터를 클럭 신호에 동기하여 래치하고, 복수의 제1 데이터 신호로서 출력하는 제1 래치 회로와, 제1 극성 반전 신호가 소정의 반전 지시 레벨인 경우에, 상기 복수의 제1 데이터 신호의 극성을 모두 반전하고, 복수의 제2 데이터 신호로서 출력하는 극성 반전 회로와, 상기 복수의 제1 데이터 신호와 상기 복수의 제2 데이터 신호가 대응하는 신호끼리의 극성이 다른 데이터 신호수가 과반수보다 많은 경우에, 제2 극성 반전 신호를 상기 반전 지시 레벨로서 출력하는 데이터 극성 반전 판정 회로와, 상기 제2 극성 반전 신호를 상기 클럭 신호에 동기하여 래치하고, 상기 제1 극성 반전 신호로서 출력하는 제2 래치 회로를 구비한다.

또한, 상기 복수의 제2 데이터 신호를 상기 클럭 신호에 동기하여 래치하고, 상기 화상 데이터로서 출력하는 제3 래치 회로와, 상기 제1 극성 반전 신호를 상기 클럭 신호에 동기하여 래치하고, 제3 극성 반전 신호로서 출력하는 제4 래치 회로를 구비한다. 또한, 상기 제1 내지 제4 래치 회로와 상기 극성 반전 회로와 상기 데이터 극성 반전 판정 회로를 복수의 버스 라인에 대응하여 각각 구비하는 것을 특징으로 한다.

다음에, 본 발명의 액정 표시 장치의 구동 방법 및 장치의 실시예에 대하여 설명한다.

(제1 실시예)

도 1 내지 도 5는 본 발명의 제1 실시예의 액정 표시 장치의 전체와 각부의 구성 및 신호 타이밍도를 나타내는 도면이다. 도 1에 도시한 바와 같이, 본 실시예 의 전체 구성은, 액정 패널(5A)과, 액정 패널(5A) 상변측에 배치되는 복수의 소스 드라이버(3A)와, 동일 측면측에 배치되는 복수의 게이트 드라이버(4A)와, 주로 소스 드라이버(3A)에 화상 데이터, 클럭 신호 및 스타트 신호를 출력하고, 게이트 드라이버(4A)에 클럭 신호 및 프레임 개시 신호를 출력하고, 또한 각종 전압을 출력하는 인터페이스 기판(2A)과, 컴퓨터 PC(도시하지 않음)에 접속된 그래픽 제어기(11A) 및 트랜스미터(12A)를 구비하고, 인터페이스 기판(2A)에 상기 트랜스미터(12A)를 통해 입력 화상 데이터 및 클럭 정보나 각종 동기 정보 등의 제어 신호를 출력하는 컴퓨터측 회로(1A)를 구비한다.

상기 액정 표시 장치의 인터페이스 기판(2A)은, 구체적으로는, 상기 트랜스미터(12A)를 통해 그래픽 제어기(11A)로부터의 화상 데이터 및 제어 신호를 수신하는 수신기(21A), 상기 수신기(21A)로부터의 신호를 수신하고, 소스 드라이버(3A)에 대한 화상 데이터(6A), 클럭 신호(8A), 1 라인의 표시 스타트의 타이밍을 나타내는 상기 스타트 신호(7A), 게이트 드라이버(4A)에 대한 프레임 개시 신호 및 게이트 드라이버 클럭 신호(9A)를 출력하는 타이밍 제어기(22A), 액정 패널(5A)의 TFT 등에 대한 각종 전압을 출력하는 전원 회로(23A)가 탑재된다. 또, 트랜스미터(12)와 수신기(21A) 사이의 기능 및 신호 형식 등은 종래예에서 설명한 것과 마찬가지이다.

액정 패널(5A)은 유리 기판 상에 교차하여 배치된 복수의 소스선 및 게이트선과, 그 교차 부분에 배치된 매트릭스 형상의 화소 전극과, 상기 소스선 및 게이트선에 각각 드레인 및 게이트 전극이 접속되며 상기 화소 전극에 소스 전극이 접 속된 복수의 TFT와, 그 상부의 공통 전극과의 사이에 샌드위치된 액정으로 이루어지고, 게이트선의 제어에 의해 소스 드라이버로부터 소스선에 공급된 계조 전압이 TFT를 통해 상기 화소 전극에 인가됨으로써(기입됨으로써), 상기 화소 전극과 공통 전극 사이의 계조 전압치에 따라 표시가 행해지도록 구성되어 있다.

상기 전원 회로(23A)는 소스 드라이버를 구동하는 전압을 생성하는 소스용 전압 생성 회로(231A)와, 화소 전극의 구동 전압의 전원이 되는 양 전압 생성 회로(232A) 및 음 전압 생성 회로(233A)와, 공통 전극에 인가하는 구동 전압을 생성함과 함께 공통 전극 전압 생성 회로(234A)와, 게이트용 전압 생성 회로(235A)로 구성되어 있다.

여기서, 소스용 전압 생성 회로(231A)는 소스 드라이버의 디지털 회로와 아날로그 회로에 필요한 전압을 생성하는 회로이고, 도면 중에서는 1개의 출력선을 나타내고 있지만 상기 회로 마다 2계통의 출력선으로 이루어진다. 또한, 양 전압 생성 회로(232A)와 음 전압 생성 회로(233A)는, 후술하는 소스 드라이버(도 3, 도 13)의 D/A 컨버터에 공급하는 출력 계조 기준 전압을 생성하는 회로이다. 양 전압 생성 회로(232A)와 음 전압 생성 회로(233A)의 출력은 도면 중에서는 1개로 나타내고 있지만, 전압치가 다른 복수 계통의 출력선으로 된다. 공통 전극 전압 생성 회로(234A)는 액정 패널(5A)의 공통 전극으로 급전하는 직류 전압을 생성하는 회로이다. 게이트용 전압 생성 회로(235A)는 게이트 드라이버의 디지털 회로, 고압 논리 회로 및 저압 논리 회로에 필요한 전원 전압을 생성하는 회로에서 도면 중에서는 1개로 표시하고 있지만, 3계통의 출력선으로 된다.

상기 타이밍 제어기(22A) 및 소스 드라이버(3A) 등의 기능의 개요는 이하와 같다.

상기 타이밍 제어기(22A)는 반도체 집적 회로(LSI)에 의해 구성되며, 그래픽 제어기(11A), 트랜스미터(12A)를 통해 컴퓨터측으로부터 송신되어 온 클럭 신호, 디스플레이 타이밍 신호, 수평 동기 신호, 수직 동기 신호의 각 표시 제어 신호, 표시용 데이터에 기초하여 소스 드라이버(3A) 및 게이트 드라이버(4A)를 제어, 구동한다.

타이밍 제어기(22A)는 상술한 바와 같이 통상 트랜스미터(21A)와 별도의 블럭으로서 구성되지만, 상기 LSI에 상기 수신기(21A)를 내장시켜서 양자를 일체 구성으로 하는 것이 가능하며, 이하 설명의 편의상, 상기 수신기(21A) 내에 설치된 직렬 · 병렬 변환 회로 등에 대해서도 타이밍 제어기 내의 구성으로서 설명하는 것으로 한다. 후술하는 실시예에 있어서도 마찬가지다.

소스 드라이버(3A)는 복수의 소스 드라이버(3A1, 3A2, …3AN)로 분할되어 있고, 각 소스 드라이버(3A1, 3A2, … 3AN)는 스타트 신호(7A)에 의해 좌측으로부터 우측으로 순차 동작하고, 각각은 1 라인의 화소수/N의 수의 소스선에 대하여 동시에 화상 데이터를 출력한다. 이 때문에 각 소스 드라이버는 타이밍 제어기(22A)로부터 출력되는 화상 데이터(6A), 스타트 신호(7A) 및 클럭 신호(8A)에 기초하여 화상 데이터를 클럭 신호(8A)의 타이밍으로 내부의 레지스터에 래치하고, DA 변환하여 각 소스 신호선에 출력한다. 또한, 게이트 드라이버(4A)는 참조 부호 4A1, 4A2 내지 4AM으로 분할하여 두고, 프레임 개시 신호 및 게이트 드라이버 클럭 신호(9A) 에 의해 상측으로부터 순차 동작하고, 각각은 라인수/M의 수의 게이트선에 대하여 주사 신호를 출력한다.

이상의 구성에 의한 액정 패널은, 각 화소 단위로 소스선에 공급된 화상 데이터의 전압이 TFT를 통해 소스에 공급되고, 게이트선의 주사 신호가 상기 TFT의 게이트에 공급됨으로써 상기 TFT가 도통하고, 해당하는 화소 전극에 상기 전압이 기입된다. 이와 같은 기입 동작은 라인(수평) 방향으로, 1 라인의 화소수/N(N은 소스 드라이버수)의 화소의 단위로 좌측으로부터 우측으로 행해짐과 함께, 상측으로부터 하측으로 라인 단위로 주사됨으로써 상기 전압에 대응하는 액정의 투과도가 각 화소 단위로 제어되어 표시 제어가 실현된다.

다음에, 본 실시예의 특징인 타이밍 제어기(22A) 및 소스 드라이버(3A)의 보다 상세한 구성 및 동작을 설명한다.

도 2는 본 실시예의 타이밍 제어기의 구성을 나타내는 블럭도이다. 타이밍 제어기(22A)는 입력 화상 데이터 및 그 화상 데이터의 데이터 레이트의 도트 클럭 신호를 입력하는 직렬 · 병렬 변환 블럭(221A)과, 상기 양 신호 및 동기 신호를 입력하는 위상 조정 회로(223A)와, 도트 클럭 신호 등을 입력하는 클럭 발생 회로(222A)로 구성된다.

직렬 · 병렬 변환 블럭(221A)은 입력 화상 데이터로서 적, 녹, 청의 3원색의 신호 데이터(예를 들면, 각각 8 비트의 적, 녹, 청의 신호 데이터)와, 그 신호 데이터의 데이터 레이트의 도트 클럭 신호를 입력함과 함께, 위상 조정 회로(223A)로부터의 1 라인 단위의 리세트 신호를 입력으로 하고, 화상 데이터를 홀수와 짝수로 분리하여 각각을 A 포트와 B 포트로 분기 출력한다. 클럭 발생 회로(222A)는 도트 클럭 신호와 리세트 신호에 기초하여 A 포트와 B 포트의 데이터 레이트의 상호 역상 관계의 제1 및 제2 클럭 신호를 출력한다.

도 4는 상기 소스 드라이버의 동작의 타이밍도를 나타내는 도면이다. 상기 A 포트와 B 포트의 3원색의 화상 데이터와, 그 화상 데이터의 데이터 레이트의 1/2의 반복 주파수의 상호 역상 관계의 제1 및 제2 클럭 신호의 관계를 나타내고 있다.

도 4에 있어서, R0, R1, …, RN-, G0, G1, …, GN-, B0, B1, …, BN-은 3원색의 데이터이고, 복수 비트의 신호로 구성되고 각 신호는 타이밍 제어기의 입력 화상 데이터를 각 색마다 처음부터 순서대로 할당되어 있는 것으로, 액정 패널의 수평 방향의 해상도 만큼의 수가 필요해진다. 구체적으로는 세로 1280개×가로 1024개의 해상도이면 R0 내지 R1279, G0 내지 G1279, B0 내지 B1279가 된다.

또, 도 4에서는 2계통의 화상 데이터의 예를 나타내고 있지만, 4계통의 화상 데이터의 데이터 버스의 경우에는, C 포트 데이터는 A 포트에 D 포트 데이터는 B 포트에 입력하게 된다.

도 3은 본 실시예의 N개의 소스 드라이버 중 1개의 구성을 나타내는 블럭도이다. 스타트 신호와 제1 및 제2 클럭 신호를 입력으로 하고 상기 스타트 신호를 시프트하고 각단으로부터 순차 시프트한 시프트 신호를 출력하는 시프트 레지스터(31)와, 상기 시프트 신호에 의해 A, B 포트의 화상 데이터를 순차 레지스터에 기억하는 데이터 레지스터(32A)와, 데이터 레지스터에 기억된 데이터를 1 라인 단위로 래치하는 데이터 래치(33A)와, 데이터 래치 출력을 레벨 시프트하는 레 벨 시프터(34A)와, 레벨 시프터의 출력 데이터를 전압치로 변환하는 D/A 컨버터(35A)와, D/A 컨버터(35A)의 출력을 액정 패널의 소스선에 공급하는 출력 버퍼(36A)로 구성된다.

이하, 본 실시예의 동작을 도 1 및 도 4를 참조하여 설명한다.

도 2에 도시한 직렬 · 병렬 변환 블럭(221A)은 입력 화상 데이터를, 예를 들면 도시하지 않은 메모리에 일단 기억한 후, 1/2의 데이터 레이트로 판독하고 짝수와 홀수 데이터로 분기하여 2계통의 A 포트와 B 포트의 화상 데이터로 함으로써, 도 4에 도시한 바와 같이 시간 압축하고, 화상 데이터가 존재하는 화상 데이터 유효 기간과, 동일 데이터가 존재하지 않은 화상 데이터 무효 시간을 갖는 화상 데이터로서, 타이밍 제어기(22A)로부터 소스 드라이버(3A)로 출력한다. 여기에서 화상 데이터 유효 기간은 액정 패널의 1 라인의 화상 데이터에 상당한다.

또한, 도 2의 클럭 발생 회로(222A)는 도트 클럭 신호로부터 제1, 제2 클럭 신호를 발생하고, 소스 드라이버(3A)에 상기 2계통의 화상 데이터에 동기하여 스타트 신호와 제1 및 제2 클럭 신호를 출력한다. 제1 및 제2 클럭 신호는 상기 2계통의 화상 데이터의 데이터 레이트 1/2의 클럭 주파수를 갖고, 상기 스타트 신호는 화상 데이터의 선두 위치에 위치한다.

도 3에 도시한 시프트 레지스터(31A)는 1 라인의 화소수/N(예를 들면, 1 라인 데이터수(화소수)가 1280, 소스 드라이버 수 N이 8인 경우, 128)단의 플립플롭으로 구성되며, 입력된 스타트 신호를 제1 및 제2의 2위상 클럭 신호에 의해 순차 시프트하고, 상기 단수의 각 출력으로부터 클럭 신호의 상승 및 하강 타이밍으로 상승하는(또는 하강하는) 타이밍 신호를 순차 출력한다. 그리고, 스타트 신호가 시프트 레지스터(31A)의 최종단에 도달하면, 다음의 클럭 신호로 다음단의 드라이버의 시프트 레지스터에 스타트 신호가 시프트되어 해당 시프트 레지스터에서 마찬가지의 동작이 반복된다.

데이터 레지스터(32A)에서는 상기 화소수/8개의 레지스터(8비트 레지스터)를 구비하고, A 포트 및 B 포트의 상기 3원색의 화상 데이터를 입력하고, 상기 시프트 레지스터(31A)로부터의 상기 타이밍 신호마다 해당하는 레지스터에 데이터를 입력한다.

데이터 래치(33A)는 1 라인의 화상 데이터가 3개의 소스 드라이버의 데이터 레지스터(32)에 세트된 후 입력하고, 도 4에 도시한 데이터 래치 펄스에 의해 각각의 데이터 레지스터(32A)의 데이터를 각각 래치한다.

데이터 래치(33A)에 데이터가 래치되면, 레벨 시프터(34A)는 그 데이터에 소망하는 직류 데이터를 가감하는 등의 데이터 변환을 행하고, D/A 변환기(35A)는 출력 계조 기준 전압을 전원으로 하여 상기 데이터를 계조 전압으로 변환, 생성하고, 출력 버퍼(36A)는 데이터 래치 펄스에 동기하여 생성된 상기 계조 전압을 액정 패널의 소스선에 출력한다. 또한, 이 때 다음 데이터 레지스터에 대한 데이터의 세트에 구비하여 데이터 래치 펄스에 의해 시프트 레지스터를 리세트한다. 또한, 계조 전압이 항상 특정 극성으로 액정에 인가되면 액정의 「잔상」을 발생시키므로, 이것을 방지하기 위해 극성 신호에 따라 데이터 래치에 의한 데이터의 극성 비트를 프레임마다 전환하여 프레임마다 계조 전압의 극성을 바꾼다.

이상의 동작 중 시프트 레지스터(31A) 및 데이터 레지스터(32A)의 동작은 후속되는 소스 드라이버의 스타트 신호의 인계에 의해 마찬가지로 연속적으로 순차적로 행해지며, 1라인 단위의 데이터 래치(33A)로부터 출력 버퍼(36A)까지의 동작은 데이터 래치 펄스 이후, 각 소스 드라이버에 있어서 동시에 행해지며, 1라인의 표시 동작도 동시에 행해진다.

본 실시예의 제1, 제2 클럭 신호로서, 각 클럭 신호 각각의 상승을 트리거 엣지로서 사용하는 예를 설명했지만, 상기 각 클럭 신호의 각 상승 및 하강을 트리거 엣지로서 사용하는 더블 엣지 트리거를 행하도록 구성할 수 있으며, 이 경우에 클럭 신호는 단일 클럭 신호로 할 수도 있다.

도 5는 본 실시예의 화상 데이터와 클럭 신호의 관계를 나타내는 타이밍도이다. 도 5에 있어서, RA0 RAx, GA0 GAx, BA0 BAx는, A 포트에 입력되는 복수 비트의 신호로 구성되는 화상 데이터를 나타내며, 번호 0 x는 복수 비트의 신호의 상위/하위 비트를 나타내고 있다. B 포트도 마찬가지이다. 또한, R0 , G0 , B0 는 도 4의 것과 마찬가지이다.

도 5의 (a)는 제1, 제2 클럭 신호는 그 상승 및 하강을 트리거 엣지로서 각각 A 포트 데이터 및 B 포트 데이터의 화상 데이터를 수신하는데 사용하는 예이다. 도 5의 (b)는 더블 엣지 트리거에 의한 화상 데이터를 수신하는 예이다. 제1, 제2 클럭 신호를 단일 클럭 신호로서, 소스 드라이버 내에서 2위상으로 하여 사용할 수도 있지만, 2개의 클럭 신호로 함에 따라 클럭원의 팬 아웃을 저하시킬 수 있으므로, 고속화 등에 적합하다.

이상 상세히 설명한 바와 같이 본 실시예에서는, 소스 드라이버(3A1 3AN)에 입력하는 화상 데이터를, 예를 들면 짝수 및 홀수 데이터의 2계통의 데이터로 하고, 이 화상 데이터를 수신하는 클럭 신호(제1, 제2 클럭 신호)를 상기 2계통의 화상 데이터의 데이터 레이트 중 1/2의 반복 주파수로 하고, 그 선두 엣지 및/또는 후미 엣지에서 수신하도록 구성함에 따라, 상기 클럭 신호의 반복 주파수를 저하시키고, 또한 타임 마진을 확보할 수 있게 하고, EMI의 저감 및 초고정밀화를 가능하게 한다.

또, 상기 실시예에서는 입력 화상 데이터를 그 데이터 레이트의 1/2의 2계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 1/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버로 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 2계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하는 예를 나타내었지만, 이것은 일반적으로 입력 화상 데이터를 그 데이터 레이트의 I/2의 2J(J는 양의 정수)계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 2J 계통의 화상 데이터를 수신하여 계조 전압으로 변환시켜 액정 표시 장치를 구동하도록 구성할 수 있다.

(제2 실시예)

도 6 내지 도 9는 본 발명의 제2 실시예를 나타내는 도면이다. 본 실시예에서는 도 8의 타이밍도에 나타낸 바와 같이 화상 데이터를 4계통의 화상 데이터로 변환하여 4계통의 화상 데이터 레이트의 1/2의 반복 주파수의 제1, 제2 클럭 신호에 의해 화상 데이터를 소스 드라이버에 수신하도록 구성한 것이다.

도 6은 타이밍 제어기(22B)와 소스 드라이버(3B) 사이의 신호의 타이밍도를 나타내는 도면이다. 타이밍 제어기(22B)는 화상 데이터를 입력하고, A, B, C 및 D 포트 데이터로서, 예를 들면 8 비트×3(3원색의 데이터)의 4계통의 화상 데이터를 출력하고, A 포트 데이터 및 B 포트 데이터는 홀수단의 소스 드라이버(SB1, 3B3…)로 공급하고, C 포트 데이터 및 D 포트 데이터는 짝수단의 소스 드라이버(3B2, 3B4…)로 공급하고, 또한 제1, 제2 클럭 신호는 모든 소스 드라이버에 공급하는 구성으로 하고 있다.

4계통의 화상 데이터는 도 6에 도시된 바와 같이 인접하는 두개의 소스 드라이버(3B1, 3B2)에서 처리하는 화상 데이터를 홀수와 짝수의 2계통의 화상 데이터로 함과 함께, 후속되는 2개의 소스 드라이버(3B3, 3B4)에서 처리하는 화상 데이터도 홀수와 짝수의 2계통의 직후 데이터로 한 데이터 배열로 한다.

도 7은, 타이밍 제어기(22B)의 구성을 나타내는 블럭도이다. 그래픽 제어기(11A)로부터 송신된 화상 데이터 및 제어 신호에 기초한 입력 화상 데이터, 도트 클럭 신호 및 동기 신호(Vsync, Hsync, DE(데이터 인에이블) 등)를 입력으로 하고, 클럭 발생 회로(222B)에서는 도트 클럭 신호로부터 제1, 제2 클럭 신호를 발생시켜 각 소스 드라이버에 공급한다. 직렬 · 병렬 변환 블럭(221B)에서는, 예를 들면 입력 화상 데이터를 적어도 1 라인분을 기억할 수 있는 메모리에 기억한 후, 상기 메모리의 데이터를 판독하고, 상기 A D 포트 데이터를 출력하고, 제1 메모리를 통해 상기 A, B 포트 데이터를 제2 메모리를 통해 C, D 포트 데이터를 출력하고, 각각의 2계통 1의 화상 데이터를 홀수 및 짝수의 소스 드라이버로 공급한다.

도 9는, 상기 A D 포트 데이터의 구성법을 나타내는 도면이다. 입력 화상 데이터(I)의 1라인 데이터수(화소수)/N(N은 소스 드라이버수) 단위의 4개의 데이터 (가) (라)를 대상으로 하여 데이터 (가), (나)를 짝수 및 홀수로 분기하여 각각 A, B 포트 데이터로 하고, 데이터 (다), (라)를 짝수 및 홀수로 분기하여 C, D 포트 데이터로 함으로써 구성된다. 이들 메모리 제어는 동기 신호를 입력으로 하는 메모리 위상 조정 회로(224B)로부터의 제어신호에 의해 행한다.

제2 실시예에서는 입력 화상 데이터를 4계통의 화상 데이터로 변환함과 함께, 클럭 신호의 반복 주파수는 상기 4계통의 화상 데이터의 데이터 레이트의 1/2로 하며, 소스 드라이버에서는 상기 클럭 신호의 선두 엣지 및 후미 엣지에서 화상 데이터를 수신하도록 구성되어 있기 때문에, 클럭 신호의 반복 주파수를 저하시키고, 또한 타임 마진을 확보하는 것을 가능하게 하여, EMI의 저감 및 초고정밀화를 가능하게 하고 있다.

또한, 상기 실시예에서는 입력 화상 데이터를 그 데이터 레이트의 I/2의 4계통의 화상 데이터로 하여 두고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4계통의 화상 데이터를 수신 계조 전압으로 변환하여 액정 표시 장치를 구동하는 예를 나타냈지만, 이것은 일반적으로 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 4J(J는 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J 계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하도록 구성할 수 있다.

(제3 실시예)

도 10 내지 도 15는, 본 발명의 제3 실시예를 나타내는 도면이다. 본 실시예도 제2 실시예와 마찬가지로 화상 데이터를 4계통의 화상 데이터로 변환하여, 4계통의 화상 데이터의 데이터 레이트의 1/2의 반복 주파수의 클럭 신호에 의해 화상 데이터를 소스 드라이버에 수신하도록 구성한 것이다.

제2 실시예와 비교하여, 화상 데이터와 클럭 신호는 반복 주파수에서 동일한 관계를 갖는 것이지만, 제2 실시예의 도 8의 타이밍도와 본 실시예의 도 15에 나타내는 타이밍도와의 비교로 알 수 있듯이 A 포트 데이터 D 포트 데이터의 데이터의 배열 구성이 상이하다. 본 실시예의 4계통의 화상 데이터의 배열은 도 8에 나타내는 A 포트 데이터 D 포트 데이터의 데이터의 배열의 1 라인 데이터 수(화소 수)/N(N은 소스 드라이버 수) 단위로 전반 데이터에 후반 데이

터를 시분할로 다중화한 화상 데이터의 배열로 한 점에 특징을 갖는다.
도 10은 이러한 데이터 배열에 의한 액정 표시 장치의 구동 회로를 나타내는 도면이다. 도 1의 구성과 마찬가지이지만 4계통의 화상 데이터 및 클럭 신호의 소스 드라이버(3C1 3CN)에 의한 입력 구성이 상이하다.
도 11은 타이밍 제어기(22C)와 소스 드라이버(3C) 사이의 신호의 타이밍도를 나타내는 도면이다. 타이밍 제어기(22C)는 입력 화상 데이터를 입력하여 A, B, C 및 D 포트 데이터로 하여, 8비트×3(3원색의 데이터)의 4계통의 화상 데이터를 출력하고, A 포트 데이터 및 B 포트 데이터는 홀수단의 소스 드라이버(3C1, 3C3…)에 공급하고, C 포트 데이터 및 D 포트 데이터는 짝수단의 소스 드라이버(3C2, 3C4…)에 공급하고, 또한 제1 클럭 신호는 소스 드라이버(3C1, 3C2, 3C5, 3C6…)와 같이 2개 소스 드라이버 단위로 띄엄띄엄 공급하고, 제2 클럭 신호는 소스 드라이버(3C3, 3C4, 3C7, 3C8…)와 같이 2개 소스 드라이버 단위로 띄엄띄엄 공급하는 구성으로 하고 있다.
도 12는 타이밍 제어기(22C)의 구성을 나타내는 블럭도이다. 클럭 발생 회로(222C)에서는 도트 클럭 신호로부터 제1, 제2 클럭 신호를 발생하여 상술된 바와 같이 소스 드라이버에 공급한다. 직렬 · 병렬 변환 블럭(221C)에서는 예를 들면 입력 화상 데이터를 적어도 1 라인분을 기억할 수 있는 메모리에 기억한 후, 상기 메모리의 데이터를 판독하고, 1 라인 데이터 수(화소수)/N(N은 소스 드라이버 수)×4의 단위로 도 12의 A D 포트의 데이터 배열을 제1 제4 메모리(224C 227C)를 통해 생성하고, 이어서 멀티플렉서(228C, 229C)에 의해 제1, 제3 메모리의 출력, 즉 A 포트 데이터와 C 포트 데이터, B 포트 데이터와 D 포트 데이터를 각각 시분할 다중화함으로써, 도 15에 도시된 바와 같은 1 라인 데이터수/N의 데이터 단위로 전반 데이터에 후반 데이터를 다중화한 화상 데이터의 배열을 실현한다. 이들 메모리 제어는 동기 신호를 입력으로 하는 메모리 위상 조정 회로(224B)로부터의 제어 신호에 의해 행한다.
도 13은 제3 실시예의 소스 드라이버의 구성을 나타내는 도면이다. 소스 드라이버에는 클럭 신호로서 상기 제1, 제2 클럭 신호가 입력된다. 데이터 레지스터로부터의 출력이 시분할 다중화(인터리브)에 의한 데이터 배열을 입력 화상 데이터의 데이터 배열로 변환되도록 데이터 레지스터에 입력되는 점을 제외하고 도 3의 기능 및 구성과 동일하다.
도 14는 본 실시예의 1 라인의 동작을 나타내는 타이밍도이다. 다중화 데이터와 클럭 신호에 의한 화상 데이터의 수신 및 4계통의 화상 데이터의 래치와 소스 드라이버 출력의 모습이 도시되어 있다. 기본적 동작은 도 4에서의 것과 마찬가지이다.
제3 실시예에서도 입력 화상 데이터를 4계통의 화상 데이터로 변환함과 함께, 클럭 신호의 반복 주파수는 상기 4계통의 화상 데이터의 데이터 레이트의 1/2로 하고, 소스 드라이버에서는 상기 클럭 신호의 선두 엣지 및/또는 후미 엣지에서 화상 데이터를 수신하도록 구성하고 있기 때문에, 상기 클럭 신호의 반복 주파수를 저하시키고, 또한 타임 마진을 확보하는 것을 가능하게 하고 있다. 특히, 본 실시예에서는 입력 화상 데이터가 4계통이면서 다중화를 행함으로써, 한층 더 시간 압축을 가능하게 하고, 1 라인의 화소 수의 증가에 따른 고정밀화가 가능해진다.
또, 본 실시예에서도 일반적으로 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 4J(J는 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인 을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J 계통의 화상 데이터를 수신하여 계조 전압으로 변환시켜 액정 표시 장치를 구동하도록 구성할 수 있다.
(제4 실시예)
도 16 내지 도 19는 본 발명의 제4 실시예를 나타내는 도면이다. 본 실시예에서는 화상 데이터를 4계통의 화상 데이터로 변환하고, 4계통의 화상 데이터의 데이터 레이트의 1/2의 반복 주파수의 제1, 제2 클럭 신호에 의해 화상 데이터를 소스 드라이버로 수신하도록 구성한 것이다. 제3 실시예와 비교하여, 화상 데이터와 클럭 신호는 반복 주파수에서 동일한 관계를 갖는 것이지만, 제3 실시예의 도 15의 타이밍도와 본 실시예의 도 19의 타이밍도와의 비교에서 알 수 있듯이 A 포트 데이터 D 포트 데이터의 데이터의 배열 구성이 상이하다.
본 실시예의 4계통의 화상 데이터의 배열은 제2 실시예의 도 8에 나타내는 A 포트 데이터 D 포트 데이터의 데이터의 배열의 1 라인 데이터 수/N 단위로서, A 포트 데이터에 C 포트 데이터를, B 포트 데이터에 D 포트 데이터를 다중화하고, 각각 A 포트 데이터 및 B 포트 데이터로 하고, 다음 1 라인 데이터 수/N의 데이터도 A 포트 데이터에 C 포트 데이터를, B 포트 데이터에 D 포트 데이터를 다중화하여, 각각 C 포트 데이터 및 D 포트 데이터로 하여 4 계열의 화상 데이터의 배열로 하는 특징이 있다.
도 16은 이러한 데이터 배열에 의한 액정 표시 장치의 구동 회로를 나타내는 도면이다. 도 1의 구성과 동일하지만 4계통의 화상 데이터 및 클럭 신호의 소스 드라이버(3D1 3DN)에 의한 입력 구성이 상이하다.
도 17은 타이밍 제어기(22D)와 소스 드라이버(3D) 사이의 신호선의 구성을 나타내는 도면이다. 타이밍 제어기(22D)는 화상 데이터를 입력하고, A 포트 데이터, B 포트 데이터, C 포트 데이터 및 D 포트 데이터로서, 8 비트×3(3원색의 데이터)의 4계통의 데이터를 출력하고, A 포트 데이터 및 B 포트 데이터는 3D1, 3D2, 3D5, 3D6…와 같이 2개의 소스 드라이버 단위로 띄엄띄엄 공급하고, C 포트 데이터 및 D 포트 데이터는 3D3, 3D4, 3D7, 3D8…와 같이 2개의 소스 드라이버 단위로 띄엄띄엄 공급하며, 또한 제1 클럭 신호는 홀수단의 소스 드라이버(3D1, 3D3…)로 공급하며, 제2 클럭 신호는 짝수단의 소스 드라이버(3D2, 3D4…)로 공급하는 구성으로 하고 있다.
도 18은 타이밍 제어기(22D)의 구성을 나타내는 블럭도이다. 클럭 발생 회로(222D)에서는 도트 클럭 신호로부터 제1, 제2 클럭 신호를 발생하여 상술된 바와 같이 소스 드라이버로 공급한다. 직렬 · 병렬 변환 블럭(221D)에서는, 예를 들면 입력 화상 데이터를 적어도 1 라인분을 기억할 수 있는 메모리에 기억한 후, 상기 메모리의 데이터를 판독하고, 1 라인 데이터 수(화소수)/N×4의 단위로 도 18의 A D 포트 데이터의 데이터 배열을 제1 제4 메모리(224D 227D)를 통해 생성하고, 이어서 멀티플렉서(228D, 229D)에 의해 제1, 제2 메모리의 출력, 즉 A 포트 데이터와 B 포트 데이터, C 포트 데이터와 D 포트 데이터를 각각 시분할로 다중화함으로써, 도 19에 도시된 바와 같은 1 라인 데이터수/N의 데이터 단위로 A 포트와 B 포트의 다중화한 전반 데이터와, C 포트와 D 포트를 다중화한 후반 데이터를 다중화하였다. 4계열의 화상 데이터의 배열을 실현한다. 이들 메모리 제어는 동기 신호를 입력으로 하는 메모리 위상 조정

회로(223D)로부터의 제어 신호에 의해 행한다.
본 실시예의 소스 드라이버로서는 클럭 신호로서 상기 제1, 제2 클럭 신호가 입력되고, 데이터 레지스터로부터의 출력이 시분할 다중화(인터리브)에 의한 데이터 배열을 입력 화상 데이터의 데이터 배열로 변환되도록 데이터 레지스터에 입력되는 점을 제외하고 도 3의 기능 및 구성과 동일하다.
제4 실시예에서도 입력 화상 데이터를 4계통의 화상 데이터로 변환함과 함께, I 클럭 신호의 반복 주파수는 상기 4계통의 화상 데이터의 데이터 레이트의 1/2로 하고 있으며, 소스 드라이버에서는 상기 클럭 신호의 선두 엣지 및/또는 후미 엣지에서 화상 데이터를 수신하도록 구성하고 있는등 상기 클럭 신호의 반복 주파수를 저하시키고, 또한 타임 마진을 확보할 수 있게 하고 있다. 특히, 본 실시예에서는 입력 화상 데이터가 4계통으로 또한 다중화를 행함으로써, 한층더 시간 압축을 가능하게 하고, 1 라인의 화소 수의 증가에 따른 고정밀화가 가능해진다.
또, 이상의 실시예에서는 입력 화상 데이터를 그 데이터 레이트의 4계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 1/2의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하는 예를 나타내었지만, 이것은 일반적으로 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I의 4J(J는 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/2의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J 계통의 화상 데이터를 수신하여 계조 전압으로 변환하여 액정 표시 장치를 구동하도록 구성할 수 있다.
(기타 실시예)
이상의 실시예에서, 클럭 신호로서 주로 제1, 제2 두개의 클럭 신호를 사용한 예에 의해 설명했지만, 사용하는 클럭 신호는 제1 클럭 신호와 제2 클럭 신호에서는 상호 위상이 180 ° 다른 신호, 즉 반전 신호 또는 반주기 시프트된 관계에 있기 때문에, 타이밍 제어기로부터 출력하는 클럭 신호로서 단일 클럭 신호로서, 소스 드라이버 중 특히 시프트 레지스터 등에 있어서 반전 신호를 생성하고, 시프트 레지스터 내부의 제1, 제2 클럭 신호에 의해, 또는 단일의 클럭 신호의 선두 엣지 및 후미 엣지를 검출하여, 실질적으로 소스 드라이버에 입력하는 클럭 신호의 양 엣지로 화상 데이터를 수신하는 더블 에지 트리거 구성으로 하여 동작시키도록 구성할 수 있다. 또한, 도 20에 도시한 바와 같이 제1, 제2 클럭 신호를 동일하게 하여 각각의 선두 엣지 및 후미 엣지에 의해 화상 데이터를 저장하도록 구성함으로써 팬 아웃을 감소시켜서 고속화를 가능하게 할 수 있다.
이상의 실시예의 액정 표시 장치의 구동 회로에서는 클럭 신호의 반복 주파수의 저하에 의해 EMI 특성을 개선하는 것이지만, 본 발명의 화상 데이터에서는 복수 계통으로 분기하여 타이밍 제어기로부터 소스 드라이버에 전송하기 때문에, 버스 라인이 복수 구성으로 되어 있기 때문에 버스 라인으로부터의 전자파의 방사 영 향도 큰 것이 되므로, 화상 데이터에 의한 전자파의 방사를 억제하는 수단을 병용하면 적합하다.
그래서, 또 다른 실시예로서, 버스 라인의 화상 데이터의 극성을 그 비트 변화량에 따라 제어함으로써 화상 데이터에 의한 전자파의 방사를 억제하도록 한, 당 출원인의 출원(특원평11-35344호)에 따른 EMI 특성의 개선 수단을 병용하는 실시예에 대하여 설명한다.
이하, 도면을 참조하여 상술한 버스 라인의 화상 데이터의 전환 기술에 대하여 설명한다.
도 21은 동일 실시예에 의한 액정 표시 장치의 구동 회로의 구성을 나타내는 블럭도이다. 도 21은 참조 부호(5E)는 액정 패널이고, 참조 부호(2E)는 타이밍 제어기이다. 타이밍 제어기는 화상 데이터를 24비트씩 데이터 BUS1-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24로서 4개의 포트로 분할하여 출력하고, 또한 제1, 제2 클럭 신호 CLK1, CLK2, 화상 데이터의 비트 변화량에 따라 출력하는 후술하는 극성 반전 신호 INV-A D 및 제1, 제2 제어 신호 SP1, SP2를 출력하고, 화상 표시를 제어한다. 참조 부호(3-m)는 소스 드라이버(이하, 「SD」라 함)로서, 각 SD는 복수의 화소 표시에 대응하는 각 구동 신호를 발생하고, m개의 SD3-m에 의해 액정 패널(5E) 전체를 구동하여 화상을 표시한다.
예를 들면, 액정 패널(5E)의 1라인 데이터 수(화소수)를 1280으로 하면, 1개의 SD의 화소 구동 수는 128이고, SD의 개수를 나타내는 m은 10이다. 이 10개의 SD3-1 10 중, 3-1이 제1번째 SD, 3-2가 제2번째 SD, 3-3이 제3번째 SD, 3-4가 제4 번째 SD이고, 제5번째부터 제10번째 SD-5 10은 도시하지 않는다. 또, 각 SD3-1 10은 1화소당 적(R), 녹(G), 청(B)의 3원색분을 구동하기 때문에, 1개당 SD의 출력 수는 128의 3배인 384로 되어 있지만, 도 21에서는 이들 384개의 출력을 1개로 대표하여 나타내고 있다.
도 21에 도시한 타이밍 제어기(2E)가 출력하는 데이터 BUS-A1 24와 BUS-B1 24는 각각 24비트 폭의 버스 라인을 통해 SD3-1 10 중에서 홀수번째의 각 SD3-1, 3, 5, 7, 9에 접속된다.
마찬가지로, 타이밍 제어기(2E)가 출력하는 극성 반전 신호 INV-A, INV-B와 클럭 신호 CLK1 및 제어 신호 SP1도, 홀수번째의 각 SD3-1, 3, 5, 7, 9에 접속된다.
한편, 타이밍 제어기(2E)가 출력하는 데이터 BUS-C1 24와 BUS-D1 24는 각각 24비트 폭의 버스 라인을 통해 SD3-1 10 중에서 짝수번째의 각 SD3-2, 4, 6, 8, 10에 접속되고, 마찬가지로, 타이밍 제어기(2E)가 출력하는 극성 반전 신호 INV-C, INV-D와 클럭 신호 CLK2 및 제어 신호 SP2도, 짝수번째의 각 SD3-2, 4, 6, 8, 10에 출력된다.
또, 상술한 도 21에 도시한 일 실시예에 있어서는 홀수번째의 각 SD3-1, 3, 5, 7, 9와 짝수번째의 각 SD3-2, 4, 6, 8, 10과 각각 2포트의 출력을 할당함으로써, 클럭 신호 CLK1 또는 CLK2의 1클럭 신호당 구동 화소 수를 2화소로서 각 클럭 주파수를 1/2로 감소하고 있다. 예를 들면, SD3-1에 있어서는 클럭 신호 CLK1의 1클럭 시간으로, 동시에, 데이터 BUS-A1 24와 데이터 BUS-B1 24의 데이터가 각각 두 개의 화소에 공급된다.
또한, 상기 데이터 BUS-A1 24, B1 24, C1 24, D1 24의 각각 24비트의 신호 내역은 적(R), 녹(G), 청(B)의 각 8비트의 신호이고, 이들 R, G, B 신호에 의해 256계조의 컬러 표시가 실현된다.

다음으로, 상술한 도 21에 도시한 구성의 액정 표시 장치의 구동 회로에서, 액정 패널(5E)이 구동되어 화상이 표시되는 동작에 대하여 설명한다.

우선, 홀수번째의 각 SD3-1, 3, 5, 7, 9에는 타이밍 제어기(2E)로부터 클럭 신호 CLK1에 동기하여 출력되는 데이터 BUS-A1 24, BUS-B1 24, 극성 반전 신호 INV-A, INV-B의 각 신호가 입력되고, 동일하게 입력되는 제어 신호 SP1의 타이밍으로 이들 입력되는 신호는 래치된다. 이 래치된 극성 반전 신호 INV-A는 동일하게 래치된 데이터 BUS-A1 24의 극성이 반전되어 있는지의 여부를 나타내고 있으며, 또한 래치된 극성 반전 신호 INV-B는 동일하게 래치된 데이터 BUS-B1 24의 극성이 반전되어 있는지의 여부를 나타낸다. 계속해서, 이들 래치한 극성 반전 신호 INV-A, INV-B에 따라, 각 SD3-1, 3, 5, 7, 9는 래치한 데이터 BUS-A1 24, BUS-B1 24의 극성을 반전한다.

한편, 짝수번째의 각 SD3-2, 4, 6, 8, 10에는 타이밍 제어기(2E)로부터 클럭 신호 CLK2에 동기하여 출력되는 데이터 BUS-C1 24, BUS-D1 24, 극성 반전 신호 INV-C, INV-D의 각 신호가 입력되고, 동일하게 입력되는 제어 신호 SP2의 타이밍으로 이들 입력되는 신호는 래치된다. 이 래치된 극성 반전 신호 INV-C는 래치된 데이터 BUS-C1 24의 극성이 반전되어 있는지의 여부를 나타내고, 마찬가지로, 래치 된 극성 반전 신호 INV-D는 래치된 데이터 BUS-D1 24의 극성이 반전되어 있는지의 여부를 나타낸다. 계속해서, 각 SD3-2, 4, 6, 8, 10은 이들 극성 반전 신호 INV-C, INV-D에 따라, 데이터 BUS-C1 24, BUS-D1 24의 극성을 반전한다.

계속해서, 각 SD3-1 10은 액정 패널(5E)에의 구동 개시를 지시하는 각 신호 (도시 생략)가 입력되면, 각각에 극성이 반전된, 또는 반전되지 않은 데이터 BUS-A1 24, BUS-B1 24 또는 데이터 BUS-C1 24, BUS-D1 24에 기초하여 계조 전압을 발생한다. 상기 계조 전압은 액정 패널(5E)에 입력되어 화상이 표시된다.

다음으로, 도 22 내지 도 27을 참조하여, 상술한 타이밍 제어기(2E)의 데이터 출력부의 구성과 그 동작에 대하여 설명한다.

도 22는 타이밍 제어기(2E)의 데이터 출력부의 구성을 나타내는 블럭도이다. 도 22에 도시된 바와 같이 데이터 출력부(4)는 4개의 포트 A D를 갖고, 각 포트 A D가 상술한 화상 데이터 BUS-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24 및 INV-A D를 각각 출력한다. 각 포트 A D의 데이터는 포트 A D마다의 데이터 극성 반전 판정 생성부(10-1 10-4)에 의해 생성된다.

데이터 극성 반전 판정 생성부(10-1 10-4)에는 96비트의 데이터 BUS1 96이 24비트씩 네 개로 분할되어 입력된다. 네 개로 분할되는 데이터 BUS1 96 중, 데이터 BUS1 24는 데이터 극성 반전 판정 생성부(10-1)에 입력되고, 데이터 BUS 25 48은 데이터 극성 반전 판정 생성부(10-2)에 입력되고, 데이터 BUS49 72는 데이터 극성 반전 판정 생성부(10-3)에 입력되고, 데이터 BUS73 96은 데이터 극성 반전 판정 생성부(10-4)에 각각 입력된다. 또한, 클럭 신호 CLK1은 데이터 극성 반 전 판정 생성부(10-1, 10-2)에 입력되고, 클럭 신호 CLK2는 데이터 극성 반전 판정 생성부(10-3, 10-4)에 입력된다. 이들 클럭 신호 CLK1, 2는 타이밍 제어기(2E)로부터 출력된다.

계속해서, 포트 A의 데이터 극성 반전 판정 생성부(10-1)는 데이터 BUS1 24의 극성을 반전하는지의 여부를 판정하고, 이 판정 결과에 따라 데이터 극성을 반전하여 데이터 BUS-A1 24로서 출력한다. 또한, 이 출력되는 데이터 BUS-A1 24의 극성이 반전되어 있을 때는, 동시에, 극성이 반전되어 있는 것을 나타내는 극성 반전 신호 INV-A를 「H」로 하여 출력한다. 또한, 다른 포트 B D의 각 데이터 극성 반전 판정 생성부(10-2 4)에 있어서는, 마찬가지로, 각각 입력되는 데이터 BUS25 48, BUS49 72, BUS73 96의 극성을 반전하는지의 여부를 판정하고, 이들 판정 결과에 따라 데이터 극성을 반전하여 데이터 BUS-B1 24, BUS-C1 24, BUS-D1 24로서 출력한다. 또한, 데이터 BUS-B1 24, BUS-C1 24, BUS-D1 24의 극성이 반전되어 있을 때는, 동시에, 각 포트 B D가 출력하는 극성 반전 신호 INV-B D를 각각 「H」로 하여 출력한다.

도 23은 상술한 클럭 신호 CLK1, 2 및 데이터 BUS1 96, BUS-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24의 상관 관계를 나타내는 파형도이다. 도 23의 (a) (c)에 도시된 바와 같이 데이터 BUS1 48은 클럭 신호 CLK1의 선두 엣지(도 23에서는 PA1 3의 타이밍)에 동기하여 변화하고, 데이터 BUS-A1 24, BUS-B1 24는 클럭 신호 CLK1의 후미 엣지(도 23에서는 PB1 3의 타이밍)에 동기하여 변화한다. 한편, 도 23의 (d) (f)에 도시된 바와 같이 데이터 BUS49 96은 클럭 신호 CLK2의 선두 엣지(도 23에서는 PB1 3의 타이밍)에 동기하여 변화하고, 데이터 BUS- C1 24, BUS-D1 24는 클럭 신호 CLK2의 후미 엣지(도 23에서는 PA1 3의 타이밍)에 동기하여 변화한다. 또한, 도 23의 (a), (d)에 도시된 바와 같이 클럭 신호 CLK1의 위상과 클럭 신호 CLK2의 위상은 반주기(180°) 어긋나 있다.

그런데, 타이밍 제어기(2E)로부터는 데이터 BUS1 96이 4개의 포트 A D로 분리되어 출력되지만, 이들 포트 A D가 동일한 타이밍으로 각 신호를 변화하여 출력하면 타이밍 제어기(2E)의 순간 전류가 커져 버린다. 이 문제를 해결하기 위해서, 상기한 바와 같이 클럭 신호 CLK1의 위상과 클럭 신호 CLK2의 위상을 반주기 시프트시켜, 포트 A, B의 출력 변화와 포트 C, D의 출력 변화는 반주기 시프트된 타이밍으로 하고 있다. 이와 같이 포트 A, B와 포트 C, D의 각 출력 변화를 변이시킴으로써, 4개의 포트 A D로 나누어 출력하는 경우에 있어서도 동시에 출력이 변화하는 것은 기껏해야 2포트분이기 때문에, 제어기(2E)의 순간 전류를 2개의 포트로 출력하는 경우의 순간 전류와 동일한 정도로 억제할 수 있다.

다음으로, 데이터 극성 반전 판정 생성부(10-1 4)의 구성과 그 동작에 대하여 설명한다. 도 24는 데이터 극성 반전 판정 생성부(10-1 4) 중 어느 하나의 일 구성예를 나타내는 블럭도이고, 데이터 극성 반전 판정 생성부(10-1 4)는 전부 동일한 구성이다.

도 24에 있어서, 도 22의 각 데이터 극성 반전 판정 생성부(10-1 4)에의 입력인 데이터 BUS1 24, BUS25 48, BUS49 72, BUS73 96이 입력되는 데이터 da1 24이고, 클럭 신호 CLK1, 2가 입력되는 클럭 신호 clk이다. 또한, 출력되는 데이터 dd1 24가 각 데이터 극성 반전 판정 생성부(10-1 4)로부터 출력되는 데이터 BUS-A1 24, BUS-B1 24, BUS-C1 24, BUS-D1 24이고, 출력되는 신호 inv3이 극성 반전 신호 INV-A D이다. 참조 부호(11)

는 데이터 da1 24와 데이터 dc1 24의 각 24비트 중에서 값이 다른 비트가 과반수 이상(13비트 이상) 있는 경우에, 데이터 극성의 반전을 지시하는 신호 inv1을 「H」로 하여 출력하는 데이터 극성 반전 판정 회로이고, 참조 부호(12)는 입력되는 신호 inv2가 「H」 구간에 입력되는 데이터 db1 24의 모든 비트의 극성을 반전하여 출력하는 극성 반전 회로이다. 참조 부호(13-1 24)는 입력되는 데이터 da1 24를 클럭 신호 clk의 후미 엣지로 각각 래치하고, 데이터 db1 24로서 출력하는 D 플립플롭이고, 참조 부호(14-1 24)는 입력되는 데이터 dc1 24를 클럭 신호 clk의 후미 엣지로 각각 래치하고, 데이터 dd1 24로서 출력하는 D 플립플롭이다. 참조 부호(15, 16)는 각각 입력되는 신호 inv1, inv2를 클럭 신호 clk의 후미 엣지로 래치하고, 신호 inv2, inv3으로서 각각 출력하는 D 플립플롭이다.

도 25는 상술한 도 24에 도시한 데이터 극성 반전 판정 생성부(10-1 4)의 각 부의 파형을 나타내는 파형도이다. 지금, 클럭 신호 clk를 도 25의 (a)에 도시하고, 또한 입력 데이터 da1 24를 도 25의 (b)에 도시한 것으로 한다. 도 25의 (b)에 도시한 바와 같이 입력 데이터 da1 24는 처음 24비트 전부가 1이고, 클럭 신호 clk의 선두 엣지 t1의 타이밍에서 24비트 전부가 1로부터 0으로 변화하고, 선두 엣지 t3의 타이밍에서 24비트 전부가 0으로부터 1로 변화한다. 이와 같이 변화하는 데이터 da1 24가 입력되면 D 플립플롭 13-1 24의 출력은 도 25의 (c)에 도 시한 파형이 되고, 클럭 신호 clk의 후미 엣지 t2의 타이밍에서 24비트 전부가 1로부터 0으로 변화하고, 선두 엣지 t4의 타이밍에서 24비트 전부가 0으로부터 1로 변화한다.

도 25의 (d)는 극성 반전 회로(12)의 출력 데이터 dc1 24의 파형을 나타내고, 도 25의 (e)의 파형으로 나타내는 D 플립플롭(15)의 출력 신호 inv2가 「H」 구간에 입력되는 데이터 db1 24의 모든 비트가 극성 반전 회로(12)에 의해 0으로부터 1로 반전되어 출력된다. 도 25의 (b)의 데이터 da1 24와 도 25의 (d)의 데이터 dc1 24가 데이터 극성 반전 회로(11)에 입력되면, t1의 타이밍에서 데이터 da1 24가 전부 0이 됨으로써 데이터 dc1 24와 다른 4비트 수가 과반수 이상이 되어, 데이터 극성 반전 회로(11)는 신호 inv1을 「H」로 하여 출력한다. 이 데이터 극성 반전 회로(11)로부터 출력되는 신호 inv1의 「H」를 t2의 타이밍에서 D 플립플롭(15)이 래치하여 신호 inv2에 「H」를 출력한다. 계속해서, t3의 타이밍에서 데이터 da1 24가 전부 1이 됨으로써, 데이터 dc1 24와 다른 비트 수가 과반수 미만이 되고, 데이터 극성 반전 회로(11)는 신호 inv1을 「L」로 하여 출력하고, t4의 타이밍에서 D 플립플롭(15)에 의해 래치되어, 신호 inv2는 「L」이 된다.

도 25의 (f)는 D 플립플롭(14-1 24)이 출력하는 데이터 dd1 24의 파형을 나타내고, 도 25의 (d)에 도시한 데이터 dc1 24가 클럭 신호 clk의 후미 엣지의 타이밍에서 래치되어 출력되어 있으며, 모든 비트 변화없이 1이다. 또한, 도 25의 (g)는 D 플립플롭(16)이 출력하는 신호 inv3의 파형을 나타내고, 입력 데이터 da1 24의 극성이 0으로부터 1로 반전되어 데이터 dd1 24에 출력되는 타이밍 t4 t5 의 구간에 「H」가 된다.

다음으로, 도 26은 데이터 극성 반전 판정 회로(11)의 일 구성예를 나타내는 회로도이다. 도 26에 있어서, 참조 부호(21)는 24개의 EOR(Exclusive OR) 회로 (23)로 구성되고, 도 24의 데이터 da1 24와 데이터 dc1 24와의 대응하는 각 비트끼리 배타적 논리합을 취함으로써, 데이터 dc1 24로부터 데이터 da1 24에의 각 비트의 극성의 변화를 검출하는 극성 변화 검출 회로, 참조 부호(22)는 24개의 EOR 회로(23)의 출력으로부터 13개의 출력을 선택하여 논리곱을 취하는 조합수 만큼의 13입력 AND 회로(24)와 이들 13입력 AND 회로(24)의 모든 출력의 논리합을 취하는 OR 회로(25)로 구성되는 다수결 회로이다. 이 다수결 회로에 의해 극성 변화 검출 회로(21)의 각 출력 A1 24 중, 「H」가 되는 출력 수가 과반수의 13이상인 경우에 출력 신호 inv1을 「H」로 하고, 「H」가 되는 출력 수가 과반수 미만의 12이하인 경우에 출력 신호 inv1을 「L」로 한다.

도 27은 극성 변화 검출 회로(21)의 동작을 설명하기 위한 표로서, 제1행째는 입력 데이터 da1 24, dc1 24 및 극성 변화 검출 회로(21)의 출력 A1 24의 각 비트 번호 n(n은 1 24의 정수)이고, 제2 제4행째는 각 비트 번호 n에 대응하는 데이터 dan, dcn, EOR 회로(23)의 출력 An의 값의 예이다. 이 표에 있어서, 비트 번호 2 5, 23의 데이터 dan, dcn의 값이 다르며, 이들 값이 다른 비트에 대응하는 비트 번호 2 5, 23의 출력 An의 값이 「H」가 된다. 이와 같이 검출된 다른 비트의 수가 과반수의 13 이상인 경우에, 출력 신호 inv1에는 「H」가 출력된다.

도 28은 상술한 데이터 출력부(4)에 있어서, 출력 포트를 4개의 포트 A D로 분할하고, 포트 A D마다 데이터 극성을 반전함으로써 얻어지는 효과를 설명하기 위한 표이다. 또, 설명의 편의상, 데이터 극성 반전 판정 생성부에 입력되는 데이터의 총 비트 수를 24로 하고, 출력 포트를 2개의 포트로 분할하여 12비트씩 데이터 극성을 반전하는 경우에 대해서 설명한다.

도 28의 (a) (d)에 있어서, 제1행째는 제2 제4행째에 나타내는 데이터의 비트 번호 n(n은 1 24의 정수)이고, 제2행째는 1클럭 전의 출력 데이터 Xn, 제3행째는 현재의 입력 데이터 Yn, 제4행째는 제3행째에 나타나는 현재의 입력 데이터 Yn에 대응하는 출력 데이터 Zn이다.

또, 도 28의 (a) (d)에 도시한 표 중의 데이터 Xn, Yn, Zn의 값은 일례이고, 이들 표에 있어서는 데이터 Xn에 대하여, 데이터 Yn의 24비트 내에서 절반인 12비트의 극성이 변화하는 예가 나타나 있다. 또한, 도 28의 (a)에 도시한 표는 데이터 극성 반전 판정 생성부를 1개 이용하여, 24 비트 단위로 데이터 반전을 행한 경우의 예이고, 도 28의 (b) (d)에 도시한 표는 데이터 극성 반전 판정 생성부를 2개 이용하여, 24비트의 데이터를 비트 번호 1 12와 13 24의 두 개로 분할하여, 12비트 단위로 데이터 반전을 행한 경우의 예이다.

우선, 도 28의 (a)에 도시한 표의 데이터 Xn은 전부 「L」, 데이터 Yn은 비트 번호 1 7, 13 17의 12비트가 「H」이다. 도 28의 (a)의 경우에는 24비트 단위로 과반수 이상의 데이터의 변화가 있는지의 여부가 판정되기 때문에, 과반수 미만의 12비트의 변화를 위해 데이터 반전되지 않고 데이터 Yn이 그대로 출력 데이터 Zn이 된다. 이 결과, 데이터 출력의 변화량은 12비트가 되고, 24 비트 단위로 데 이터 반전을 행하는 경우의 최대 변화량이 된다.

계속해서, 도 28의 (b)에 도시한 표의 데이터 Xn은 전부 「L」, 데이터 Yn은 비트 번호 1, 7, 13 17의 12 비트가 「H」이고, 도 28의 (a)의 경우와 동일하다. 그러나, 도 28의 (b)의 경우에는 12비트 단위로 과반수 이상의 데이터의 변화가 있는지의 여부가 판정되기 때문에, 비트 번호 1 12의 판정 결과는 과반수 이상의 7비트의 변화를 위해 데이터

반전이 되고, 비트 번호 1 12의 출력 데이터 Zn은 데이터 Yn이 데이터 반전된 것이 된다. 한편, 비트 번호 13 24에서는 5비트밖에 변화하지 않고, 변화량이 과반수에 미치지 않기 때문에 데이터 반전은 행해지지 않는다. 그 결과, 데이터 출력의 변화량은 비트 번호 8 12의 5비트분과 비트 번호 13 17의 5비트분의 합계 10비트가 되어, 24비트 단위로 데이터 반전을 행하는 경우에 비하여 2비트분 변화량이 적다.
마찬가지로, 도 28의 (c)에 도시한 표의 경우는, 비트 번호 1 12의 데이터 Yn이 데이터 반전되어 데이터 Zn으로서 출력된 결과, 이 데이터 출력의 변화량은 비트 번호 9 12의 4비트분과 비트 번호 13 16의 5비트분의 합계 8비트가 되어, 24비트 단위로 데이터 반전을 행하는 경우에 비하여 4비트분 변화량이 적어진다.
또한, 도 28의 (d)에 도시한 표의 경우에서는 비트 번호 1 12의 데이터 Yn 이 데이터 반전되어 데이터 Zn으로서 출력된 결과, 이 데이터 출력의 변화량은 비트 번호 10 12의 3비트분과 비트 번호 13 15의 3비트분의 합계 6비트가 되어, 24비트 단위로 데이터 반전을 행하는 경우에 비하여 6비트분 변화량이 적어지고, 변화량은 절반으로 억제할 수 있다.
또한, 도시하지 않지만, 데이터 Yn의 비트 번호 1 11, 13의 12 비트가 「H」 인 경우에는, 마찬가지로 데이터 Yn이 데이터 반전되어 데이터 Zn으로서 출력된 결과, 이 데이터 출력의 변화량은 비트 번호 12, 13의 2비트분으로 된다.
또한, 데이터 Yn의 비트 번호 1 12의 12비트가 「H」 인 경우에는, 마찬가지로 데이터 Yn이 데이터 반전되어 데이터 Zn으로서 출력된 결과, 이 데이터 출력의 변화량은 0비트분(출력에 극성의 변화 없음)으로 된다.
상술한 바와 같이 24비트의 내에서 동일한 12비트의 변화량의 데이터 입력에 대하여 12비트씩 2개로 분할하여 데이터 반전을 행함으로써, 24비트 단위로 데이터 반전을 행하는 경우의 최대 변화량이 2비트일 때, 2개로 분할하여 데이터 반전한 경우의 최소 변화량은 2비트로 된다. 즉, 12비트씩 2개로 분할하여 데이터 반전을 행함으로써, 24비트 단위로 데이터 반전을 행하는 경우에 비하여 데이터 출력의 변화량을 최대한 0으로 줄일 수 있다.
또, 도 28에서는 설명의 편의상, 입력되는 데이터의 비트 수를 24로 하여 출력 포트를 2개의 포트로 분할하는 예에 대하여 설명하였지만, 상술한 일 실시예와 같이 96비트의 데이터 BUS1 96을 4개의 포트 A D로 분할하고, 24비트 단위로 데이터 반전하는 경우에서도 데이터 출력의 변화량을 줄이는 효과가 얻어진다. 또한, 상술한 일 실시예에서는, R, G, B 각 8비트씩의 합계 24비트 단위로 데이터 반전하는 구성으로 하였지만, 각 색마다의 8비트 단위로 데이터 반전하는 구성으로 하여도 된다.
또, 상술한 일 실시예에서는, 256계조 3색 표시의 경우에 대하여 나타내었지 만, 계조 수 또는 색 수에 대해서는 다양하게 변경할 수 있다.
이와 같이 데이터 출력의 변화량이 감소함에 따라, 데이터 출력부(4)의 데이터 출력에 요하는 소비 전력이 저감되는 효과가 얻어진다. 이 소비 전력이 저감되는 효과에 의해, 상술한 일 실시예에 따른 액정 표시 장치의 구동 회로에서는, 데이터 반전 기능을 사용하지 않는 종래의 액정 표시 장치의 구동 회로에 비하여, 소비 전력이 25%나 저감하였다.
또한, 데이터 출력의 변화에 기인하여 발생하는 노이즈가 저감된다고 하는 효과도 얻어진다.
도 29는 이 노이즈가 저감된다고 하는 효과가 얻어진 측정 결과를 나타내는 파형도이고, 도 29에 도시한 파형은, 상술한 일 실시예에 따른 액정 표시 장치의 구동 회로를 이용하여 액정 패널(5E)를 구동했을 때의 EMI 특성의 측정 결과이다. 또, 도 29에 도시한 EMI 특성의 측정에서는, 액정 표시 장치에 부착되는 실드판을 떼어내고, 액정 표시 장치의 구동 회로 및 액정 패널(5E)로부터 직접 방사되는 전자파 방해 잡음을 측정하였다.
또한, 도 31에 도시한 파형은, 도 29에 도시한 EMI 특성의 측정과 동일 조건에서 측정된 파형으로서, 도 30에 도시한 바와 같은 데이터 반전 기능을 사용하지 않은 종래의 액정 표시 장치의 구동 회로를 이용하여 액정 패널을 구동했을 때의 EMI 특성을 나타낸다.
도 29와 도 31에 도시한 파형에서, 횡축은 전자파 방해 잡음의 주파수를 메가헤르츠(㎒) 단위로 나타내고, 종축은 전자파 방해 잡음의 강도를 데시벨(㏈) 단 위로 나타낸다. 이것도 도 29와 도 31의 파형으로 나타낸 EMI 특성을 비교하면, 상술한 일 실시예에 따른 액정 표시 장치의 구동 회로를 이용함으로써, 40 230㎒의 주파수 대역에서 10㏈ 이상의 전자파 방해 잡음의 저감 효과가 얻어졌다.

발명의 효과

이상 상세히 설명한 바와 같이 본 발명에 따르면, 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 2J(J는 양의 정수) 계통의 화상 데이터로서 2J의 버스 라인을 통해 통해 액정 표시 장치의 소스 드라이버에 공급하고, 이 화상 데이터를 수신하는 클럭 신호(제1, 제2 클럭 신호)를 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 2위상 또는 단일의 클럭 신호로 하고, 소스 드라이버에서는 실질적으로 상기 클럭 신호의 선두 엣지 및 후미 엣지의 타이밍으로 상기 화상 데이터를 수신하도록 구성하고 있기 때문에, 종래의 액정 표시 장치의 구동 회로와 비교하여 클럭 신호의 반복 주파수를 저하시키고, 또한 타임 마진을 확보하는 것을 가능하게 한다.
또한, 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 4J(J는 2 이상의 양의 정수) 계통의 화상 데이터로서, 4J의 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 이 화상 데이터를 수신하는 클럭 신호를 화상 데이터에 동기하는 클럭 주파수 I/4의 2위상 또는 단일의 클럭 신호로 하고, 소스 드라이버에서는 실질적으로 상기 클럭 신호의 상기 클럭 신호의 선두 엣지 및 후미 엣지에서 화상 데이터를 수신하도록 구성하고 있기 때문에, 종래의 액정 표시 장치의 구동 회로와 비교하여 클럭 신호의 반복 주파수를 저하시키고, 또한 타임 마진을 확보하는 것을 가능하게 한다.
또한, 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트의 4J(J는 2 이상의 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/2의 2위상 또는 단일의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하고, 상기 소스 드라이버에서는 실질적으로 상기 클럭 신호의 선두

엣지 및 후미 엣지의 타이밍으로 상기 4J 계통의 화상 데이터를 수신하도록 하고 있기 때문에, 종래의 액정 표시 장치의 구동 회로와 비교하여 클럭 신호의 반복 주파수를 저하시키고, 또한 타임 마진을 확보하는 것을 가능하게 한다. 특히, 입력 화상 데이터가 4J 계통이고 또한 다중화를 행함으로써, 한층 더 시간 압축을 가능하게 하여, 1 라인의 화소수의 증가에 의한 고정밀화가 가능하게 된다.

또한, 본 발명에 따르면, 화상 데이터가 변화하는 비트수가 과반수 이상 있는 경우에, 전체 화상 데이터의 극성(논리 상태)을 반전하여 버스 라인으로 출력하고, 또한, 이 버스 라인으로 출력되는 화상 데이터의 극성의 반전을 나타내는 극성 반전 신호를 출력하여 소스 드라이버로 화상 데이터를 정확하게 재현하도록 구성함으로써, 버스 라인에서의 비트 변화량을 화상 데이터의 반수 이하로 저감할 수 있어 종래의 액정 표시 장치의 구동 회로에 비하여 소비 전력을 적게 하는 것이 가능함과 함께, EMI 특성을 개선하는 것이 가능하다.

또한, EMI 프레임 특성이 개선됨으로써, 종래의 액정 표시 장치의 구동 회로에서 필요하던 고가의 EMI 대책용 부품을 사용할 필요가 없어지기 때문에, 종래의 액정 표시 장치에 비하여 비용을 저감시킬 수 있다.

또한, 본 발명을 적용한 액정 표시 장치의 EMI 특성과 미사용의 액정 표시 장치의 EMI 특성을 비교함으로써, 버스 라인에 기인하는 노이즈가 어떤 주파수로 방사되어 있는지를 알 수 있기 때문에, 종래에는 곤란하던 액정 표시 장치로부터 방사되는 전자파 방해 잡음이 버스 라인에 기인하는 노이즈인지 아닌지를 판별하는 것이 가능해진다.

또한, 버스 라인으로의 출력의 극성의 변화량이 저감됨으로써, 데이터 오류의 원인이 되는 버스 라인간의 크로스토크 노이즈가 저감된다고 하는 효과도 얻어진다.

또한, 데이터 극성 반전 판정 수단과 극성 반전 수단을 버스 라인마다 설치하도록 하였으므로, 버스 라인마다 데이터의 극성이 반전됨으로써 버스 라인으로의출력의 극성 변화량을 보다 저감시킬 수 있다.

또한, 반수의 버스 라인의 클럭과 다른 반수의 버스 라인의 클럭에서는 위상을 반주기 어긋나게 하였으므로, 버스 라인으로의 출력에서 동시에 극성이 변화하는 양을 줄이는 것이 가능해져서, 버스 라인을 구동하는 타이밍 제어기의 순시 전류를 저함시킬 수 있다.

(57) 청구의 범위

청구항 1.

복수의 화상 데이터를 출력하는 복수의 버스 라인을 갖는 액정 표시 장치의 구동 방법에 있어서,

데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 2J(J는 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하며, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 2J 계통의 화상 데이터를 수신하고 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 2.

복수의 화상 데이터를 출력하는 복수의 버스 라인을 갖는 액정 표시 장치의 구동 방법에 있어서,

데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 4J(J는 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하며, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J 계통의 화상 데이터를 수신하고 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 3.

복수의 화상 데이터를 출력하는 복수의 버스 라인을 갖는 액정 표시 장치의 구동 방법에 있어서,

데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I의 4J(J는 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/2의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하며, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J 계통의 화상 데이터를 수신하고 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 클럭 신호는 상호 반주기 시프트된 클럭 신호이며, 상기 소스 드라이버는 상기 복수의 화상 데이터를 상기 클럭 신호의 상승 또는 하강에 의해 화상 데이터를 수신하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 5.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 클럭 신호는 단일의 클럭 신호이며, 상기 소스 드라이버는 상기 클럭 신호의 상승 및 하강에 의해 복수의 화상 데이터를 수신하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 6.

입력 화상 데이터를 복수의 화상 데이터로 분기하여 클럭 신호와 함께 복수 의 버스 라인으로 출력하는 타이밍 제어기와, 상기 버스 라인으로부터의 화상 데이터를 수신하는 소스 드라이버를 갖는 액정 표시 장치의 구동 회로에 있어서,

상기 타이밍 제어기는 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 2J(J는 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하며, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 2J 계통의 화상 데이터를 수신하고 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 7.
입력 화상 데이터를 복수의 화상 데이터로 분기하여 클럭 신호와 함께 복수의 버스 라인으로 출력하는 타이밍 제어기와, 상기 버스 라인으로부터의 화상 데이터를 수신하는 소스 드라이버를 갖는 액정 표시 장치의 구동 회로에 있어서, 상기 타이밍 제어기는 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I/2의 4J(J는 2 이상의 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/4의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하며, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J 계통의 화상 데이터를 수신하고 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 8.
입력 화상 데이터를 복수의 화상 데이터로 분기하여 클럭 신호와 함께 복수 의 버스 라인으로 출력하는 타이밍 제어기와, 상기 버스 라인으로부터의 화상 데이터를 수신하는 소스 드라이버를 갖는 액정 표시 장치의 구동 회로에 있어서,
상기 타이밍 제어기는 데이터 레이트 I(I는 양의 정수)의 입력 화상 데이터를 데이터 레이트 I의 4J(J는 2 이상의 양의 정수) 계통의 화상 데이터로 하고, 상기 화상 데이터에 동기하는 클럭 주파수 I/2의 클럭 신호와 함께 상기 버스 라인을 통해 액정 표시 장치의 소스 드라이버에 공급하며, 상기 소스 드라이버는 상기 클럭 신호에 의해 상기 4J 계통의 화상 데이터를 수신하고 계조 전압으로 변환하여 액정 표시 장치를 구동하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 9.
제6항 내지 제8항 중 어느 한 항에 있어서,
상기 클럭 신호는 상호 반주기 시프트된 2위상의 클럭 신호이며, 상기 소스 드라이버는 상기 복수의 화상 데이터를 각 클럭 신호의 상승 또는 하강에 의해 화상 데이터를 수신하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 10.
제6항 내지 제8항 중 어느 한 항에 있어서,
상기 클럭 신호는 단일의 클럭 신호이며, 상기 소스 드라이버는 상기 클럭 신호의 상승 및 하강에 의해 복수의 화상 데이터를 수신하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 11.
제6항 내지 제8항 중 어느 한 항에 있어서,
상기 타이밍 제어기는 상기 버스 라인으로 출력하는 상기 화상 데이터가 상기 버스 라인의 과반수보다 많은 데이터 신호에 극성의 변화를 발생시키는 경우에, 상기 화상 데이터의 극성을 모두 반전하여 상기 버스 라인으로 출력하는 것을 나타내는 극성 반전 신호를 출력하는 데이터 극성 반전 판정 수단과, 상기 데이터 극성 반전 판정 수단이 출력하는 상기 극성 반전 신호에 따라, 상기 화상 데이터의 극성을 반전하여 출력하는 극성 반전 수단을 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 12.
제11항에 있어서,
상기 타이밍 제어기는 상기 데이터 극성 반전 판정 수단과 상기 극성 반전 수단을 복수의 버스 라인에 대응시켜 각각 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 13.
제6항 내지 제8항 중 어느 한 항에 있어서,
상기 타이밍 제어기는, 상기 화상 데이터를 클럭 신호에 동기하여 래치하고 복수의 제1 데이터 신호로서 출력하는 제1 래치 회로와, 제1 극성 반전 신호가 소정의 반전 지시 레벨의 경우에, 상기 복수의 제1 데이터 신호의 극성을 모두 반전하고 복수의 제2 데이터 신호로서 출력하는 극성 반전 회로와, 상기 복수의 제1 데이터 신호와 상기 복수의 제2 데이터 신호의 대응하는 신호끼리의 극성이 다른 데이터 신호수가 과반수보다 많은 경우에, 제2 극성 반전 신호를 상기 반전 지시 레벨로서 출력하는 데이터 극성 반전 판정 회로와, 상기 제2 극성 반전 신호를 상기 클럭 신호에 동기하여 래치하고 상기 제1 극성 반전 신호로서 출력하는 제2 래치 회로를 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 14.
제13항에 있어서,
상기 복수의 제2 데이터 신호를 상기 클럭 신호에 동기하여 래치하고 상기 화상 데이터로서 출력하는 제3 래치 회로와, 상기 제1 극성 반전 신호를 상기 클럭 신호에 동기하여 래치하고 제3 극성 반전 신호로서 출력하는 제4 래치 회로를 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 15.
제14항에 있어서,
상기 제1 내지 제4 래치 회로와 상기 극성 반전 회로와 상기 데이터 극성 반전 판정 회로를 복수의 버스 라인에 대응시켜 각각 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 16.
제10항에 있어서,
상기 타이밍 제어기는 상기 버스 라인으로 출력하는 상기 화상 데이터가 상기 버스 라인의 과반수보다 많은 데이터 신호에 극성의 변화를 발생시키는 경우에, 상기 화상 데이터의 극성을 모두 반전하여 상기 버스 라인으로 출력하는

것을 나타내는 극성 반전 신호를 출력하는 데이터 극성 반전 판정 수단과, 상기 데이터 극성 반전 판정 수단이 출력하는 상기 극성 반전 신호에 따라, 상기 화상 데이터의 극성을 반전하여 출력하는 극성 반전 수단을 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 17.

제10항에 있어서,

상기 타이밍 제어기는, 상기 화상 데이터를 클럭 신호에 동기하여 래치하고 복수의 제1 데이터 신호로서 출력하는 제1 래치 회로와, 제1 극성 반전 신호가 소정의 반전 지시 레벨의 경우에, 상기 복수의 제1 데이터 신호의 극성을 모두 반전하고 복수의 제2 데이터 신호로서 출력하는 극성 반전 회로와, 상기 복수의 제1 데이터 신호와 상기 복수의 제2 데이터 신호의 대응하는 신호끼리의 극성이 다른 데이터 신호수가 과반수보다 많은 경우에, 제2 극성 반전 신호를 상기 반전 지시 레벨로서 출력하는 데이터 극성 반전 판정 회로와, 상기 제2 극성 반전 신호를 상기 클럭 신호에 동기하여 래치하고 상기 제1 극성 반전 신호로서 출력하는 제2 래치 회로를 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 18.

제16항에 있어서,

상기 타이밍 제어기는 상기 데이터 극성 반전 판정 수단과 상기 극성 반전 수단을 복수의 버스 라인에 대응시켜 각각 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 19.

제17항에 있어서,

상기 복수의 제2 데이터 신호를 상기 클럭 신호에 동기하여 래치하고 상기 화상 데이터로서 출력하는 제3 래치 회로와, 상기 제1 극성 반전 신호를 상기 클럭 신호에 동기하여 래치하고 제3 극성 반전 신호로서 출력하는 제4 래치 회로를 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

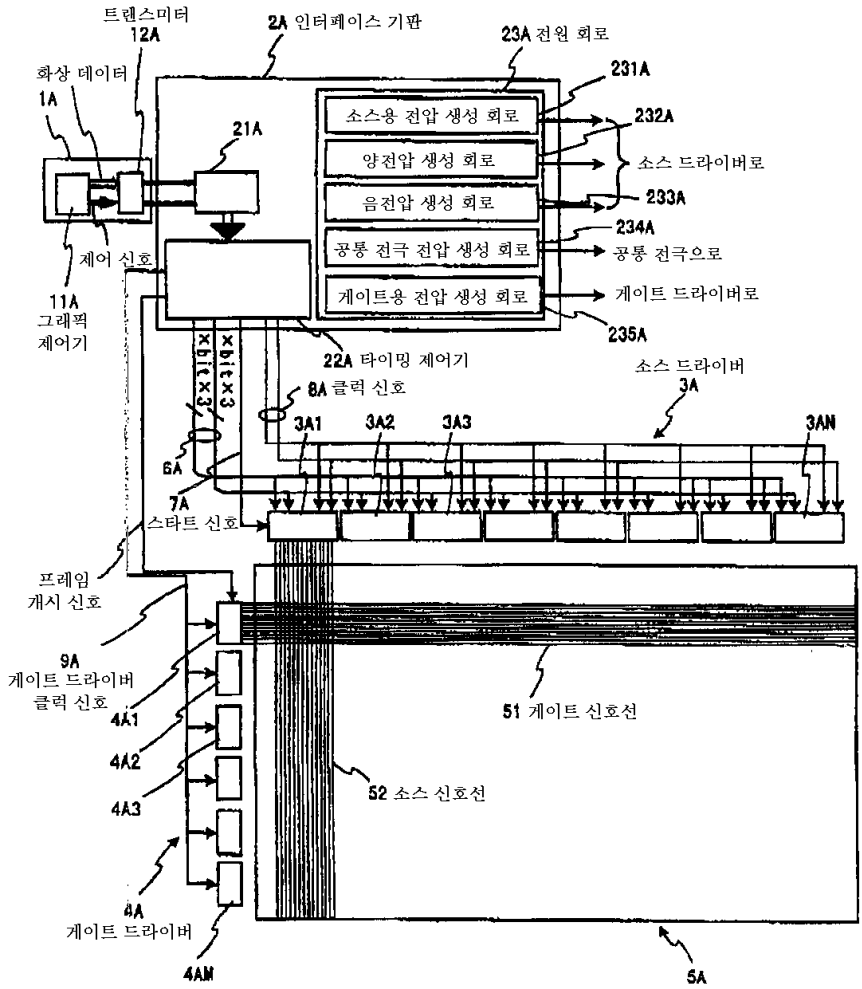
청구항 20.

제19항에 있어서,

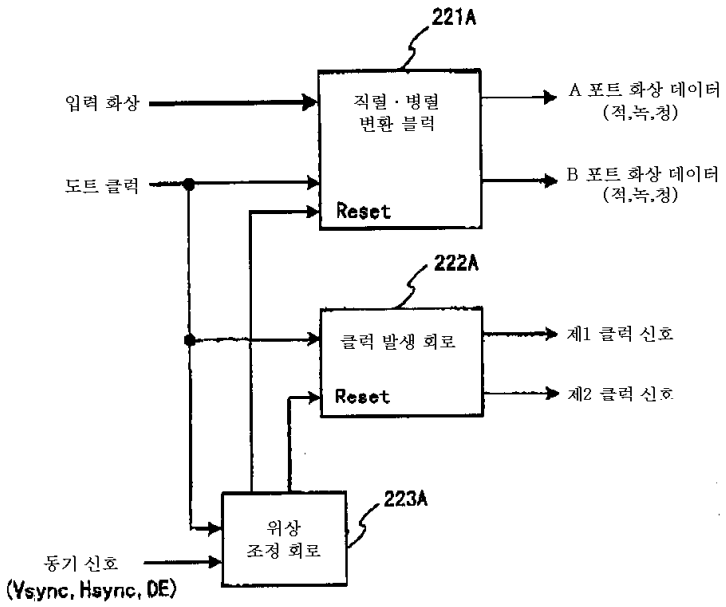
상기 제1 내지 제4 래치 회로와 상기 극성 반전 회로와 상기 데이터 극성 반전 판정 회로를 복수의 버스 라인에 대응시켜 각각 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

도면

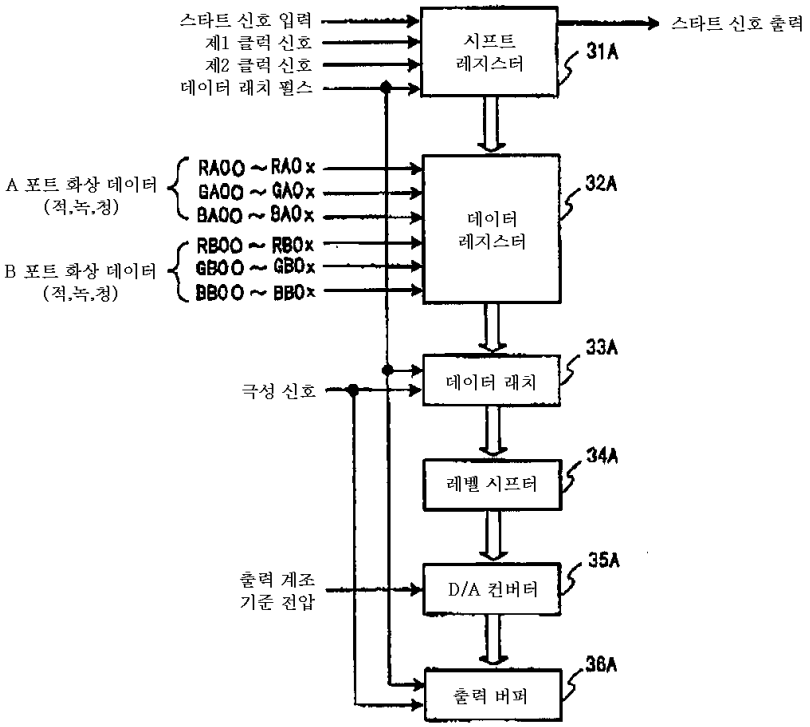
도면1


트랜스미터
12A
2A 인터페이스 기판
23A 전원 회로
화상 데이터
1A
231A
소스용 전압 생성 회로
232A
양전압 생성 회로
소스 드라이버로
음전압 생성 회로
233A
234A
공통 전극 전압 생성 회로
공통 전극으로
게이트용 전압 생성 회로
게이트 드라이버로
235A
21A
제어 신호
11A
그래픽
제어기
22A 타이밍 제어기
8A 클럭 신호
소스 드라이버
3A
3A1
3A2
3A3
3AN
6A
7A
스타트 신호
프레임
개시 신호
9A
게이트 드라이버
클럭 신호
4A1
4A2
4A3
4A
게이트 드라이버
4AM
51 게이트 신호선
52 소스 신호선
5A

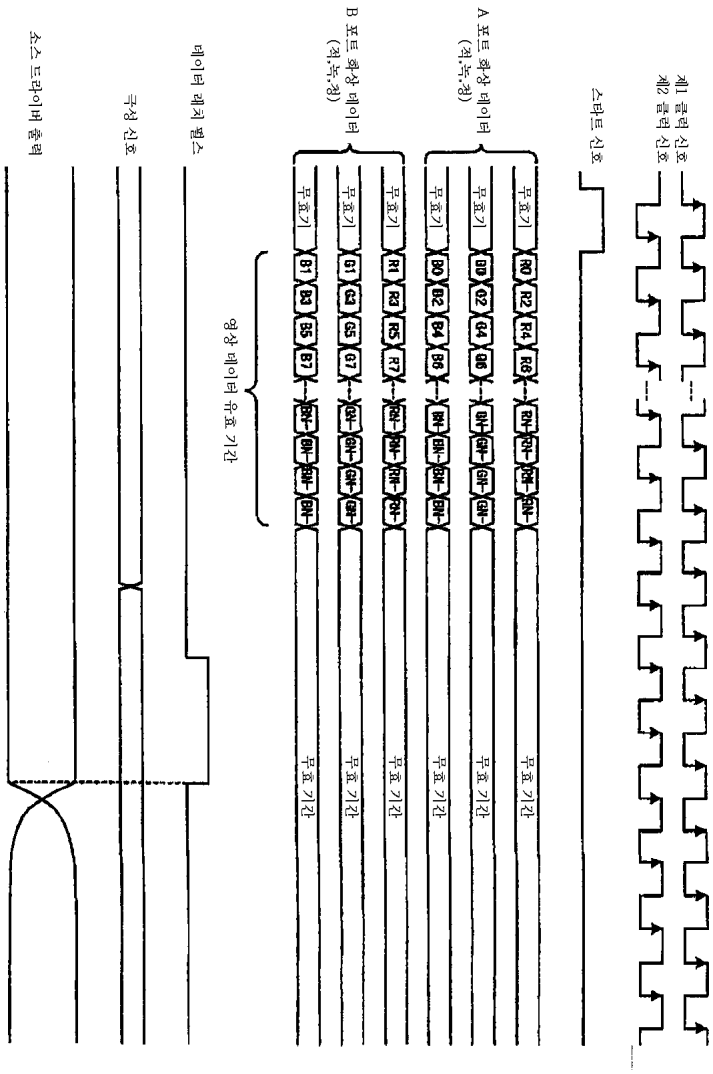
도면2


221A
입력 화상
직렬 · 병렬
변환 블럭
A 포트 화상 데이터
(적,녹,청)
도트 클럭
B 포트 화상 데이터
(적,녹,청)
Reset
222A
클럭 발생 회로
제1 클럭 신호
Reset
제2 클럭 신호
223A
위상
조정 회로
동기 신호
(Vsync, Hsync, DE)

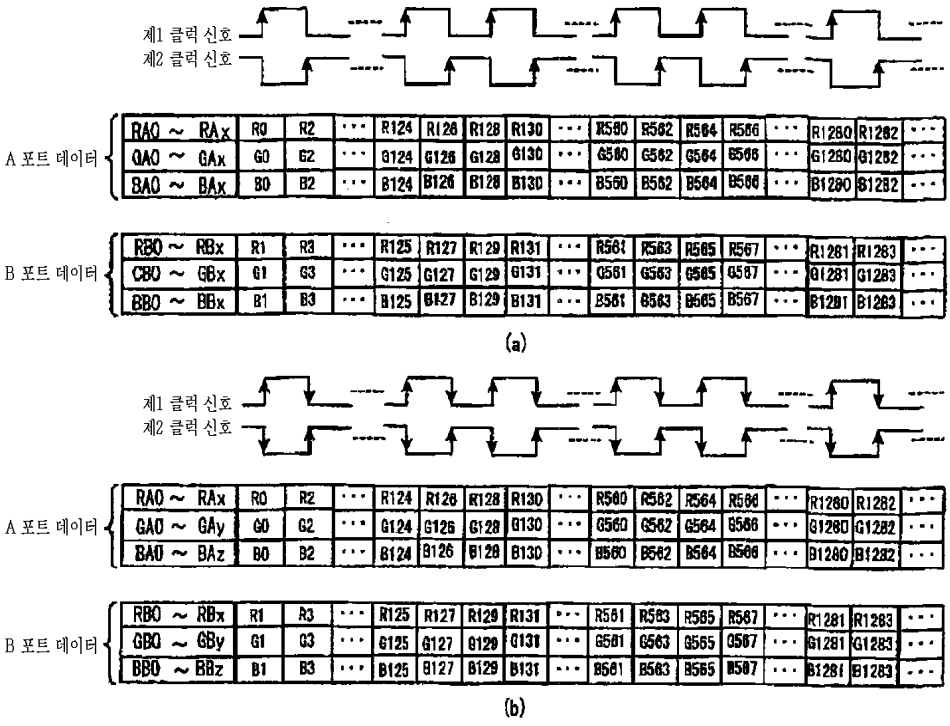
도면3


스타트 신호 입력
제1 클럭 신호
제2 클럭 신호
데이터 래치 펄스
시프트 레지스터
31A
스타트 신호 출력
A 포트 화상 데이터 (적,녹,청)
RA00 ~ RA0x
GA00 ~ GA0x
BA00 ~ BA0x
B 포트 화상 데이터 (적,녹,청)
RB00 ~ RB0x
GB00 ~ GB0x
BB00 ~ BB0x
데이터 레지스터
32A
극성 신호
데이터 래치
33A
레벨 시프터
34A
출력 계조 기준 전압
D/A 컨버터
35A
출력 버퍼
36A

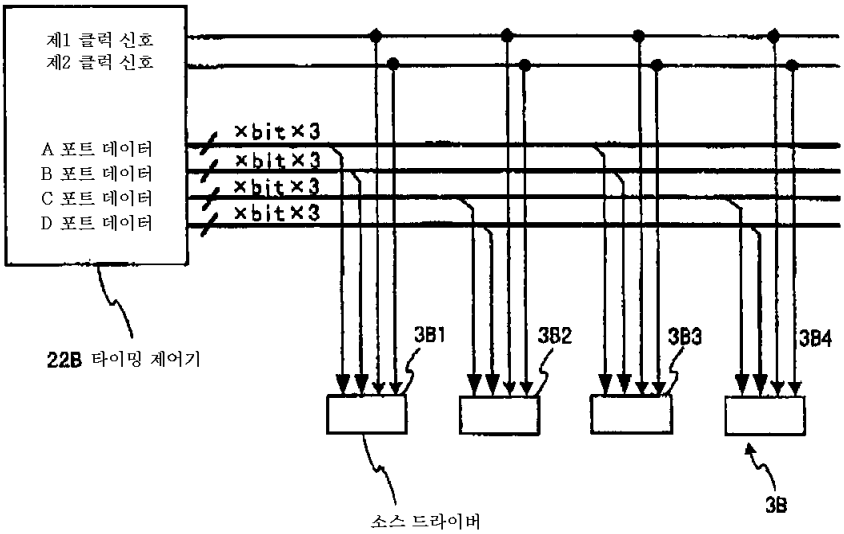
도면4


제1 클럭 신호
제2 클럭 신호
스타트 신호
A 포트 화상 데이터 (적,녹,청)
B 포트 화상 데이터 (적,녹,청)
무효기
무효 기간
영상 데이터 유효 기간
데이터 래치 펄스
극성 신호
소스 드라이버 출력

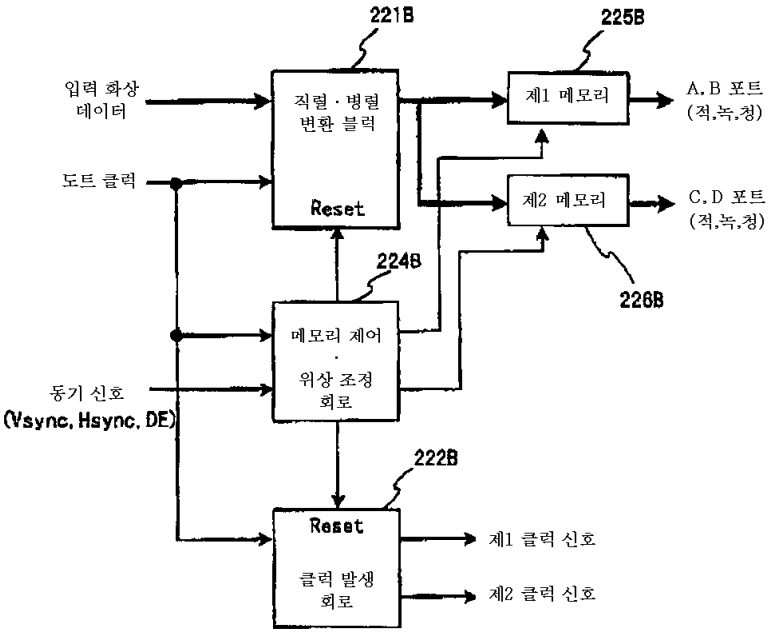
도면5


제1 클럭 신호
제2 클럭 신호
A 포트 데이터
RA0 ~ RAx
GA0 ~ GAx
BA0 ~ BAx
B 포트 데이터
RB0 ~ RBx
GB0 ~ GBx
BB0 ~ BBx
(a)
제1 클럭 신호
제2 클럭 신호
A 포트 데이터
RA0 ~ RAx
GA0 ~ GAy
BA0 ~ BAz
B 포트 데이터
RB0 ~ RBx
GB0 ~ GBy
BB0 ~ BBz
(b)

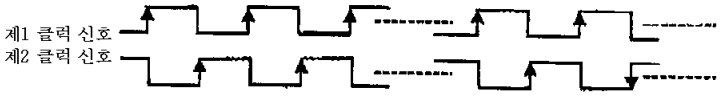
도면6


제1 클럭 신호
제2 클럭 신호
A 포트 데이터
B 포트 데이터
C 포트 데이터
D 포트 데이터
×bit×3
×bit×3
×bit×3
×bit×3
22B 타이밍 제어기
3B1
3B2
3B3
3B4
소스 드라이버
3B

도면7



도면8



A 포트 데이터

RA0 ~ RAx	R0	R2	R4	R6	R8	---	R256	R258	R260	R262	---
GA0 ~ GAx	G0	G2	G4	G6	G8	---	G256	G258	G260	G262	---
BA0 ~ BAx	B0	B2	B4	B6	B8	---	B256	B258	B260	B262	---

B 포트 데이터

RB0 ~ RBx	R1	R3	R5	R7	R9	---	R257	R259	R261	R263	---
GB0 ~ GBx	G1	G3	G5	G7	G9	---	G257	G259	G261	G263	---
BB0 ~ BBx	B1	B3	B5	B7	B9	---	B257	B259	B261	B263	---

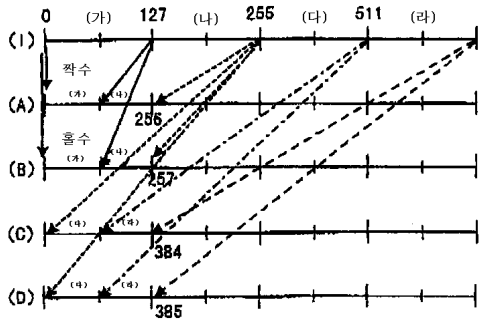
C 포트 데이터

RC0 ~ RCx	R128	R130	R132	R134	R136	---	R384	R386	R388	R390	---
GC0 ~ GCx	G128	G130	G132	G134	G136	---	G384	G386	G388	G390	---
BC0 ~ BCx	B128	B130	B132	B134	B136	---	B384	B386	B388	B390	---

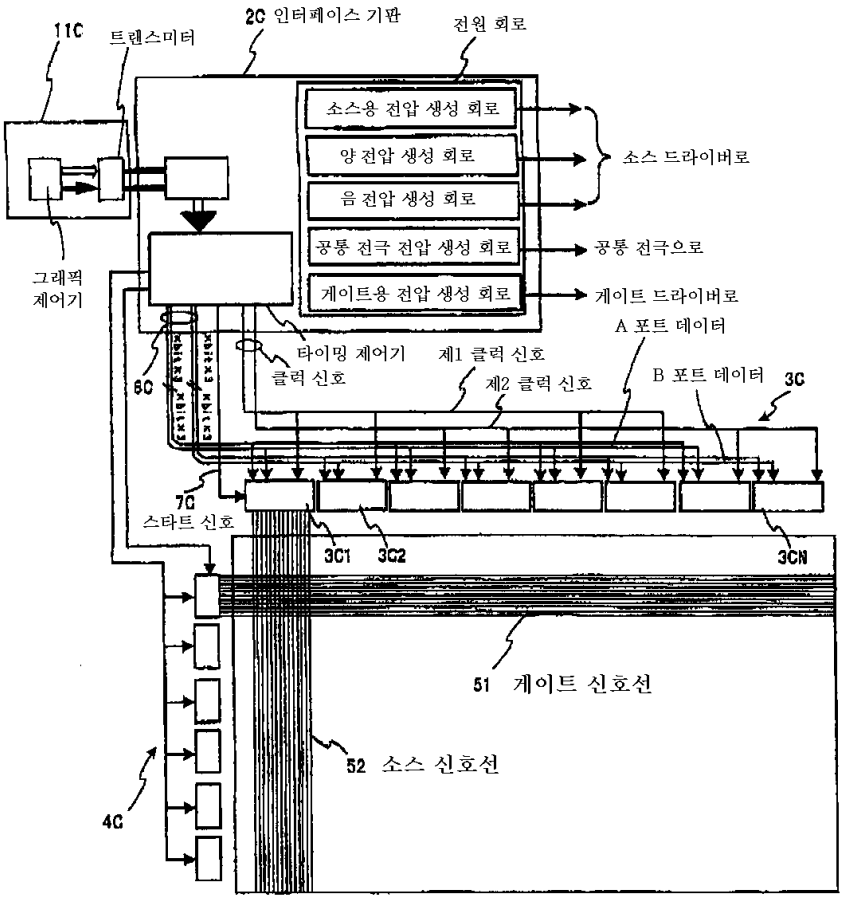
D 포트 데이터

RD0 ~ RDx	R129	R131	R133	R135	R137	---	R385	R387	R389	R391	---
GD0 ~ GDx	G129	G131	G133	G135	G137	---	G385	G387	G389	G391	---
BD0 ~ BDx	B129	B131	B133	B135	B137	---	B385	B387	B389	B391	---

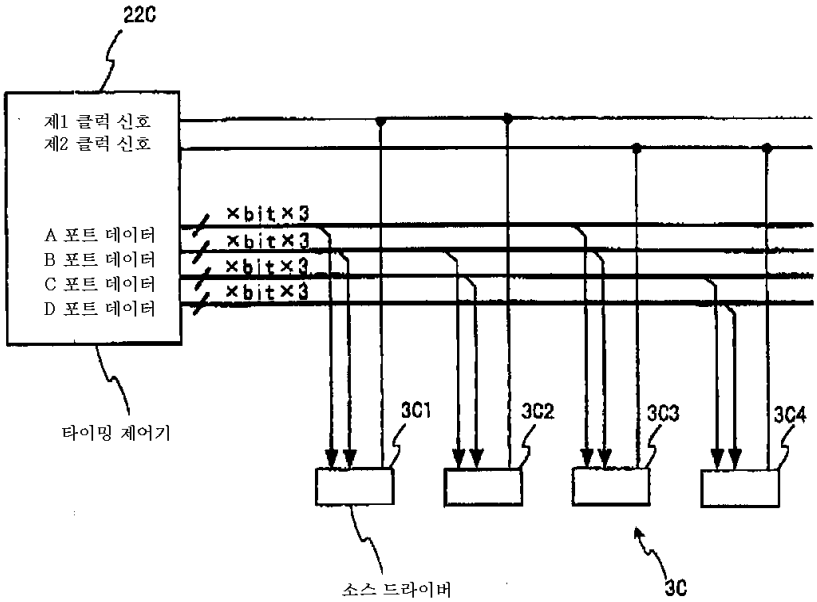
도면9



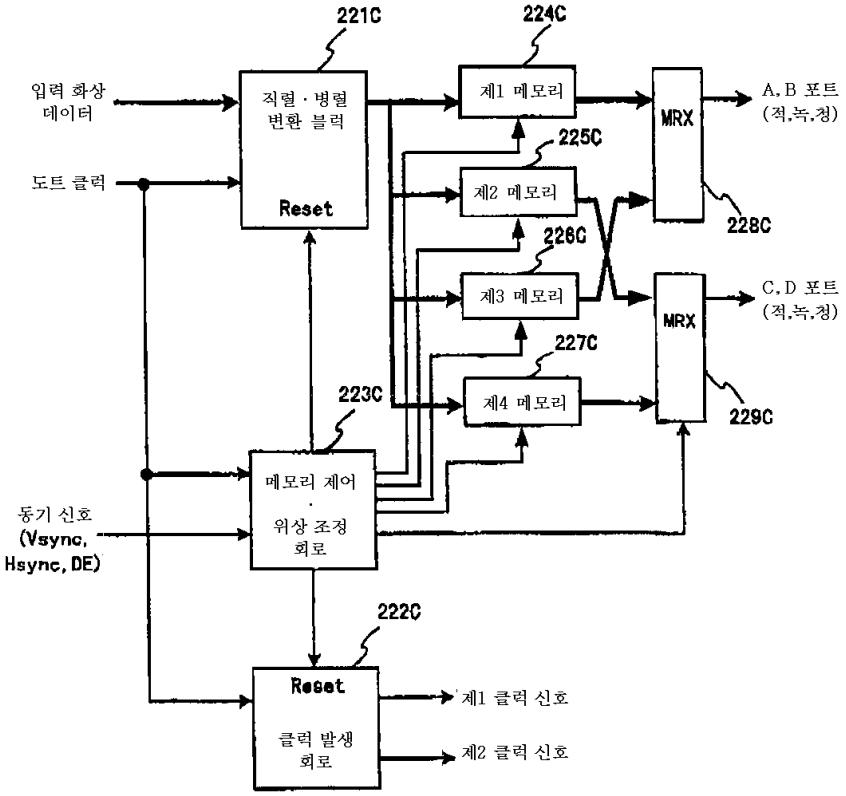
도면10


11C
트랜스미터
2C 인터페이스 기판
전원 회로
소스용 전압 생성 회로
양 전압 생성 회로
음 전압 생성 회로
공통 전극 전압 생성 회로
게이트용 전압 생성 회로
소스 드라이버로
공통 전극으로
게이트 드라이버로
그래픽
제어기
타이밍 제어기
클럭 신호
6C
제1 클럭 신호
제2 클럭 신호
A 포트 데이터
B 포트 데이터
3C
7C
스타트 신호
3C1
3C2
3CN
51 게이트 신호선
52 소스 신호선
4C

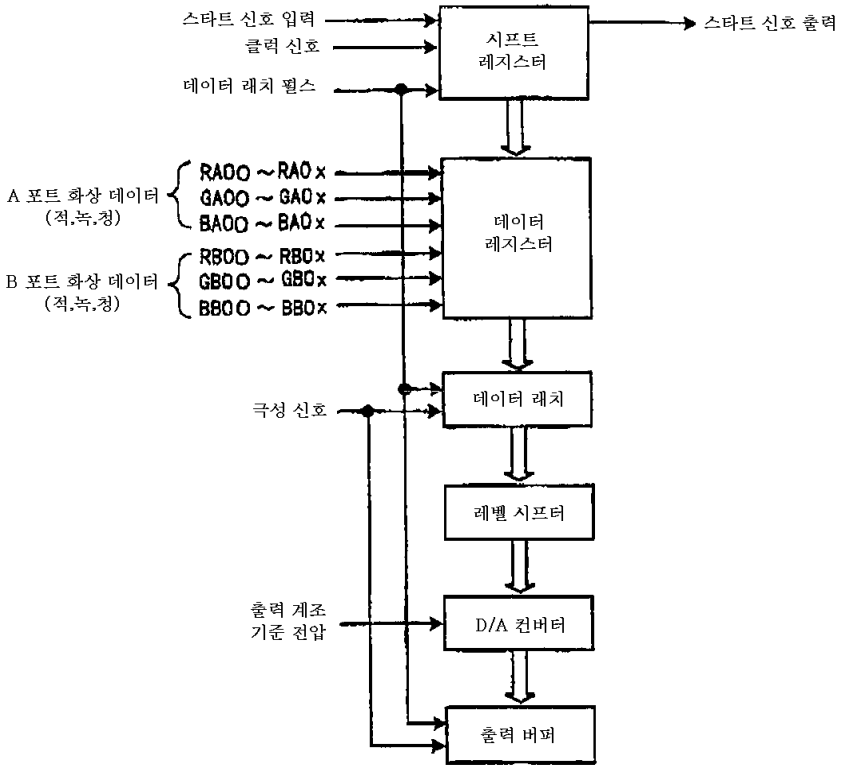
도면11


22C
제1 클럭 신호
제2 클럭 신호
A 포트 데이터
B 포트 데이터
C 포트 데이터
D 포트 데이터
×bit×3
×bit×3
×bit×3
×bit×3
타이밍 제어기
3C1
3C2
3C3
3C4
소스 드라이버
3C

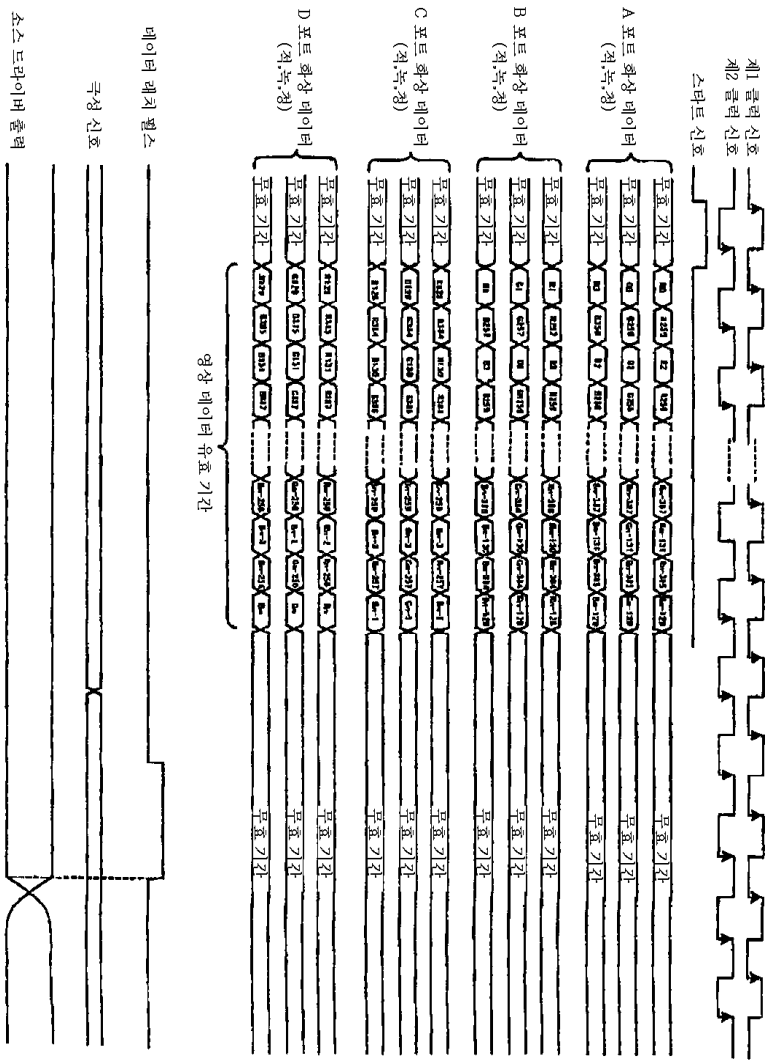
도면12


221C
224C
입력 화상 데이터
직렬 · 병렬 변환 블럭
Reset
제1 메모리
MRX
A, B 포트 (적,녹,청)
도트 클럭
225C
제2 메모리
228C
226C
제3 메모리
C, D 포트 (적,녹,청)
227C
223C
제4 메모리
229C
메모리 제어 · 위상 조정 회로
동기 신호 (Vsync, Hsync, DE)
222C
Reset
클럭 발생 회로
제1 클럭 신호
제2 클럭 신호

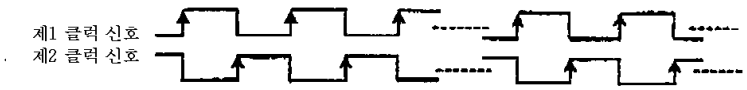
도면13


스타트 신호 입력
클럭 신호
데이터 래치 펄스
시프트 레지스터
스타트 신호 출력
A 포트 화상 데이터 (적,녹,청)
RA00 ~ RA0x
GA00 ~ GA0x
BA00 ~ BA0x
B 포트 화상 데이터 (적,녹,청)
RB00 ~ RB0x
GB00 ~ GB0x
BB00 ~ BB0x
데이터 레지스터
극성 신호
데이터 래치
레벨 시프터
출력 계조 기준 전압
D/A 컨버터
출력 버퍼

도면14



도면15



A 포트 데이터

RA0 ~ RAx	R0	R256	R2	R258	R4	···	R556	R508	R558	R510	···
GA0 ~ GAx	G0	G256	G2	G258	G4	···	G556	G508	G558	G510	···
BA0 ~ BAx	B0	B256	B2	B258	B4	···	B556	B508	B558	B510	···

B 포트 데이터

RB0 ~ RBx	R1	R257	R3	R259	R5	···	R557	R509	R559	R511	···
GB0 ~ GBx	G1	G257	G3	G259	G5	···	G557	G509	G559	G511	···
BB0 ~ BBx	B1	B257	B3	B259	B5	···	B557	B509	B559	B511	···

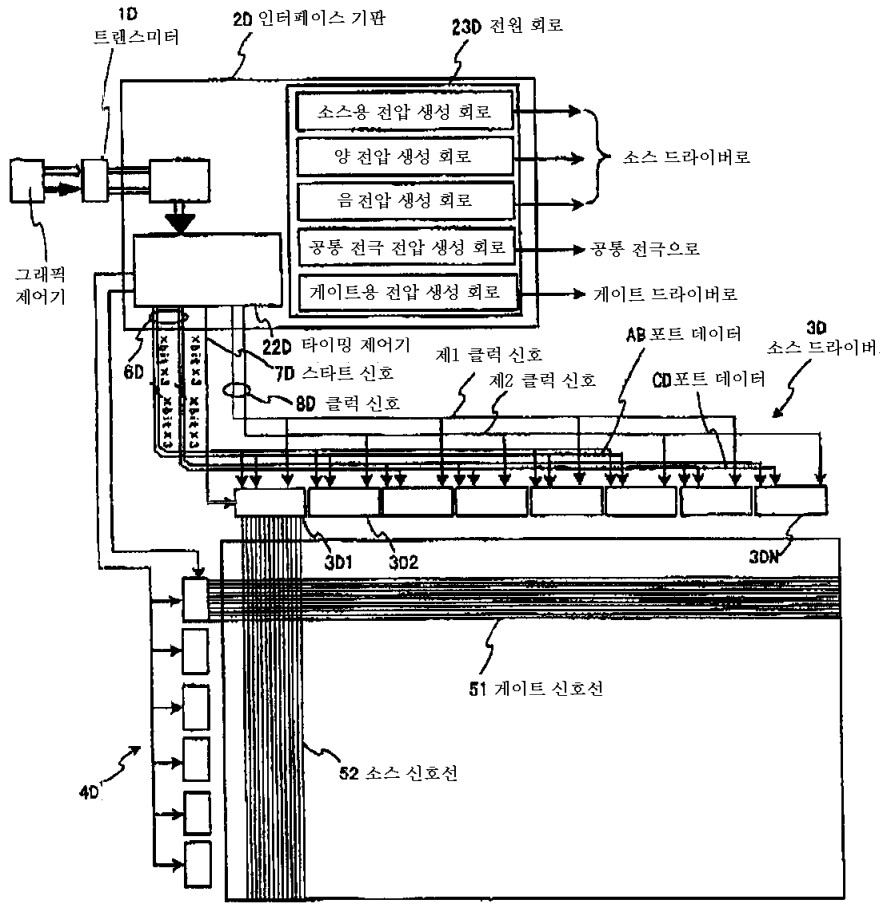
C 포트 데이터

RC0 ~ RCx	R128	R384	R130	R386	R132	···	R634	R636	R637	R638	···
GC0 ~ GCy	G128	G384	G130	G386	G132	···	G634	G636	G637	G638	···
BC0 ~ BCz	B128	B384	B130	B386	B132	···	B634	B636	B637	B638	···

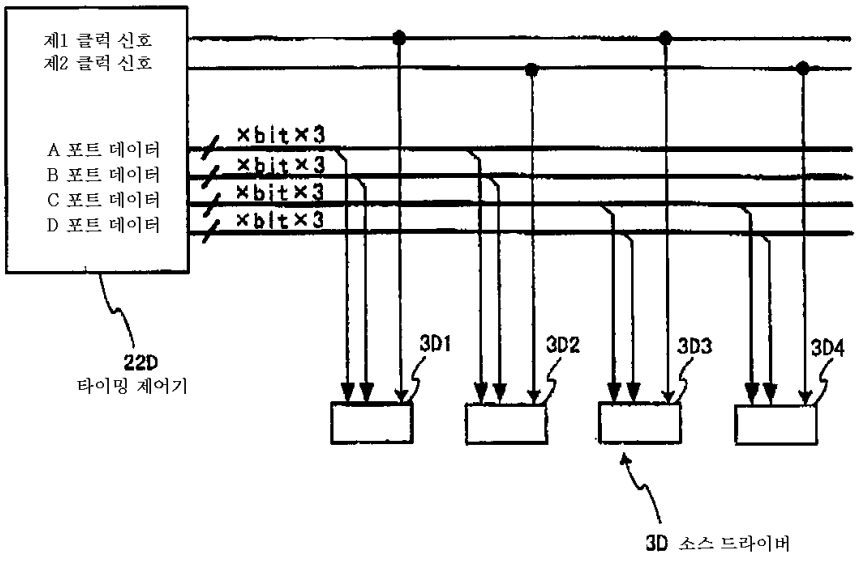
D 포트 데이터

RD0 ~ RDx	R129	R385	R131	R387	R133	···	R635	R637	R637	R639	···
GD0 ~ GDy	G129	G385	G131	G387	G133	···	G635	G637	G637	G639	···
BD0 ~ BDz	B129	B385	B131	B387	B133	···	B635	B637	B637	B639	···

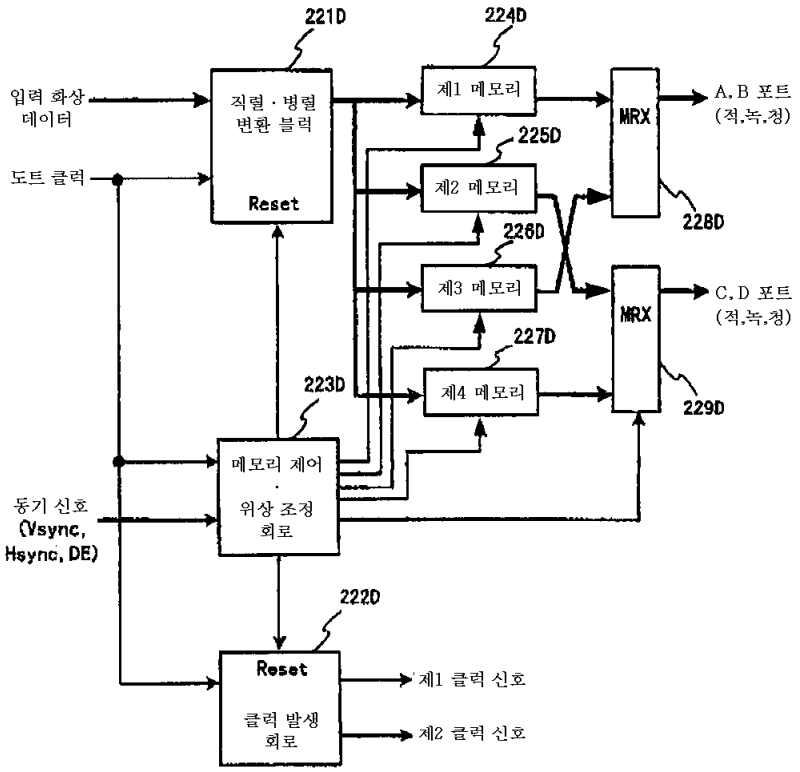
도면16


1D
트랜스미터
2D 인터페이스 기판
23D 전원 회로
소스용 전압 생성 회로
양 전압 생성 회로
음 전압 생성 회로
공통 전극 전압 생성 회로
게이트용 전압 생성 회로
소스 드라이버로
공통 전극으로
게이트 드라이버로
그래픽
제어기
22D 타이밍 제어기
7D 스타트 신호
8D 클럭 신호
6D
제1 클럭 신호
제2 클럭 신호
AB 포트 데이터
CD 포트 데이터
3D
소스 드라이버
3D1
3D2
3DN
51 게이트 신호선
52 소스 신호선
4D

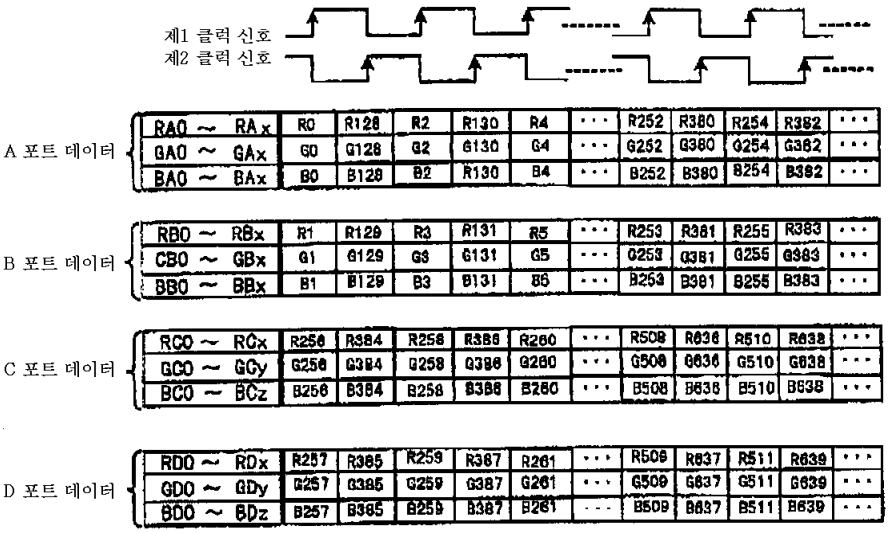
도면17


제1 클럭 신호
제2 클럭 신호
A 포트 데이터
B 포트 데이터
C 포트 데이터
D 포트 데이터
xbit×3
xbit×3
xbit×3
xbit×3
22D
타이밍 제어기
3D1
3D2
3D3
3D4
3D 소스 드라이버

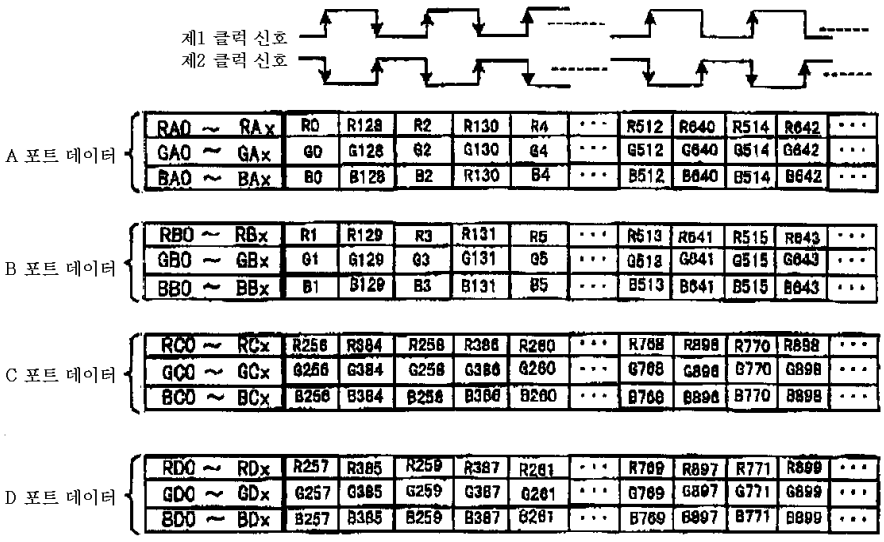
도면18


221D
224D
입력 화상 데이터
직렬 · 병렬 변환 블럭
Reset
제1 메모리
MRX
A, B 포트 (적,녹,청)
도트 클럭
225D
제2 메모리
228D
226D
제3 메모리
MRX
C, D 포트 (적,녹,청)
227D
제4 메모리
223D
229D
메모리 제어 · 위상 조정 회로
동기 신호 (Vsync, Hsync, DE)
222D
Reset
클럭 발생 회로
제1 클럭 신호
제2 클럭 신호

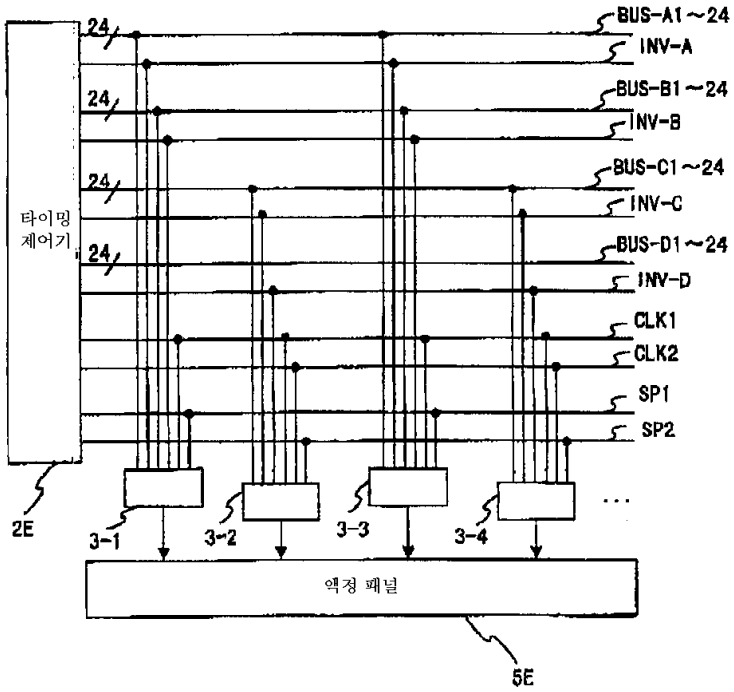
도면19


제1 클럭 신호
제2 클럭 신호
A 포트 데이터
RA0 ~ RAx R0 R128 R2 R130 R4 · · · R252 R380 R254 R382 · · ·
GA0 ~ GAx G0 G128 G2 G130 G4 · · · G252 G380 G254 G382 · · ·
BA0 ~ BAx B0 B128 B2 B130 B4 · · · B252 B380 B254 B382 · · ·
B 포트 데이터
RB0 ~ RBx R1 R129 R3 R131 R5 · · · R253 R381 R255 R383 · · ·
GB0 ~ GBx G1 G129 G3 G131 G5 · · · G253 G381 G255 G383 · · ·
BB0 ~ BBx B1 B129 B3 B131 B5 · · · B253 B381 B255 B383 · · ·
C 포트 데이터
RC0 ~ RCx R256 R384 R258 R386 R260 · · · R508 R636 R510 R638 · · ·
GC0 ~ GCy G256 G384 G258 G386 G260 · · · G508 G636 G510 G638 · · ·
BC0 ~ BCz B256 B384 B258 B386 B260 · · · B508 B636 B510 B638 · · ·
D 포트 데이터
RD0 ~ RDx R257 R385 R259 R387 R261 · · · R509 R637 R511 R639 · · ·
GD0 ~ GDy G257 G385 G259 G387 G261 · · · G509 G637 G511 G639 · · ·
BD0 ~ BDz B257 B385 B259 B387 B261 · · · B509 B637 B511 B639 · · ·

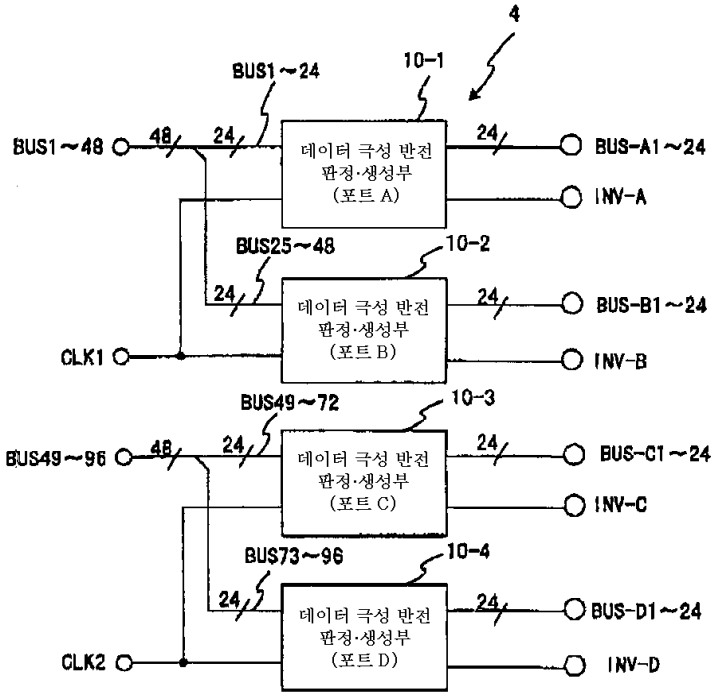
도면20


제1 클럭 신호
제2 클럭 신호
A 포트 데이터
RA0 ~ RAx R0 R128 R2 R130 R4 ··· R512 R640 R514 R642 ···
GA0 ~ GAx G0 G128 G2 G130 G4 ··· G512 G640 G514 G642 ···
BA0 ~ BAx B0 B128 B2 R130 B4 ··· B512 B640 B514 B642 ···
B 포트 데이터
RB0 ~ RBx R1 R129 R3 R131 R5 ··· R513 R641 R515 R643 ···
GB0 ~ GBx G1 G129 G3 G131 G5 ··· G513 G641 G515 G643 ···
BB0 ~ BBx B1 B129 B3 B131 B5 ··· B513 B641 B515 B643 ···
C 포트 데이터
RC0 ~ RCx R256 R384 R258 R386 R260 ··· R768 R896 R770 R898 ···
GC0 ~ GCx G256 G384 G258 G386 G260 ··· G768 G896 G770 G898 ···
BC0 ~ BCx B256 B384 B258 B386 B260 ··· B768 B896 B770 B898 ···
D 포트 데이터
RD0 ~ RDx R257 R385 R259 R387 R261 ··· R769 R897 R771 R899 ···
GD0 ~ GDx G257 G385 G259 G387 G261 ··· G769 G897 G771 G899 ···
BD0 ~ BDx B257 B385 B259 B387 B261 ··· B769 B897 B771 B899 ···

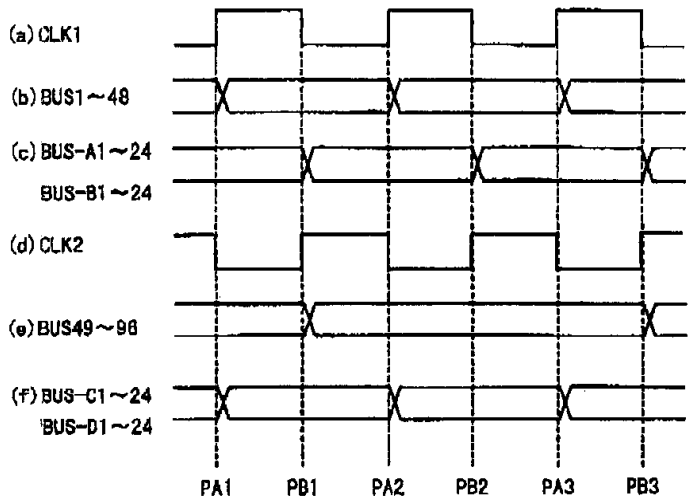
도면21


타이밍 제어기
24
BUS-A1 ~24
INV-A
BUS-B1 ~24
INV-B
BUS-C1 ~24
INV-C
BUS-D1 ~24
INV-D
CLK1
CLK2
SP1
SP2
2E
3-1
3-2
3-3
3-4
액정 패널
5E

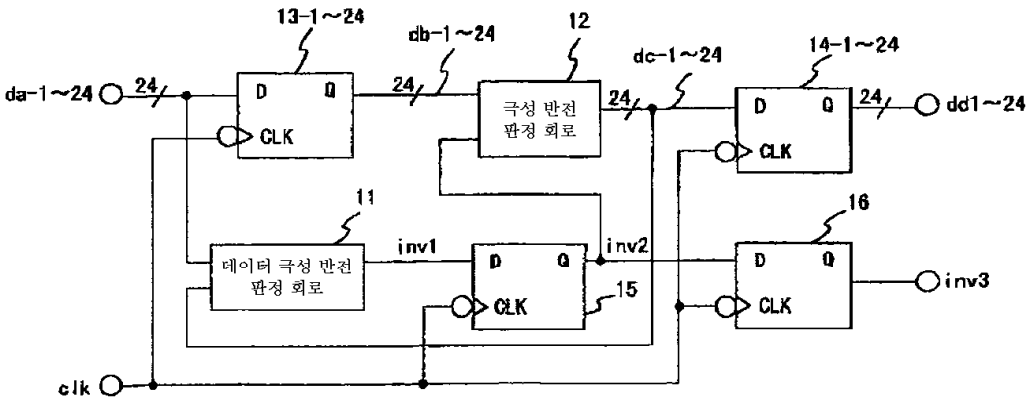
도면22



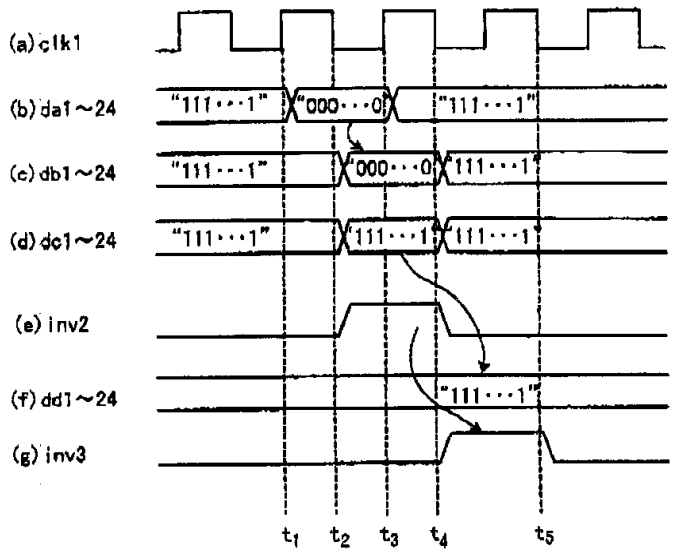
도면23



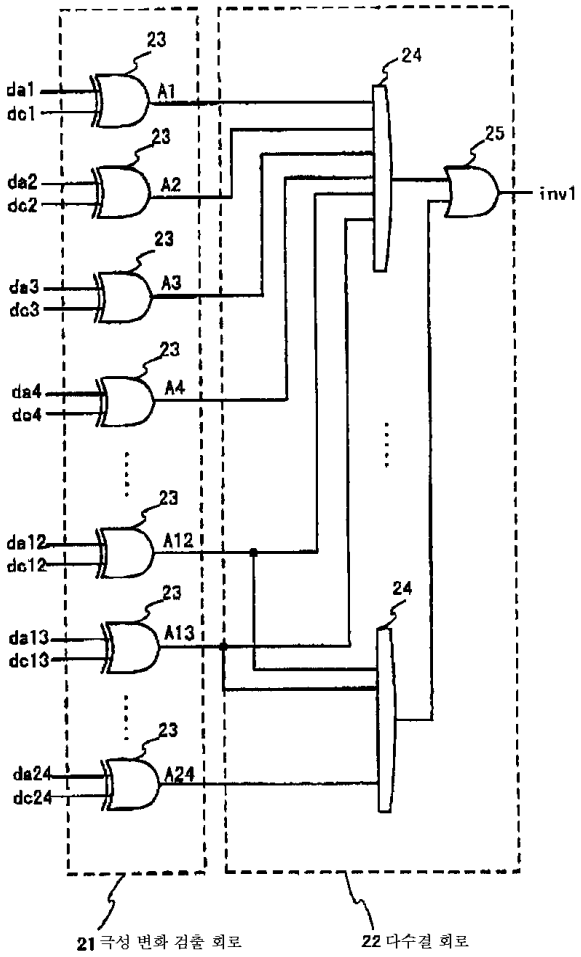
도면24



도면25


(a) clk1
(b) da1~24
(c) db1~24
(d) dc1~24
(e) inv2
(f) dd1~24
(g) inv3
"111···1"
"000···0"
t1
t2
t3
t4
t5

도면26


23
24
25
da1
dc1
A1
da2
dc2
A2
da3
dc3
A3
da4
dc4
A4
da12
dc12
A12
da13
dc13
A13
da24
dc24
A24
inv1
21 극성 변화 검출 회로
22 다수결 회로

도면27

n	1	2	3	4	5	.....	22	23	24
dan	H	H	L	H	H	.....	H	H	H
dcn	H	L	H	L	L	.....	H	L	H
An	L	H	H	H	H	.....	L	H	L

도면28

(a)

n	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Xn	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
Yn	H	H	H	H	H	H	H	L	L	L	L	L	H	H	H	H	H	L	L	L	L	L	L	L
Zn	H	H	H	H	H	H	H	L	L	L	L	L	H	H	H	H	H	L	L	L	L	L	L	L

(b)

n	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Xn	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
Yn	H	H	H	H	H	H	H	L	L	L	L	L	H	H	H	H	H	L	L	L	L	L	L	L
Zn	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	L	L	L	L	L	L	L

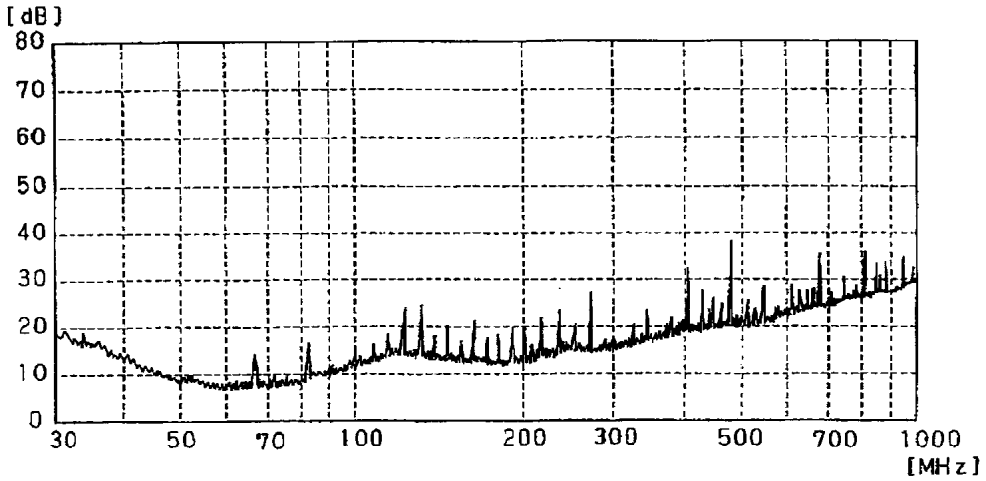
(c)

n	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Xn	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
Yn	H	H	H	H	H	H	H	H	L	L	L	L	H	H	H	H	L	L	L	L	L	L	L	L
Zn	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	L	L	L	L	L	L	L	L

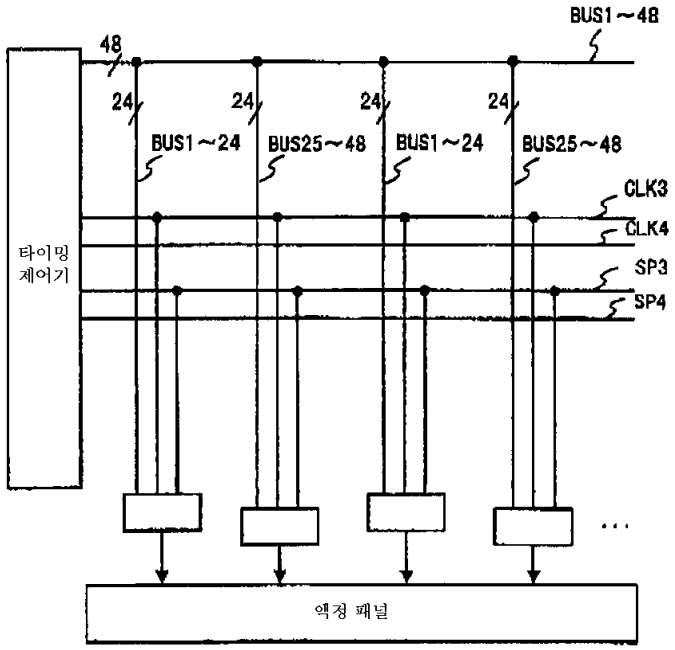
(d)

n	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Xn	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
Yn	H	H	H	H	H	H	H	H	H	L	L	L	H	H	H	L	L	L	L	L	L	L	L	L
Zn	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	L	L	L	L	L	L	L	L	L

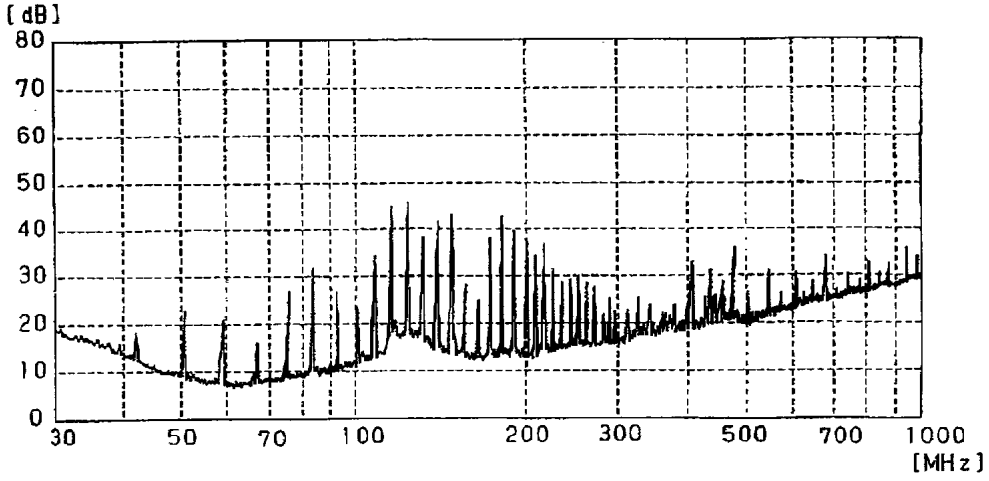
도면29



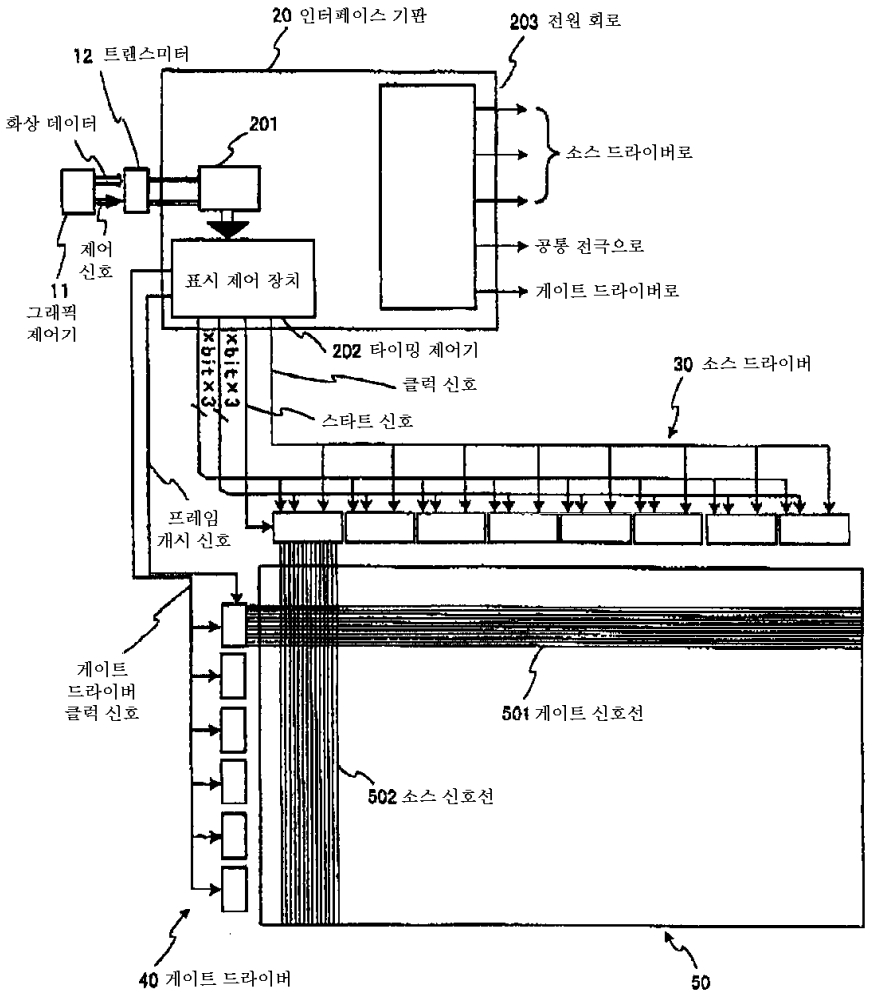
도면30


BUS1～48
48
24
24
24
24
BUS1～24
BUS25～48
BUS1～24
BUS25～48
CLK3
CLK4
SP3
SP4
타이밍
제어기
액정 패널

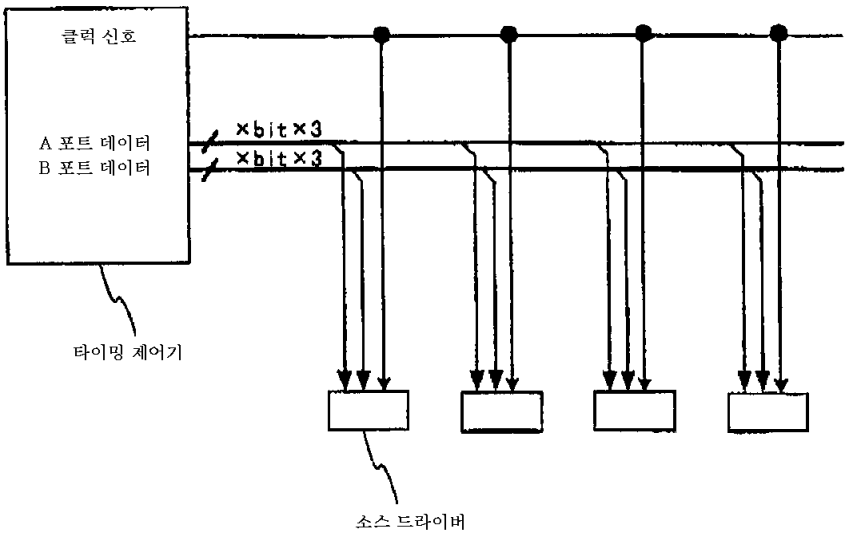
도면31


[dB]
80
70
60
50
40
30
20
10
0
30
50
70
100
200
300
500
700
1000
[MHz]

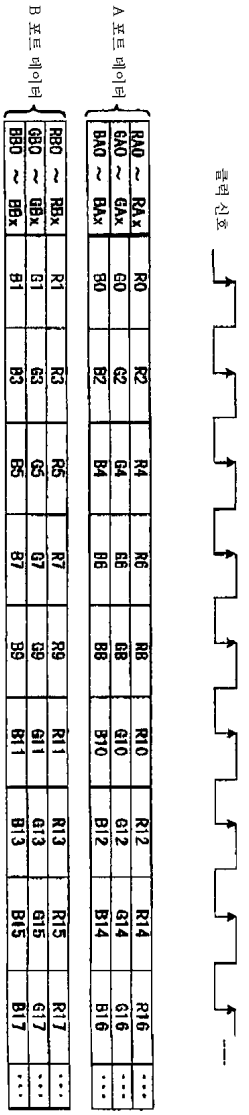
도면32


20 인터페이스 기판
203 전원 회로
12 트랜스미터
화상 데이터
201
소스 드라이버로
제어
신호
표시 제어 장치
공통 전극으로
게이트 드라이버로
11
그래픽
제어기
202 타이밍 제어기
xbit×3
클럭 신호
30 소스 드라이버
스타트 신호
프레임
개시 신호
게이트
드라이버
클럭 신호
501 게이트 신호선
502 소스 신호선
40 게이트 드라이버
50

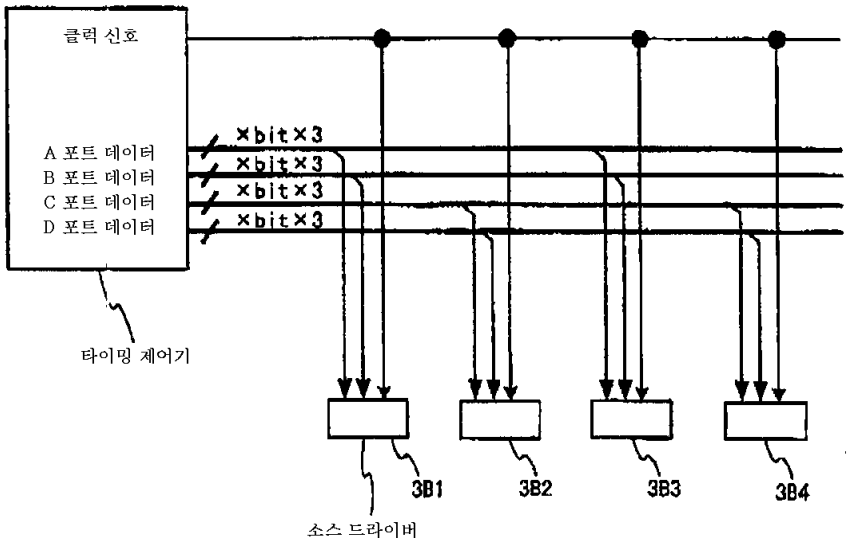
도면33


클럭 신호
A 포트 데이터
B 포트 데이터
×bit×3
×bit×3
타이밍 제어기
소스 드라이버

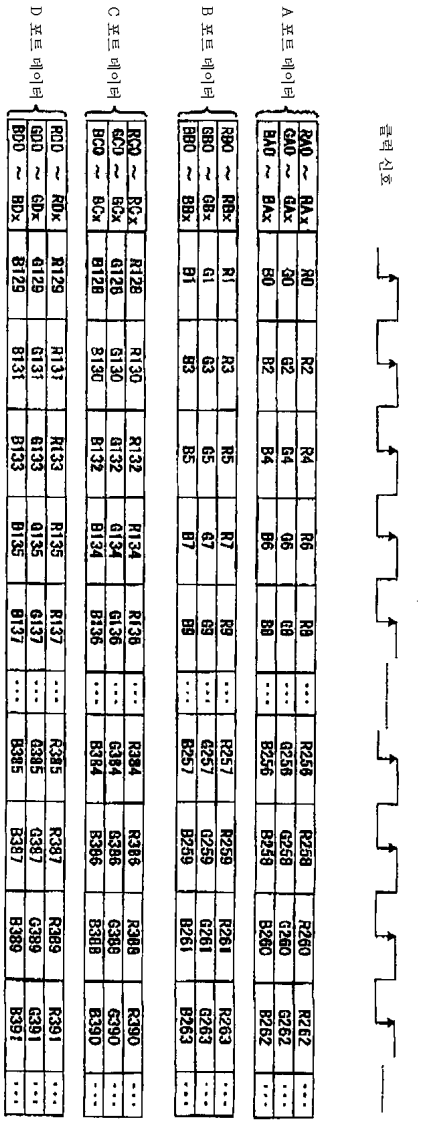
도면34


A 포트 데이터
B 포트 데이터
클럭 신호

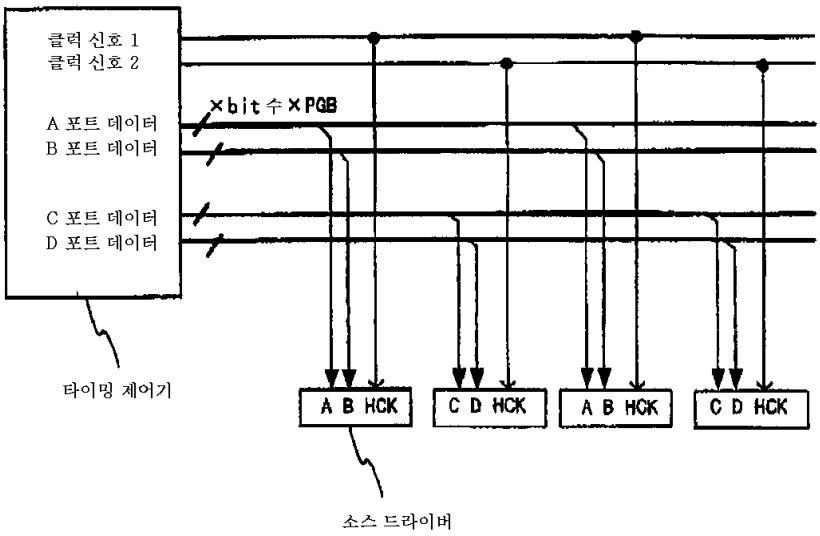
도면35


클럭 신호
A 포트 데이터
B 포트 데이터
C 포트 데이터
D 포트 데이터
×bit×3
×bit×3
×bit×3
×bit×3
타이밍 제어기
3B1
3B2
3B3
3B4
소스 드라이버

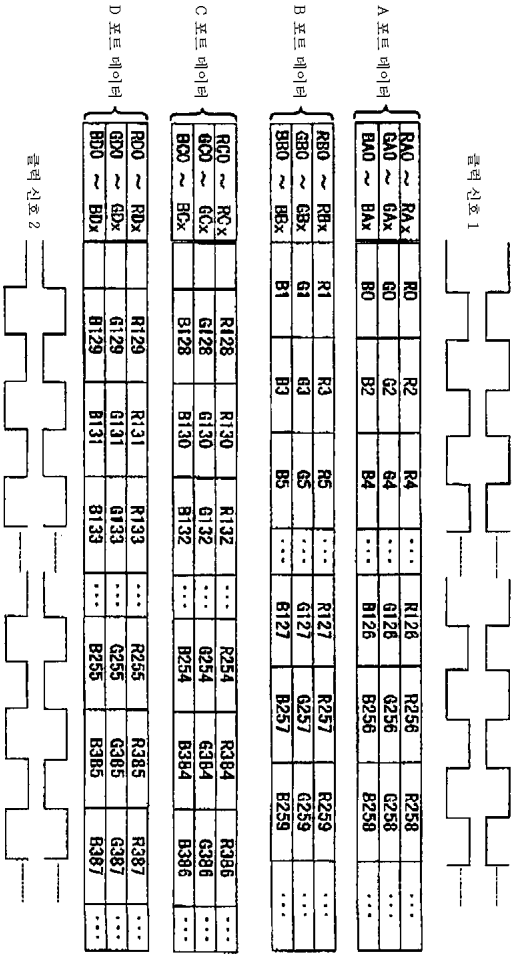
도면36


클럭 신호
A 포트 데이터
B 포트 데이터
C 포트 데이터
D 포트 데이터

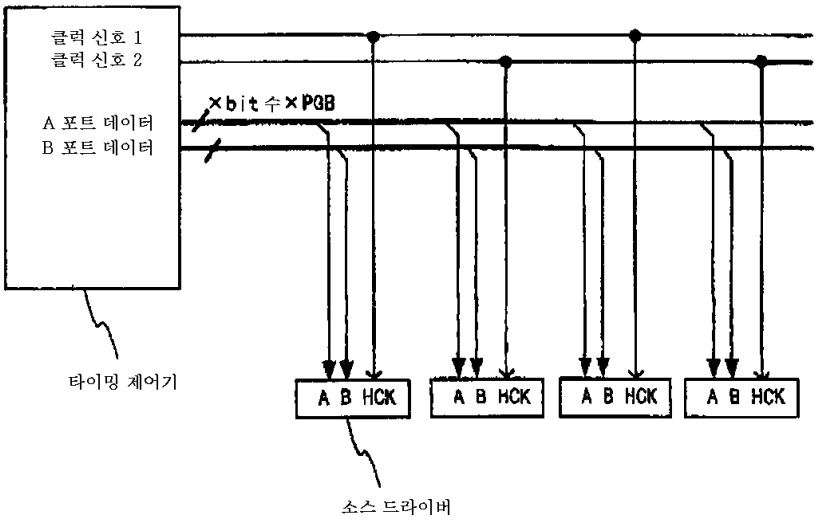
도면37


클럭 신호 1
클럭 신호 2
A 포트 데이터
B 포트 데이터
C 포트 데이터
D 포트 데이터
×bit 수×PGB
타이밍 제어기
A B HCK
C D HCK
A B HCK
C D HCK
소스 드라이버

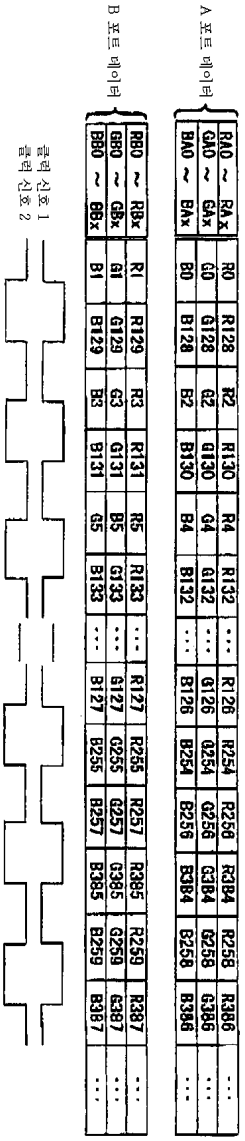
도면38


클럭 신호 1
클럭 신호 2
A 포트 데이터
B 포트 데이터
C 포트 데이터
D 포트 데이터

도면39


클럭 신호 1
클럭 신호 2
A 포트 데이터
B 포트 데이터
×bit 수×PCB
타이밍 제어기
A B HCK
A B HCK
A B HCK
A B HCK
소스 드라이버

도면40



专利名称(译)	液晶显示器的驱动方法和驱动电路		
公开(公告)号	KR100433148B1	公开(公告)日	2004-05-27
申请号	KR1020010085961	申请日	2001-12-27
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	FUJIMOTO KAZUSHI 후지모또가즈시 TAKEMOTO TAKAHIRO 다께모또다까히로		
发明人	후지모또가즈시 다께모또다까히로		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G2310/027 G09G3/3611 G09G3/3685 G09G2310/0297		
代理人(译)	CHANG, SOO KIL		
优先权	2000399460 2000-12-27 JP		
其他公开文献	KR1020020059240A		
外部链接	Espacenet		

摘要(译)

一种驱动液晶显示装置的方法，包括：将具有原始数据速率的原始图像数据分支为包括多个系统的分支多系统图像数据，所述多个系统具有等于所述原始数据速率或所述原始数据的一半的转换数据速率。数据速率;与至少一个时钟频率同步的时钟信号提供具有所述分支多系统图像数据的源驱动器电路，所述时钟频率是所述原始数据速率的四分之一;并且允许所述源极驱动器电路进一步将所述分支的多系统图像数据分支成灰度电压信号。用于驱动液晶显示装置的电路可包括：定时控制器;多条数据总线;多个源极驱动电路，用于与所述至少一个时钟信号同步地合并所述图像数据，并将所述图像数据转换成灰度电压信号。