



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0111233
(43) 공개일자 2008년12월23일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0059333

(22) 출원일자 2007년06월18일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

남현우

충남 아산시 탕정면 명암리 크리스탈 큐빅동 150
4호

성환준

충남 천안시 쌍용2동 월봉일성아파트 509동 501호
(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 13 항

(54) 액정 표시 장치의 구동 장치와 이를 포함하는 액정 표시장치

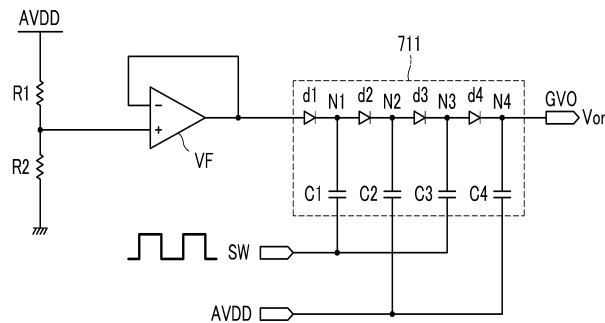
(57) 요약

본 발명은 액정 표시 장치의 구동 장치와 이를 포함하는 액정 표시 장치에 관한 것이다.

본 발명의 한 실시예에 따른 상기 게이트 온 전압 생성부는, 소정 기준 전압과 접지 전압 사이에 연결되어 있는 제1 및 제2 저항, 상기 제1 저항과 상기 제2 저항 사이의 접점에 연결되어 있는 전압 폴로어(voltage follower), 상기 전압 폴로어의 출력단에 연결되어 있는 전하 펌프 회로, 그리고 상기 전하 펌프 회로에 연결되어 있는 게이트 온 전압 출력 단자를 포함한다.

이와 같이, 전하 펌프 회로의 전단에 전압 폴로어를 두어 부하의 변동으로 인한 영향을 차단하여 블랭크 시간에 게이트 온 전압이 급격히 상승하는 것을 방지할 수 있다. 또한, 저항값이 동일한 두 저항을 통하여 기준 전압을 분배함으로써 저항에 걸리는 스트레스를 최소화할 수 있다.

대표도 - 도6



710

(72) 발명자
전명하
충남 천안시 두정동 1945 번지 203 호
권혁태
대구 남구 대명동 2564-32

박효현
대구 수성구 지산동 1073-1

특허청구의 범위

청구항 1

게이트 온 전압을 생성하는 게이트 온 전압 생성부와 게이트 오프 전압을 생성하는 게이트 오프 전압 생성부를 포함하는 액정 표시 장치의 구동 장치로서,

상기 게이트 온 전압 생성부는

소정 기준 전압과 접지 전압 사이에 연결되어 있는 제1 및 제2 저항,

상기 제1 저항과 상기 제2 저항 사이의 접점에 연결되어 있는 전압 폴로어(voltage follower),

상기 전압 폴로어의 출력단에 연결되어 있는 전하 펌프 회로, 그리고

상기 전하 펌프 회로에 연결되어 있는 게이트 온 전압 출력 단자

를 포함하는

액정 표시 장치의 구동 장치.

청구항 2

제1항에서,

상기 제1 및 제2 저항의 저항값은 동일한 액정 표시 장치의 구동 장치.

청구항 3

제2항에서,

상기 전하 펌프 회로는

상기 전압 폴로어의 출력단과 상기 게이트 온 전압 출력 단자 사이에 차례로 연결되어 있는 제1 내지 제4 다이오드,

상기 제1 다이오드와 제2 다이오드 사이의 제1 노드에 일단이 연결되어 있고 타단이 스위칭 전압을 입력받는 제1 축전기,

상기 제2 다이오드와 상기 제3 다이오드 사이의 제2 노드에 연결되어 있고 타단이 상기 기준 전압을 입력받는 제2 축전기,

상기 제3 다이오드와 상기 제4 다이오드 사이의 제3 노드에 연결되어 있고 타단이 상기 스위칭 전압을 입력받는 제3 축전기, 그리고

상기 제4 다이오드와 상기 게이트 온 전압 출력 단자 사이의 제4 노드에 일단이 연결되어 있고 타단이 상기 기준 전압을 입력받는 제4 축전기

를 포함하는

액정 표시 장치의 구동 장치.

청구항 4

제3항에서,

상기 게이트 온 전압과 상기 게이트 오프 전압을 입력받아 복수의 클록 신호를 생성하는 클록 신호 생성부를 더 포함하는 액정 표시 장치의 구동 장치.

청구항 5

제4항에서,

상기 클록 신호를 기초로 게이트 전압을 생성하는 게이트 구동부를 더 포함하는 액정 표시 장치의 구동 장치.

청구항 6

제5항에서,

상기 게이트 구동부는 상기 게이트 전압을 순차적으로 생성하는 복수의 스테이지를 포함하고,
상기 스테이지는 상기 액정 표시 장치에 집적되어 있는 액정 표시 장치의 구동 장치.

청구항 7

제1항에서,

상기 기준 전압은 12V이고, 상기 스위칭 전압은 0V와 12V 사이의 값을 갖는 액정 표시 장치의 구동 장치.

청구항 8

행렬로 배치되어 있는 복수의 화소와 이에 연결되어 있는 스위칭 소자,

상기 스위칭 소자를 순차적으로 턴온 및 턴오프시키기 위한 구동 전압을 생성하는 게이트 구동부, 그리고

게이트 온 전압을 생성하는 게이트 온 전압 생성부와 게이트 오프 전압을 생성하는 게이트 오프 전압 생성부를 포함하는 게이트 전압 생성부

를 포함하고,

상기 게이트 온 전압 생성부는

소정 기준 전압과 접지 전압 사이에 연결되어 있는 제1 및 제2 저항,

상기 제1 저항과 상기 제2 저항 사이의 접점에 연결되어 있는 전압 폴로어,

상기 전압 폴로어의 출력단에 연결되어 있는 전하 펌프 회로, 그리고

상기 전하 펌프 회로에 연결되어 있는 게이트 온 전압 출력 단자

를 포함하는

액정 표시 장치.

청구항 9

제8항에서,

상기 제1 및 제2 저항의 저항값은 동일한 액정 표시 장치.

청구항 10

제9항에서,

상기 전하 펌프 회로는

상기 전압 폴로어의 출력단과 상기 게이트 온 전압 출력 단자 사이에 차례로 연결되어 있는 제1 내지 제4 다이오드,

상기 제1 다이오드와 제2 다이오드 사이의 제1 노드에 일단이 연결되어 있고 타단이 스위칭 전압을 입력받는 제1 축전기,

상기 제2 다이오드와 상기 제3 다이오드 사이의 제2 노드에 연결되어 있고 타단이 상기 기준 전압을 입력받는 제2 축전기,

상기 제3 다이오드와 상기 제4 다이오드 사이의 제3 노드에 연결되어 있고 타단이 상기 스위칭 전압을 입력받는 제3 축전기, 그리고

상기 제4 다이오드와 상기 게이트 온 전압 출력 단자 사이의 제4 노드에 일단이 연결되어 있고 타단이 상기 기준 전압을 입력받는 제4 축전기

를 포함하는
액정 표시 장치.

청구항 11

제10항에서,
상기 게이트 온 전압과 상기 게이트 오프 전압을 입력받아 복수의 클록 신호를 생성하는 클록 신호 생성부를 더 포함하는 액정 표시 장치.

청구항 12

제11항에서,
상기 게이트 구동부는 상기 클록 신호를 기초로 상기 구동 전압을 생성하는 액정 표시 장치.

청구항 13

제12항에서,
상기 게이트 구동부는 상기 구동 전압을 순차적으로 생성하는 복수의 스테이지를 포함하고,
상기 스테이지는 상기 액정 표시 장치에 집적되어 있는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <30> 본 발명은 액정 표시 장치의 구동 장치 및 이를 포함하는 액정 표시 장치에 관한 것이다.
- <31> 최근, 무겁고 큰 음극선관(cathode ray tube, CRT)을 대신하여 유기 발광 표시 장치(organic light emitting display, OLED), 플라즈마 표시 장치(plasma display panel, PDP), 액정 표시 장치(liquid crystal display, LCD)와 같은 평판 표시 장치가 활발히 개발 중이다.
- <32> PDP는 기체 방전에 의하여 발생하는 플라즈마를 이용하여 문자나 영상을 표시하는 장치이며, OLED는 특정 유기 물 또는 고분자들의 전계 발광을 이용하여 문자 또는 영상을 표시한다. 액정 표시 장치는 두 표시판의 사이에 들어 있는 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.
- <33> 이러한 평판 표시 장치 중에서 예를 들어 액정 표시 장치는 스위칭 소자를 포함하는 화소와 표시 신호선이 구비된 표시판, 그리고 표시 신호선 중 게이트선에 게이트 신호를 내보내어 화소의 스위칭 소자를 턴온/오프시키는 게이트 구동부, 즉 시프트 레지스터를 포함한다.
- <34> 시프트 레지스터는 서로 연결되어 있는 복수의 스테이지를 포함하며, 각 스테이지는 복수의 트랜지스터를 포함한다.
- <35> 이 시프트 레지스터는 복수의 클록 신호에 동기하여 게이트 온 전압과 게이트 오프 전압을 순차적으로 게이트선에 인가한다.

발명이 이루고자 하는 기술적 과제

- <36> 이때, 게이트 온 전압과 게이트 오프 전압을 생성하는 게이트 전압 생성부는 소정 기준 전압을 입력받아 전하 펌프 회로를 이용하여 원하는 게이트 전압을 생성하여 게이트 구동부와 클록 신호를 생성하는 클록 신호 생성부로 내보낸다.
- <37> 그런데, 프레임과 프레임 사이에는 클록 신호가 생성되지 않는 블랭크 시간(blank time)이 있으며, 이 블랭크 시간에 게이트 온 전압이 크게 상승하여 집적 회로로 이루어지는 게이트 전압 생성부의 동작 사양(operation

specification)의 허용 한계치에 근접하거나 넘어서는 경우가 있다.

<38> 따라서, 본 발명이 이루고자 하는 기술적 과제는 게이트 전압 생성부의 동작 사양을 충족시킬 수 있는 액정 표시 장치의 구동 장치와 이를 포함하는 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

<39> 본 발명의 한 실시예에 따라 게이트 온 전압을 생성하는 게이트 온 전압 생성부와 게이트 오프 전압을 생성하는 게이트 오프 전압 생성부를 포함하는 액정 표시 장치의 구동 장치로서, 상기 게이트 온 전압 생성부는, 소정 기준 전압과 접지 전압 사이에 연결되어 있는 제1 및 제2 저항, 상기 제1 저항과 상기 제2 저항 사이의 접점에 연결되어 있는 전압 폴로어(voltage follower), 상기 전압 폴로어의 출력단에 연결되어 있는 전하 펌프 회로, 그리고 상기 전하 펌프 회로에 연결되어 있는 게이트 온 전압 출력 단자를 포함한다.

<40> 이때, 상기 제1 및 제2 저항의 저항값은 동일할 수 있다.

<41> 또한, 상기 전하 펌프 회로는, 상기 전압 폴로어의 출력단과 상기 게이트 온 전압 출력 단자 사이에 차례로 연결되어 있는 제1 내지 제4 다이오드, 상기 제1 다이오드와 제2 다이오드 사이의 제1 노드에 일단이 연결되어 있고 타단이 스위칭 전압을 입력받는 제1 축전기, 상기 제2 다이오드와 상기 제3 다이오드 사이의 제2 노드에 연결되어 있고 타단이 상기 기준 전압을 입력받는 제2 축전기, 상기 제3 다이오드와 상기 제4 다이오드 사이의 제3 노드에 연결되어 있고 타단이 상기 스위칭 전압을 입력받는 제3 축전기, 그리고 상기 제4 다이오드와 상기 게이트 온 전압 출력 단자 사이의 제4 노드에 일단이 연결되어 있고 타단이 상기 기준 전압을 입력받는 제4 축전기를 포함한다.

<42> 또한, 상기 액정 표시 장치의 구동 장치는 상기 게이트 온 전압과 상기 게이트 오프 전압을 입력받아 복수의 클록 신호를 생성하는 클록 신호 생성부를 더 포함할 수 있다.

<43> 또한, 상기 클록 신호를 기초로 게이트 전압을 생성하는 게이트 구동부를 더 포함할 수 있다.

<44> 이때, 상기 게이트 구동부는 상기 게이트 전압을 순차적으로 생성하는 복수의 스테이지를 포함하고, 상기 스테이지는 상기 액정 표시 장치에 집적되어 있을 수 있다.

<45> 한편, 상기 기준 전압은 12V이고, 상기 스위칭 전압은 0V와 12V 사이의 값을 가질 수 있다.

<46> 본 발명의 한 실시예에 따른 액정 표시 장치는 행렬로 배치되어 있는 복수의 화소와 이에 연결되어 있는 스위칭 소자, 상기 스위칭 소자를 순차적으로 턴온 및 턴오프시키기 위한 구동 전압을 생성하는 게이트 구동부, 그리고 게이트 온 전압을 생성하는 게이트 온 전압 생성부와 게이트 오프 전압을 생성하는 게이트 오프 전압 생성부를 포함하는 게이트 전압 생성부를 포함하고, 상기 게이트 온 전압 생성부는, 소정 기준 전압과 접지 전압 사이에 연결되어 있는 제1 및 제2 저항, 상기 제1 저항과 상기 제2 저항 사이의 접점에 연결되어 있는 전압 폴로어, 상기 전압 폴로어의 출력단에 연결되어 있는 전하 펌프 회로, 그리고 상기 전하 펌프 회로에 연결되어 있는 게이트 온 전압 출력 단자를 포함한다.

<47> 이때, 상기 제1 및 제2 저항의 저항값은 동일할 수 있다.

<48> 상기 전하 펌프 회로는, 상기 전압 폴로어의 출력단과 상기 게이트 온 전압 출력 단자 사이에 차례로 연결되어 있는 제1 내지 제4 다이오드, 상기 제1 다이오드와 제2 다이오드 사이의 제1 노드에 일단이 연결되어 있고 타단이 스위칭 전압을 입력받는 제1 축전기, 상기 제2 다이오드와 상기 제3 다이오드 사이의 제2 노드에 연결되어 있고 타단이 상기 기준 전압을 입력받는 제2 축전기, 상기 제3 다이오드와 상기 제4 다이오드 사이의 제3 노드에 연결되어 있고 타단이 상기 스위칭 전압을 입력받는 제3 축전기, 그리고 상기 제4 다이오드와 상기 게이트 온 전압 출력 단자 사이의 제4 노드에 일단이 연결되어 있고 타단이 상기 기준 전압을 입력받는 제4 축전기를 포함할 수 있다.

<49> 상기 액정 표시 장치는 상기 게이트 온 전압과 상기 게이트 오프 전압을 입력받아 복수의 클록 신호를 생성하는 클록 신호 생성부를 더 포함할 수 있다.

<50> 또한, 상기 게이트 구동부는 상기 클록 신호를 기초로 상기 구동 전압을 생성할 수 있다.

<51> 이때, 상기 게이트 구동부는 상기 구동 전압을 순차적으로 생성하는 복수의 스테이지를 포함하고, 상기 스테이지는 상기 액정 표시 장치에 집적되어 있을 수 있다.

<52> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자

가 용이하게 실시할 수 있도록 상세히 설명한다.

- <53> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <54> 먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.
- <55> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <56> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 게이트 구동부(400)에 연결된 게이트 전압 생성부(700)와 클럭 신호 생성부(750), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- <57> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1-G_n , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- <58> 신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 복수의 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- <59> 각 화소(PX), 예를 들면 i 번째($i=1, 2, \dots, n$) 게이트선(G_i)과 j 번째($j=1, 2, \dots, m$) 데이터선(D_j)에 연결된 화소(PX)는 신호선(G_i, D_j)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.
- <60> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(G_i)과 연결되어 있고, 입력 단자는 데이터선(D_j)과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)와 연결되어 있다.
- <61> 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- <62> 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- <63> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.
- <64> 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.
- <65> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 별개의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 별 중 한 별은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 별은

음의 값을 가진다.

- <66> 게이트 구동부(400)는 화소(PX)의 스위칭 소자(Q)와 동일한 공정으로 형성되어 액정 표시판 조립체(300)에 집적되어 있으며, 액정 표시판 조립체(300)의 게이트선(G_1-G_n)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.
- <67> 게이트 전압 생성부(700)는 게이트 온 전압(Von)을 생성하는 게이트 온 전압 생성부(710)와 게이트 오프 전압(Voff)을 생성하는 게이트 오프 전압 생성부(720)를 포함하며, 게이트 온 전압(Von)은 클록 신호 생성부(750)로 보내지고, 게이트 오프 전압(Voff)은 클록 신호 생성부(750)와 게이트 구동부(400)로 보내진다.
- <68> 클록 신호 생성부(750)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 입력받아 위상이 서로 다른 복수의 클록 신호(CLK1, CLK2)를 생성하여 게이트 구동부(400)로 내보낸다.
- <69> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 있으며, 게조 전압 생성부(800)로부터의 게조 전압을 선택하고 이를 데이터 신호로서 데이터선(D_1-D_m)에 인가한다. 그러나 게조 전압 생성부(800)가 모든 게조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 게조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 게조 전압을 분압하여 전체 게조에 대한 게조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.
- <70> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- <71> 이러한 구동 장치(500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(500, 600, 800)가 신호선(G_1-G_n , D_1-D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- <72> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.
- <73> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <74> 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- <75> 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클록 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.
- <76> 데이터 제어 신호(CONT2)는 한 행[묶음]의 화소(PX)에 대한 영상 데이터의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.
- <77> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행[묶음]의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 게조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D_1-D_m)에 인가한다.
- <78> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G_1-G_n)에 인가하여 이 게이트선(G_1-G_n)에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D_1-D_m)에

인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.

- <79> 화소(PX)에 인가된 데이터 신호의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C1c)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.
- <80> 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G₁-G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.
- <81> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- <82> 그러면 본 발명의 실시예에 따른 액정 표시 장치의 게이트 구동부에 대하여 도 3 내지 도 5를 참조하여 좀 더 상세히 설명한다.
- <83> 도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다. 도 4는 도 3에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도의 한 예이며, 도 5는 도 3에 도시한 게이트 구동부의 신호 파형도이다.
- <84> 도 3에 도시한 게이트 구동부(400)는 일렬로 배열되어 있으며 게이트선(G₁-G_n)에 각각 연결되어 있는 복수의 스테이지(410)를 포함하는 시프트 레지스터로서, 주사 시작 신호(STV), 초기화 신호(INT), 복수의 클럭 신호(CLK1, CLK2) 및 게이트 오프 전압(Voff)이 입력된다. 각 게이트선(G₁-G_n)의 끝에는 NMOS 트랜지스터(T14)가 연결되어 있으며 게이트 오프 전압(Voff)이 입력된다.
- <85> 각 스테이지(410)는 세트 단자(S), 게이트 전압 단자(GV), 한 쌍의 클럭 단자(CK1, CK2), 리세트 단자(R), 프레임 리세트 단자(FR), 그리고 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있다. 다만, 마지막 터미 스테이지는 리세트 단자(R)와 프레임 리세트 단자(FR)를 가지고 있지 않다.
- <86> 각 스테이지, 예를 들면 j 번째 스테이지(ST_j)의 세트 단자(S)에는 전단 스테이지(ST_{j-1})의 캐리 출력, 즉 전단 캐리 출력[Cout(j-1)]이, 리세트 단자(R)에는 후단 스테이지(ST_{j+1})의 게이트 출력, 즉 후단 게이트 출력[Gout(j+1)]이 입력되고, 클럭 단자(CK1, CK2)에는 클럭 신호(CLK1, CLK2)가 입력되며, 게이트 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력된다. 게이트 출력 단자(OUT1)는 게이트 출력[Gout(j)]을 내보내고 캐리 출력 단자(OUT2)는 캐리 출력[Cout(j)]을 내보낸다.
- <87> 단, 시프트 레지스터(400)의 첫 번째 스테이지에는 전단 캐리 출력 대신 주사 시작 신호(STV)가 입력된다. 또한, j 번째 스테이지(ST_j)의 클럭 단자(CK1)에 클럭 신호(CLK1)가, 클럭 단자(CK2)에 클럭 신호(CLK2)가 입력되는 경우, 이에 인접한 (j-1)번째 및 (j+1)번째 스테이지(ST_{j-1}, ST_{j+1})의 클럭 단자(CK1)에는 클럭 신호(CLK2)가, 클럭 단자(CK2)에는 클럭 신호(CLK1)가 입력된다.
- <88> 각 클럭 신호(CLK1, CLK2)는 화소의 스위칭 소자(Q)를 구동할 수 있도록 전압 레벨이 하이인 경우는 게이트 온 전압(Von)과 같고 로우인 경우는 게이트 오프 전압(Voff)과 같다. 도 5에 도시한 바와 같이 각 클럭 신호(CLK1, CLK2)는 듀티비가 50%이고 두 클럭 신호(CLK1, CLK2)의 위상차는 180° 일 수 있다.
- <89> 도 4를 참고하면, 본 발명의 한 실시예에 따른 게이트 구동부(400)의 각 스테이지, 예를 들면 j 번째 스테이지는, 도 4에 도시한 바와 같이, 입력부(420), 풀업 구동부(430), 풀다운 구동부(440) 및 출력부(450)를 포함한다. 이들은 적어도 하나의 NMOS 트랜지스터(T1-T15)를 포함하며, 풀업 구동부(430)와 출력부(450)는 축전기(C1-C3)를 더 포함한다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C1-C3)는 실제로, 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있다.
- <90> 입력부(420)는 세트 단자(S)와 게이트 전압 단자(GV)에 차례로 직렬로 연결되어 있는 세 개의 트랜지스터(T11, T10, T5)를 포함한다. 트랜지스터(T11, T5)의 게이트는 클럭 단자(CK2)에 연결되어 있으며 트랜지스터(T5)의

게이트는 클록 단자(CK1)에 연결되어 있다. 트랜지스터(T11)와 트랜지스터(T10) 사이의 접점은 접점(J1)에 연결되어 있고, 트랜지스터(T10)와 트랜지스터(T11) 사이의 접점은 접점(J2)에 연결되어 있다.

<91> 풀업 구동부(430)는 세트 단자(S)와 접점(J1) 사이에 연결되어 있는 트랜지스터(T4)와 클록 단자(CK1)와 접점(J3) 사이에 연결되어 있는 트랜지스터(T12), 그리고 클록 단자(CK1)와 접점(J4) 사이에 연결되어 있는 트랜지스터(T7)를 포함한다. 트랜지스터(T4)의 게이트와 드레인은 세트 단자(S)에 공통으로 연결되어 있으며 소스는 접점(J1)에 연결되어 있고, 트랜지스터(T12)의 게이트와 드레인은 클록 단자(CK1)에 공통으로 연결되어 있고 소스는 접점(J3)에 연결되어 있다. 트랜지스터(T7)의 게이트는 접점(J3)에 연결되고 동시에 축전기(C1)를 통하여 클록 단자(CK1)에 연결되어 있고, 드레인은 클록 단자(CK1)에, 소스는 접점(J4)에 연결되어 있으며, 접점(J3)과 접점(J4) 사이에 축전기(C2)가 연결되어 있다.

<92> 풀다운 구동부(440)는 소스를 통하여 게이트 오프 전압(Voff)을 입력받아 드레인을 통하여 접점(J1, J2, J3, J4)으로 출력하는 복수의 트랜지스터(T6, T9, T13, T8, T3, T2)를 포함한다. 트랜지스터(T6)의 게이트는 프리 임 리세트 단자(FR)에, 드레인은 접점(J1)에 연결되어 있고, 트랜지스터(T9)의 게이트는 리세트 단자(R)에, 드레인은 접점(J1)에 연결되어 있으며, 트랜지스터(T13, T8)의 게이트는 접점(J2)에 공통으로 연결되어 있고, 드레인은 각각 접점(J3, J4)에 연결되어 있다. 트랜지스터(T3)의 게이트는 접점(J4)에, 트랜지스터(T2)의 게이트는 리세트 단자(R)에 연결되어 있으며, 두 트랜지스터(T3, T2)의 드레인은 접점(J2)에 연결되어 있다.

<93> 출력부(450)는 드레인과 소스가 각각 클록 단자(CK1)와 출력 단자(OUT1, OUT2) 사이에 연결되어 있고 게이트가 접점(J1)에 연결되어 있는 한 쌍의 트랜지스터(T1, T15)와 트랜지스터(T1)의 게이트와 드레인 사이, 즉 접점(J1)과 접점(J2) 사이에 연결되어 있는 축전기(C3)를 포함한다. 트랜지스터(T1)의 소스는 또한 접점(J2)에 연결되어 있다.

<94> 그러면 이러한 스테이지의 동작에 대하여 설명한다.

<95> 설명의 편의를 위하여 클록 신호(CLK1, CLK2)의 하이 레벨에 해당하는 전압의 크기는 게이트 온 전압(Von)과 동일하며 이를 고전압이라 하고, 클록 신호(CLK1, CLK2)의 로우 레벨에 해당하는 전압의 크기는 게이트 오프 전압(Voff)과 동일하고 이를 저전압이라 한다.

<96> 먼저, 클록 신호(CLK2) 및 전단 캐리 출력[Cout(j-1)]이 하이가 되면, 트랜지스터(T11, T5)와 트랜지스터(T4)가 턴온된다. 그러면 두 트랜지스터(T11, T4)는 고전압을 접점(J1)으로 전달하고, 트랜지스터(T5)는 저전압을 접점(J2)으로 전달한다. 이로 인해, 트랜지스터(T1, T15)가 턴온되어 클록 신호(CLK1)가 출력단(OUT1, OUT2)으로 출력되는데, 이 때 접점(J2)의 전압과 클록 신호(CLK1)가 모두 저전압이므로, 출력 전압[Gout(j), Cout(j)]은 저전압이 된다. 이와 동시에, 축전기(C3)는 고전압과 저전압의 차에 해당하는 크기의 전압을 충전한다.

<97> 이 때, 클록 신호(CLK1) 및 후단 게이트 출력[Gout(j+1)]은 로우이고 접점(J2) 또한 로우이므로, 이에 게이트가 연결되어 있는 트랜지스터(T10, T9, T12, T13, T8, T2)는 모두 오프 상태이다.

<98> 이어, 클록 신호(CLK2)가 로우가 되면 트랜지스터(T11, T5)가 턴오프되고, 이와 동시에 클록 신호(CLK1)가 하이가 되면 트랜지스터(T1)의 출력 전압 및 접점(J2)의 전압이 고전압이 된다. 이 때, 트랜지스터(T10)의 게이트에는 고전압이 인가되지만 접점(J2)에 연결되어 있는 소스의 전위가 또한 동일한 고전압이므로, 게이트 소스간 전위차가 0이 되어 트랜지스터(T10)는 턴오프 상태를 유지한다. 따라서, 접점(J1)은 부유 상태가 되고 이에 따라 축전기(C3)에 의하여 고전압만큼 전위가 더 상승한다.

<99> 한편, 클록 신호(CLK1) 및 접점(J2)의 전위가 고전압이므로 트랜지스터(T12, T13, T8)가 턴온된다. 이 상태에서 트랜지스터(T12)와 트랜지스터(T13)가 고전압과 저전압 사이에서 직렬로 연결되며, 이에 따라 접점(J3)의 전위는 두 트랜지스터(T12, T13)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압값을 가진다. 그런데, 두 트랜지스터(T13)의 턴온시 저항 상태의 저항값이 트랜지스터(T12)의 턴온시 저항 상태의 저항값에 비하여 매우 크게, 이를테면 약 10,000배 정도로 설정되어 있다고 하면 접점(J3)의 전압은 고전압과 거의 동일하다. 따라서, 트랜지스터(T7)가 턴온되어 트랜지스터(T8)와 직렬로 연결되고, 이에 따라 접점(J4)의 전위는 두 트랜지스터(T7, T8)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압값을 갖는다. 이 때, 두 트랜지스터(T7, T8)의 저항 상태의 저항값이 거의 동일하게 설정되어 있으면, 접점(J4)의 전위는 고전압과 저전압의 중간값을 가지고 이에 따라 트랜지스터(T3)는 턴오프 상태를 유지한다. 이 때, 후단 게이트 출력[Gout(j+1)]이 여전히 로우이므로 트랜지스터(T9, T2) 또한 턴오프 상태를 유지한다. 따라서, 출력단(OUT1, OUT2)은 클록 신호(CLK1)에만 연결되고 저전압과는 차단되어 고전압을 내보낸다.

<100> 한편, 축전기(C1)와 축전기(C2)는 양단의 전위차에 해당하는 전압을 각각 충전하는데, 접점(J3)의 전압이 접점

(J5)의 전압보다 낮다.

- <101> 이어, 후단 게이트 출력[Gout(j+1)] 및 클록 신호(CLK2)가 하이가 되고 클록 신호(CLK1)가 로우가 되면, 트랜지스터(T9, T2)가 턴온되어 접점(J1, J2)으로 저전압을 전달한다. 이 때, 접점(J1)의 전압은 축전기(C3)가 방전하면서 저전압으로 떨어지는데, 축전기(C3)의 방전 시간으로 인하여 저전압으로 완전히 내려가는 데는 어느 정도 시간을 필요로 한다. 따라서, 두 트랜지스터(T1, T15)는 후단 게이트 출력[Gout(j+1)]이 하이가 되고도 잠시동안 턴온 상태를 유지하게 되고 이에 따라 출력단(OUT1, OUT2)이 클록 신호(CLK1)와 연결되어 저전압을 내보낸다. 이어, 축전기(C3)가 완전히 방전되어 접점(J1)의 전위가 저전압에 이르면 트랜지스터(T15)가 턴오프되어 출력단(OUT2)이 클록 신호(CLK1)와 차단되므로, 캐리 출력[Cout(j)]은 부유 상태가 되어 저전압을 유지한다. 이와 동시에, 출력단(OUT1)은 트랜지스터(T1)가 턴오프되더라도 트랜지스터(T2)를 통하여 저전압과 연결되므로 계속해서 저전압을 내보낸다. 이때, 후단 스테이지(ST_{j+1})의 게이트 출력[Gout(j+1)]이 전단 게이트선(G_j)에 연결된 트랜지스터(T14)에 인가되어 트랜지스터(T14)는 턴온되고, 이에 따라 게이트 오프 전압(V_{off})을 게이트선(G_j)으로 출력한다. 그러면 게이트선(G_j)은 저전압으로 한 번더 고정된다.
- <102> 한편, 트랜지스터(T12, T13)가 턴오프되므로, 접점(J3)이 부유 상태가 된다. 또한 접점(J5)의 전압이 접점(J4)의 전압보다 낮아지는데 축전기(C1)에 의하여 접점(J3)의 전압이 접점(J5)의 전압보다 낮은 상태를 유지하므로 트랜지스터(T7)는 턴오프된다. 이와 동시에 트랜지스터(T8)도 턴오프 상태가 되므로 접점(J4)의 전압도 그만큼 낮아져 트랜지스터(T3) 또한 턴오프 상태를 유지한다. 또한, 트랜지스터(T10)는 게이트가 클록 신호(CLK1)의 저전압에 연결되고 접점(J2)의 전압도 로우이므로 턴오프 상태를 유지한다.
- <103> 다음, 클록 신호(CLK1)가 하이가 되면, 트랜지스터(T12, T7)가 턴온되고, 접점(J4)의 전압이 상승하여 트랜지스터(T3)를 턴온시켜 저전압을 접점(J2)으로 전달하므로 출력단(OUT1)은 계속해서 저전압을 내보낸다. 즉, 비록 후단 게이트 출력[Gout(j+1)]이 출력이 로우라 하더라도 접점(J2)의 전압이 저전압이 될 수 있도록 한다.
- <104> 한편, 트랜지스터(T10)의 게이트가 클록 신호(CLK1)의 고전압에 연결되고 접점(J2)의 전압이 저전압이므로 턴온되어 접점(J2)의 저전압을 접점(J1)으로 전달한다. 한편, 두 트랜지스터(T1, T15)의 드레인에는 클록 단자(CK1)가 연결되어 있어 클록 신호(CLK1)가 계속해서 인가된다. 특히, 트랜지스터(T1)는 나머지 트랜지스터들에 비하여 상대적으로 크게 만드는데, 이로 인해 게이트 드레인간 기생 용량이 커서 드레인의 전압 변화가 게이트 전압에 영향을 미칠 수 있다. 따라서, 클록 신호(CLK1)가 하이가 될 때 게이트 드레인간 기생 용량 때문에 게이트 전압이 올라가 트랜지스터(T1)가 턴온될 수도 있다. 따라서, 접점(J2)의 저전압을 접점(J1)으로 전달함으로써 트랜지스터(T1)의 게이트 전압을 저전압으로 유지하여 트랜지스터(T1)가 턴온되는 것을 방지한다.
- <105> 이후에는 전단 캐리 출력[Cout(j-1)]이 하이가 될 때까지 접점(J1)의 전압은 저전압을 유지하며, 접점(J2)의 전압은 클록 신호(CLK1)가 하이고 클록 신호(CLK2)가 로우일 때는 트랜지스터(T3)를 통하여 저전압이 되고, 그 반대의 경우에는 트랜지스터(T5)를 통하여 저전압을 유지한다.
- <106> 한편, 트랜지스터(T6)는 마지막 더미 스테이지(ST_{n+1})에서 발생하는 초기화 신호(INT)를 입력받아 게이트 오프 전압(V_{off})을 접점(J1)으로 전달하여 접점(J1)의 전압을 한번 더 저전압으로 설정한다.
- <107> 이러한 방식으로, 스테이지(410)는 전단 캐리 신호[Cout(j-1)] 및 후단 게이트 신호[Gout(j+1)]에 기초하고 클록 신호(CLK1, CLK2)에 동기하여 캐리 신호[Cout(j)] 및 게이트 신호[Gout(j)]를 생성한다.
- <108> 그러면, 도 6 내지 도 8을 참고로 하여 본 발명의 한 실시예에 따른 게이트 온 전압 생성부에 대하여 좀 더 상세히 설명한다.
- <109> 도 6은 본 발명의 한 실시예에 따른 게이트 온 전압 생성부의 회로도의 한 예이며, 도 7은 본 발명의 한 실시예에 따른 게이트 온 전압 생성부와 종래 기술에 따른 게이트 온 전압 생성부의 게이트 온 전압의 파형을 비교한 도면이고, 도 8은 종래 기술에 따른 게이트 온 전압 생성부를 나타내는 도면이다.
- <110> 도 6을 참고하면, 본 발명의 한 실시예에 따른 게이트 온 전압 생성부(710)는 기준 전압(AVDD)과 접지 전압 사이에 연결되어 있는 복수의 저항(R1, R2), 두 저항(R1, R2)의 접점에 연결되어 있는 전압 폴로어(voltage follower), 그리고 전하 펌프 회로(711)를 포함한다.
- <111> 전하 펌프 회로(711)는 전압 폴로어(VF)와 게이트 온 전압 출력 단자(GVO) 사이에 연결되어 있는 복수의 제1 내지 제4 다이오드, 그리고 제1 내지 제4 다이오드(d1-d4) 사이에 일단이 연결되어 있는 제1 내지 제3 축전기(C1, C2, C3)와 제4 다이오드(d4)와 게이트 온 전압 출력 단자(GVO) 사이에 일단이 연결되어 있는 제4 축전기를 포함

한다. 제1 및 제3 축전기(C1, C3)의 타단은 스위칭 전압(SW)을 입력받으며, 제2 및 제4 축전기(C2, C4)의 타단은 기준 전압(AVDD)을 입력받는다.

- <112> 이때, 게이트 온 전압(Von)의 크기는 약 28V이고, 게이트 오프 전압(Voff)의 크기는 약 -10V이다. 또한, 기준 전압(AVDD)은 12V이고, 스위칭 전압(SW)은 0V와 12V 사이의 값을 가지는 주기 함수이다.
- <113> 그러면, 이러한 값을 한 예로 하여 게이트 온 전압(Von)을 생성하는 과정을 설명한다.
- <114> 다이오드(d1-d4)의 문턱 전압은 일반적으로 0.5V 내지 0.7V 정도이지만, 계산의 편의를 위하여 0V로 가정한다. 즉, 선형 회로이므로 나중의 계산 결과에서 네 개의 다이오드(d1-d4)의 문턱 전압의 합인 2.0 내지 2.8V를 빼주면 된다.
- <115> 한편, 두 저항(R1, R2)의 저항값은 동일하며, 이에 따라 기준 전압(AVDD)은 두 저항(R1, R2)에 의하여 절반이 되어 전압 폴로어(VF)로 6V가 전달된다.
- <116> 전압 폴로어(VF)는 이 값을 그대로 다이오드(d1)의 애노드 단자로 전달하고, 문턱 전압을 0V로 가정하였으므로, 모든 노드(N1-N4)의 전압은 6V가 된다.
- <117> 이때, 스위칭 전압(SW)은 0V이고, 각 축전기(C1-C4)에 걸리는 전압은 노드(N1-N4)를 기준으로, 6V, -6V, 6V 및 -6V가 된다.
- <118> 이어, 스위칭 전압(SW)이 12V로 바뀌면, 제1 및 제3 축전기(C1, C3)의 타단이 12V로 바뀌면서 제1 노드(N1)와 제3 노드(N3) 전압은 18V로 변화한다. 또한, 제1 노드(N1) 전압과 제3 노드(N3) 전압이 그대로 제2 노드(N2)와 제4 노드(N4)로 각각 전달되어 제2 노드(N2)와 제4 노드(N4) 전압 역시 18V가 된다.
- <119> 이어, 스위칭 전압(SW)이 0V가 되면, 제1 노드(N1)는 6V로 떨어지면서 제2 다이오드(d2)가 턴오프된다. 이때, 제3 노드(N3) 역시 전압이 강하하지만 제2 노드(N2) 전압인 18V가 전달되어 18V를 유지한다. 이때, 제4 다이오드(d4)는 제3 노드(N3) 전압의 일시적인 전압 강하로 인해 턴오프되어 제4 축전기(C4)는 부유 상태가 되어 이전 전압을 유지한다.
- <120> 다음, 스위칭 전압(SW)이 12V가 되면, 제1 노드(N1) 전압은 18V로, 제3 노드(N3) 전압은 이전 18V와 12V가 더해져 30V가 되어 제4 다이오드(d4)가 턴온되고, 이 전압이 제4 노드(N4)로 전달되어 게이트 온 전압(Von)은 30V를 출력한다.
- <121> 다시 스위칭 전압(SW)이 0V로 바뀌면, 제3 노드(N3) 전압은 18V로 바뀌면서 제4 다이오드(d4)의 애노드 전압이 캐소드 전압보다 낮아져 턴오프되고, 이에 따라 제4 축전기(C4)가 부유 상태(floating state)로 되어 이전 전압인 30V를 계속해서 내보낸다.
- <122> 이 결과에 다이오드(d1-d4)의 문턱 전압의 합인 2.0V 내지 2.8V를 빼면 27.2V 내지 28V가 된다.
- <123> 이와 같이 생성된 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)은 앞에서 설명한 바와 같이 클록 신호 생성부(750)로 입력되며, 클록 신호 생성부(750)는 게이트 전압(Von, Voff)을 기초로 클록 신호(CLK1, CLK2)를 생성하여 게이트 구동부(400)로 내보낸다.
- <124> 한편, 도 7을 보면, 종래 기술에 따른 게이트 온 전압 생성부는 다이오드(d5-d8)와 축전기(C5-C8)로 이루어지는 전하 펌프 회로(712)는 본 발명의 한 실시예에 따른 게이트 온 전압 생성부(710)와 동일하다.
- <125> 하지만, 기준 전압(AVDD)이 저항(R3)을 통하여 전압 강하된 후 본 발명의 한 실시예에 따른 게이트 온 전압 생성부(710)와는 달리 직접 다이오드(d5)의 애노드에 입력된다.
- <126> 이로 인해, 부하(load)의 변동이 있는 경우에는 전하 펌프 회로(712)의 입력단, 즉 제5 다이오드(d5)에 그대로 영향을 미치게 되고 다시 게이트 온 전압(Vonc)이 증가하는 현상이 발생하며, 이에 대하여 도 8을 참고로 하여 상세히 설명한다.
- <127> 도 8에 나타난 클록 신호(CLK)는 두 클록 신호(CLK1, CLK2) 중 어느 하나이다.
- <128> 도시한 것처럼, 프레임과 프레임과 사이에는 클록 신호(CLK)가 출력되지 않는 블랭크 시간(BT)이 존재하고, 이 시간에는 클록 신호 생성부(750)와 게이트 구동부(400)가 동작하지 않으면서 게이트 온 전압 생성부(710)와 다른 구동 회로(400, 750)와의 단절이 일시적으로 일어난다.
- <129> 도 7에 도시한 회로는 기준 전압(AVDD)으로부터 전하 펌프 회로(712)를 거쳐 출력 단자(GVO)로 흐르는 전류 경

로를 갖는다. 하지만, 블랭크 시간(BT)에는 전류의 흐름이 없는 상태가 되면서, 기준 전압(AVDD)은 저항(R3)에서의 전압 강하 없이 그대로 다이오드(d5)의 애노드에 전달된다. 하지만, 이 때에도 전하 펌프 회로(712)는 스위칭 전압(SW)이 계속 인가되어 게이트 온 전압(Vonc)을 생성하며 블랭크 시간(BT) 이외의 시간에 생성되는 게이트 온 전압(Vonc)에 비하여 큰 전압을 생성한다.

<130> 즉, 도 6을 참고로 설명한 것처럼, 전하 펌프 회로(711)에 6V가 입력일 때 30V를 생성하므로 도 7에 도시한 전하 펌프 회로(712)에 12V가 입력되면 이에 6V가 더해진 36V를 생성하는 것이다. 이에 따라, 게이트 온 전압 생성부가 동작 사양의 허용 한계값에 거의 근접하는 또는 동작 사양의 허용 한계값을 넘어서는 게이트 온 전압(Vonc)을 출력하게 되어 수명 단축을 초래한다. 또한, 도 7에 점선으로 표시한 것처럼 게이트 온 전압(Vonc)을 기초로 생성되는 클럭 신호(CLK)역시 허용 한계값을 넘어서게 되면 게이트 구동부(400)의 트랜지스터(T1-T15)와 스위칭 소자(Q)에 과도한 스트레스를 주게 되어 수명을 단축시킬 수 있다.

<131> 하지만, 본 발명의 한 실시예에 따른 게이트 온 전압 생성부(710)는 전하 펌프 회로(711)의 전단에 전압 폴로어(VF)를 두어 부하의 변동으로 인한 영향을 차단한다. 즉, 전압 폴로어(VF)는 입력 임피던스(impedance)가 무한대이고 출력 임피던스가 0이므로 전압 폴로어(VF)의 전후를 분리하는 역할을 하여 항상 전하 펌프 회로(711)에는 일정한 전압, 즉 앞에서 예를 든 6V가 입력되도록 한다. 따라서, 게이트 온 전압(Vonc)은 허용 한계값과 많은 여유를 두고 출력되며, 블랭크 시간(BT)에 측정된 결과 약 1.5V 정도만 증가하는 것으로 나타났다.

<132> 또한, 도 7에 도시한 저항(R3)은 기준 전압(AVDD)과 전하 펌프 회로(712) 사이에 직렬로 연결되어 있고, 6V의 전압 강하를 만들기 위한 저항값은 선택의 폭이 크지 않다. 예를 들어, 저항(R3)의 저항값으로 현재 300Ω(ohm)을 사용하고 있으며, 이 저항(R3)에는 20mA의 전류가 흐르고 120mW의 전력이 소비된다. 또한, 이는 허용 한계값인 100mW를 넘어서는 것으로서 저항(R3) 자체에 과도한 스트레스를 주는 셈이다.

<133> 하지만, 도 6에 도시한 실시예에서는 두 저항(R1, R2)의 저항값이 동일하면 되므로, 저항(R1, R2)의 선택이 비교적 자유롭다. 즉, 두 저항(R1, R2)의 저항값이 360Ω 이상이면 100mW의 허용 한계값에 들어가므로 선택의 폭이 넓으며, 저항에 걸리는 스트레스를 줄일 수 있다.

발명의 효과

<134> 이와 같이, 전하 펌프 회로의 전단에 전압 폴로어를 두어 부하의 변동으로 인한 영향을 차단하여 블랭크 시간에 게이트 온 전압이 급격히 상승하는 것을 방지할 수 있다. 또한, 저항값이 동일한 두 저항을 통하여 기준 전압을 분배하여 저항에 걸리는 스트레스를 최소화할 수 있다.

<135> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

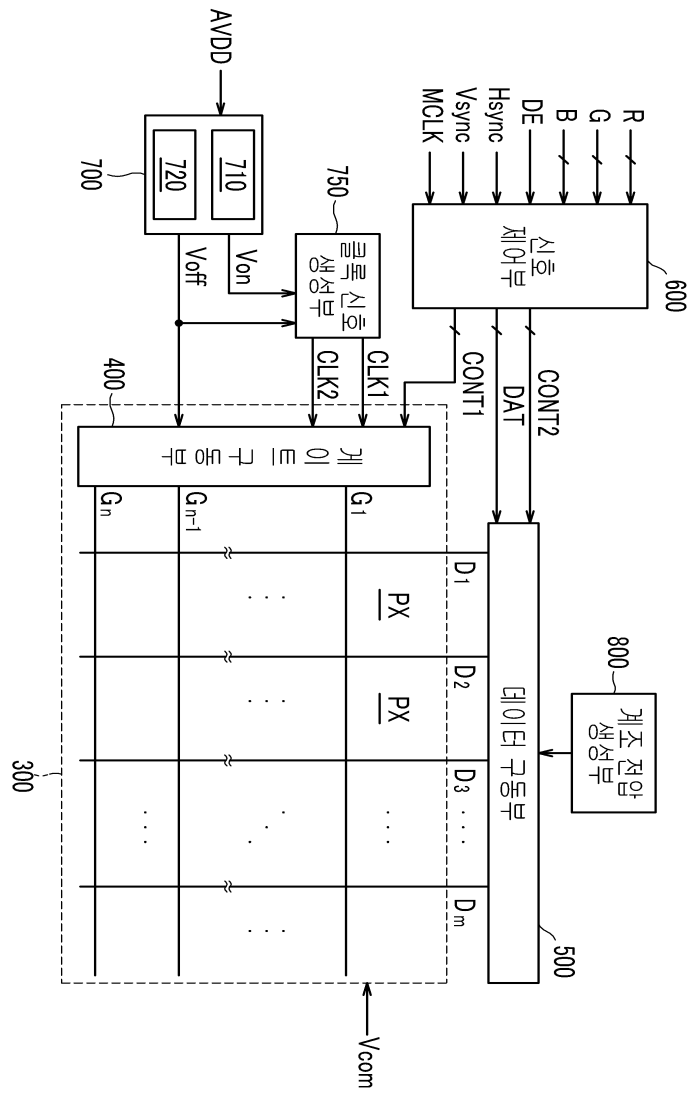
도면의 간단한 설명

- <1> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 상세하게 설명함으로써 본 발명을 분명하게 하고자 한다.
- <2> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.
- <3> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <4> 도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.
- <5> 도 4는 도 3에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도의 한 예이다.
- <6> 도 5는 도 3에 도시한 게이트 구동부의 신호 파형도이다.
- <7> 도 6은 도 1에 도시한 게이트 전압 생성부에서 게이트 온 전압 생성부의 회로도의 한 예이다.
- <8> 도 7은 종래 기술에 따른 게이트 온 전압 생성부를 나타내는 도면이다.
- <9> 도 8은 본 발명의 한 실시예에 따른 게이트 온 전압 생성부와 종래 기술에 따른 게이트 온 전압 생성부의 게이트 온 전압의 파형을 비교한 도면이다.
- <10> <도면 부호에 대한 설명>

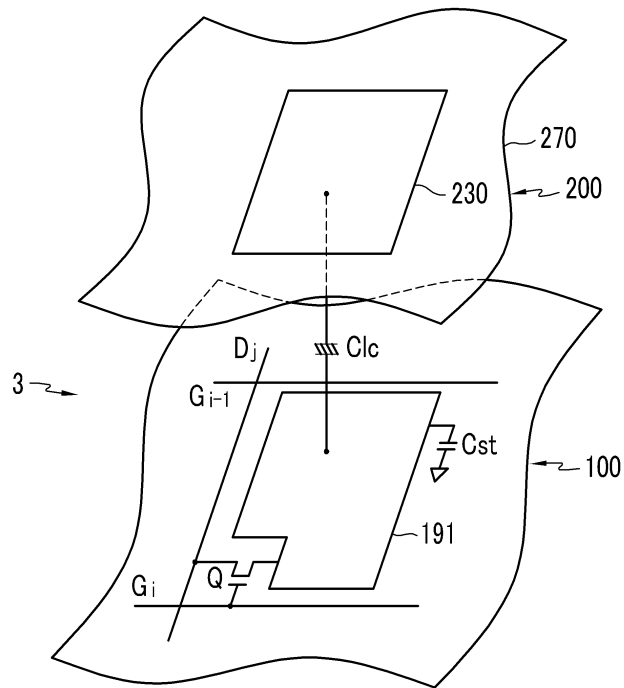
- <11> 3: 액정층 100: 하부 표시판
- <12> 191: 화소 전극 200: 상부 표시판
- <13> 230: 색 필터 270: 공통 전극
- <14> 300: 액정 표시판 조립체 400: 게이트 구동부
- <15> 410: 스테이지 500: 데이터 구동부
- <16> 600: 신호 제어부 700: 게이트 전압 생성부
- <17> 800: 계조 전압 생성부
- <18> R, G, B: 입력 영상 데이터 DE: 데이터 인에이블 신호
- <19> MCLK: 메인 클럭 Hsync: 수평 동기 신호
- <20> Vsync: 수직 동기 신호 CONT1: 게이트 제어 신호
- <21> CONT2: 데이터 제어 신호 DAT: 출력 영상 신호
- <22> PX: 화소 Clc: 액정 축전기
- <23> Cst: 유지 축전기 Q: 스위칭 소자
- <24> STV: 주사 시작 신호 CLK1, CLK2: 클럭 신호
- <25> S: 세트 단자 R: 리세트 단자
- <26> GV: 게이트전압단자 OUT: 출력 단자
- <27> CK1, CK2: 클럭 단자 Von: 게이트 온 전압
- <28> Voff: 게이트 오프 전압 VF: 전압 폴로어
- <29> SW: 스위칭 전압

도면

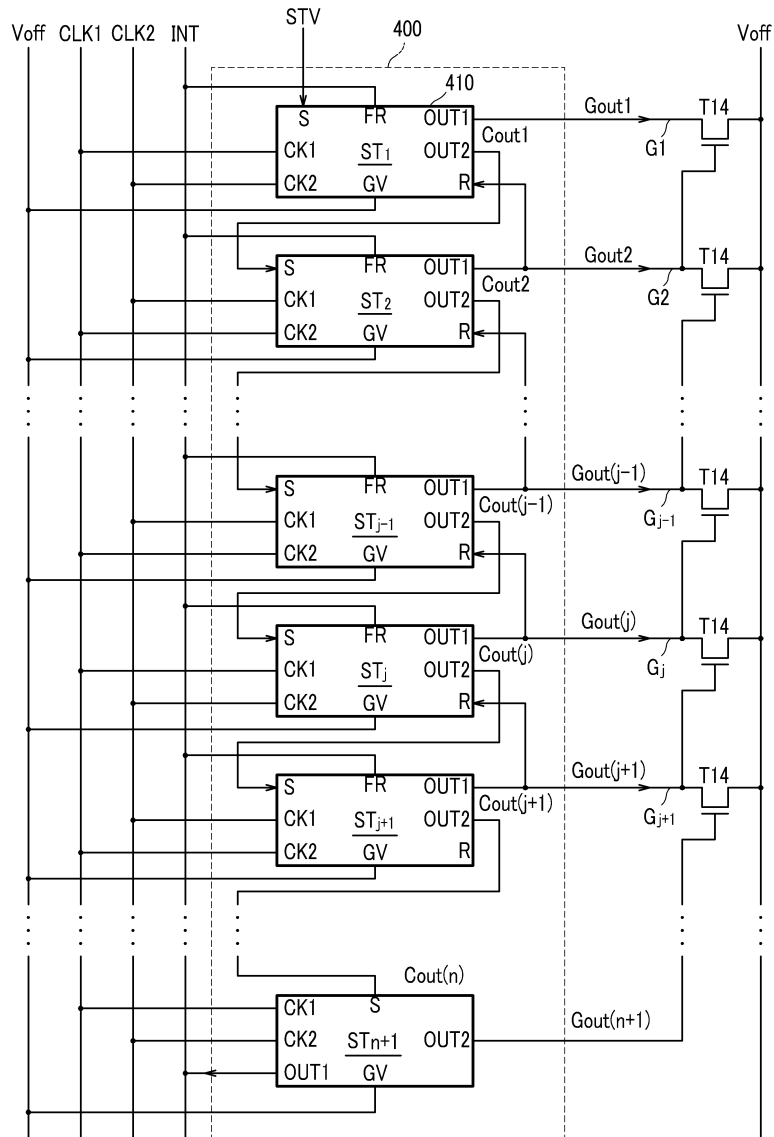
도면1



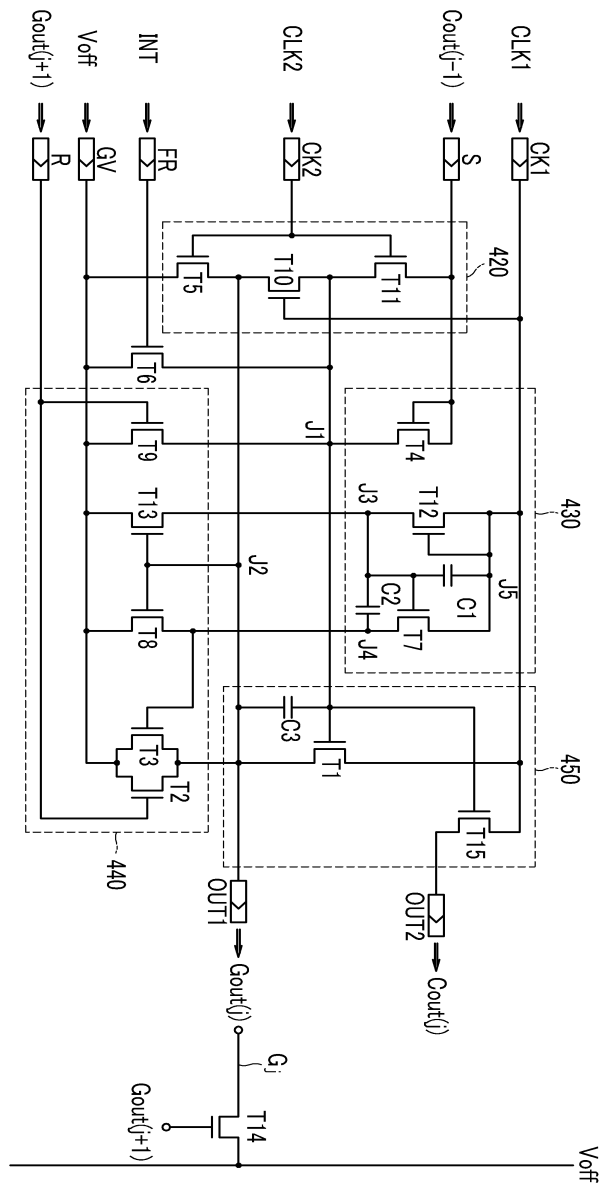
도면2



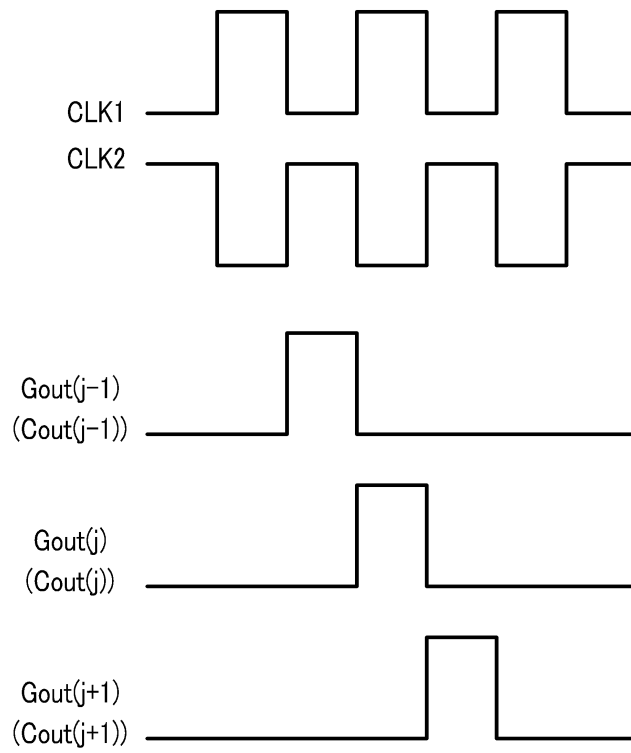
도면3



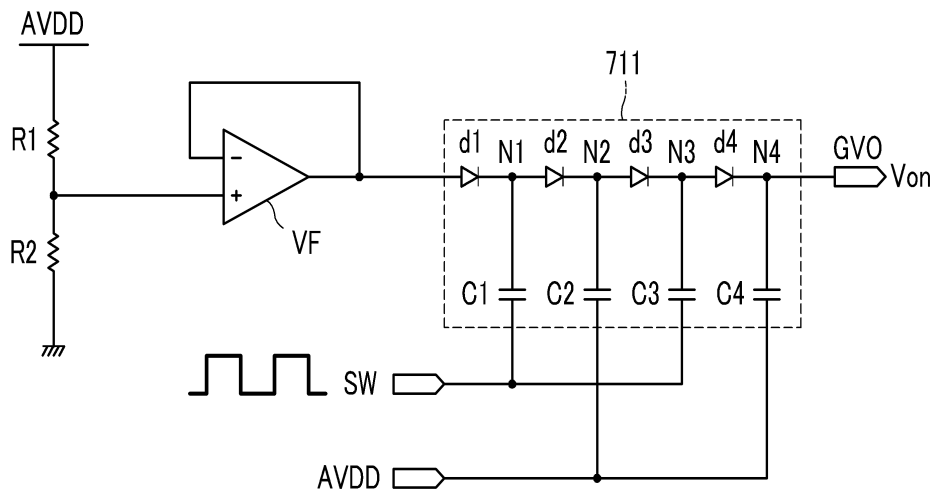
도면4



도면5

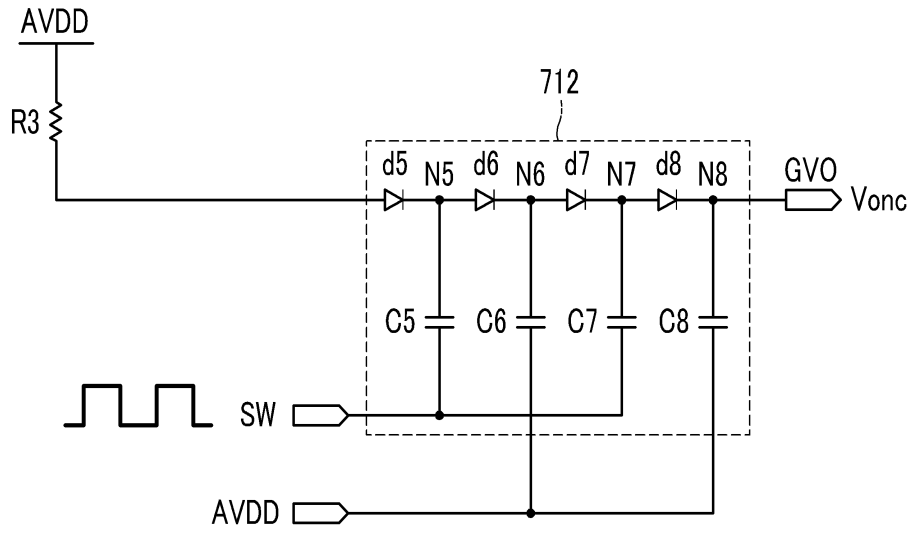


도면6

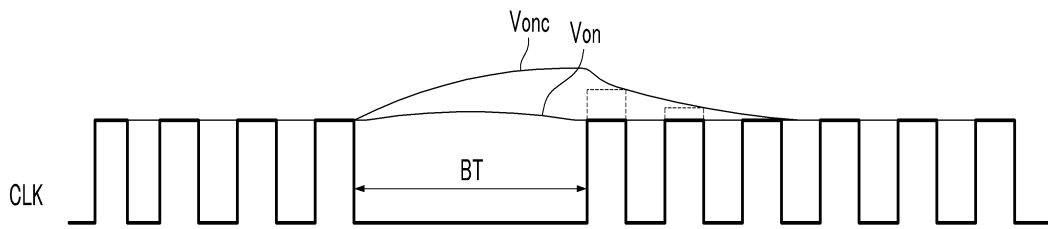


710

도면7



도면8



专利名称(译)	液晶显示装置驱动装置和包括其的液晶显示装置		
公开(公告)号	KR1020080111233A	公开(公告)日	2008-12-23
申请号	KR1020070059333	申请日	2007-06-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	NAM HYUN WOO 남현우 SUNG HWAN JUN 성환준 JEON MYOUNG HA 전명하 KWON HYEOK TAE 권혁태 PARK HYO HYUN 박효현		
发明人	남현우 성환준 전명하 권혁태 박효현		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3648 G09G3/3677 G11C19/184 G09G2310/0286 G09G2310/06 G09G2330/04 G09G3/3696		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器的驱动装置和包括该驱动装置的液晶显示器。根据本发明的一个实施例的栅极导通电压发生单元包括连接到规定的参考电压的第一和第二电阻以及接地电压之间的间隙，第一电阻和电压跟随器连接到第二电阻之间的接触点，并且电荷泵电路连接到电压跟随器的输出端，栅极导通电压输出端连接到电荷泵电路。这样，电压跟随器被置于电荷泵电路的前端，并且阻止了由于负载变化引起的影响，并且可以防止在空白时间内栅极导通电压急剧上升。此外，由于电阻值通过相同的两个电阻分配参考电压，因此可以使悬挂在电阻上的应力最小化。液晶显示器，栅极导通电压，栅极截止电压，空白时间，电阻，电压跟随器。

