



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0047573
G02F 1/133 (2006.01) (43) 공개일자 2007년05월07일

(21) 출원번호 10-2005-0104453
(22) 출원일자 2005년11월02일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이정우
경기 용인시 기흥읍 보라리 현대모닝사이드1차아파트 317동2002호

(74) 대리인 권혁수
송운호
오세준

전체 청구항 수 : 총 16 항

(54) 액정 디스플레이 장치

(57) 요약

본 발명의 액정 디스플레이 장치는, 각각이 복수의 집적 회로들을 포함하는 제 1 및 제 2 뱅크들을 포함하는 데이터 드라이버 그리고 수평 주기 동안 상기 제 1 및 제 2 뱅크들로 영상 데이터 신호를 병렬로 제공하는 타이밍 컨트롤러를 포함하되, 상기 제 1 및 제 2 뱅크들 내 집적 회로들의 수가 다를 때 상기 타이밍 컨트롤러로부터 상기 제 1 뱅크로 상기 영상 데이터 신호를 제공하는 제 1 액티브 구간과 상기 타이밍 컨트롤러로부터 상기 제 2 뱅크로 상기 영상 데이터 신호를 제공하는 제 2 액티브 구간이 다르다.

대표도

도 1

특허청구의 범위

청구항 1.

각각이 복수의 집적 회로들을 포함하는 제 1 및 제 2 뱅크들을 포함하는 데이터 드라이버; 그리고

수평 주기 동안 상기 제 1 및 제 2 뱅크들로 영상 데이터 신호를 병렬로 제공하는 타이밍 컨트롤러를 포함하되;

상기 제 1 및 제 2 뱅크들 내 집적 회로들의 수가 다를 때 상기 타이밍 컨트롤러로부터 상기 제 1 뱅크로 상기 영상 데이터 신호를 제공하는 제 1 액티브 구간과 상기 타이밍 컨트롤러로부터 상기 제 2 뱅크로 상기 영상 데이터 신호를 제공하는 제 2 액티브 구간이 다른 액정 디스플레이 장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 बैं크 내 집적 회로들의 수가 상기 제 2 बैं크 내 집적 회로의 수보다 클 때 상기 제 1 액티브 구간은 상기 제 2 액티브 구간보다 긴 액정 디스플레이 장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 बैं크 내 집적 회로들의 수가 상기 제 2 बैं크 내 집적 회로의 수보다 작을 때 상기 제 1 액티브 구간은 상기 제 2 액티브 구간보다 짧은 액정 디스플레이 장치.

청구항 4.

제 1 항에 있어서,

상기 제 1 액티브 구간과 상기 타이밍 컨트롤러로부터 상기 제 1 बैं크로 상기 영상 데이터 신호를 제공하지 않는 제 1 블랭크 구간의 합 그리고 상기 제 2 액티브 구간과 상기 타이밍 컨트롤러로부터 상기 제 2 बैं크로 상기 영상 데이터 신호를 제공하지 않는 제 2 블랭크 구간의 합은 상기 수평 주기와 각각 동일한 액정 디스플레이 장치.

청구항 5.

제 4 항에 있어서,

상기 제 1 बैं크 내 집적 회로들의 수가 상기 제 2 बैं크 내 집적 회로의 수보다 클 때 상기 제 1 블랭크 구간은 상기 제 2 블랭크 구간보다 작되; 상기 제 2 블랭크 구간은 상기 제 1 액티브 구간과 상기 제 2 액티브 구간의 차보다 큰 액정 디스플레이 장치.

청구항 6.

제 4 항에 있어서,

상기 제 1 बैं크 내 집적 회로들의 수가 상기 제 2 बैं크 내 집적 회로의 수보다 작을 때 상기 제 1 블랭크 구간은 상기 제 2 블랭크 구간보다 크되; 상기 제 1 블랭크 구간은 상기 제 2 액티브 구간과 상기 제 1 액티브 구간의 차보다 큰 액정 디스플레이 장치.

청구항 7.

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

외부로부터 LVDS(low voltage differential signaling) 레벨의 영상 데이터 신호를 입력받고 TTL 레벨의 영상 데이터 신호를 출력하는 제 1 신호 변환기와;

상기 TTL 레벨의 영상 데이터 신호를 저장하되, 상기 제 1 및 제 2 액티브 구간들에 대한 정보에 따라서 상기 제 1 बैं크의 영상 데이터 신호 그룹과 상기 제 2 बैं크의 영상 데이터 신호 그룹으로 분리해서 저장하는 라인 메모리; 그리고

상기 라인 메모리에 저장된 상기 TTL 레벨의 상기 제 1 및 제 2 बैं크의 영상 데이터 신호 그룹들을 RSDS(reduced swing differential signalling) 레벨의 신호로 변환해서 상기 제 1 및 제 2 बैं크들로 각각 제공하는 제 2 신호 변환기를 포함하는 액정 디스플레이 장치.

청구항 8.

K개의 집적 회로들을 포함하는 제 1 बैं크 및 K+L개의 집적 회로들을 포함하는 제 2 बैं크를 포함하는 데이터 드라이버; 그리고

수평 주기동안 수평 라인의 영상 데이터 신호를 상기 제 1 및 제 2 बैं크들로 제공하되, 상기 제 1 및 제 2 बैं크들 각각의 상기 K 개의 집적 회로들로 병렬로 상기 영상 데이터 신호를 제공한 후 상기 제 2 बैं크의 상기 L 개의 집적 회로들로 상기 영상 데이터 신호를 제공하는 타이밍 컨트롤러를 포함하는 액정 디스플레이 장치.

청구항 9.

K개의 제 1 데이터 드라이버 집적 회로들의 어레이 및 K+L개의 제 2 데이터 드라이버 집적 회로들의 어레이를 포함하는 액정 디스플레이 장치의 동작 방법에 있어서:

상기 K 개의 제 1 데이터 드라이버 집적 회로들 및 상기 K 개의 제 2 데이터 드라이버 집적 회로들로 영상 데이터 신호를 병렬로 제공하는 단계; 그리고

상기 L 개의 데이터 드라이버 집적 회로들로 상기 영상 데이터 신호를 제공하는 단계를 포함하는 액정 디스플레이 장치의 동작 방법.

청구항 10.

복수의 데이터 라인들과;

상기 데이터 라인들과 교차하여 배열된 복수의 게이트 라인들과;

제 1 간격마다 배치되고, 제 1 연결부를 통해 일군의 상기 게이트 라인들과 연결되는 복수의 제 1 게이트 구동 집적 회로들; 그리고

상기 복수의 제 1 게이트 구동 집적 회로들 중 최외곽에 위치한 게이트 구동 집적 회로와 제 2 간격을 두고 배치되고, 제 2 연결부들을 통해 타군의 상기 게이트 라인들과 연결되는 제 2 게이트 구동 집적 회로를 포함하는 디스플레이 장치.

청구항 11.

제 10 항에 있어서,

상기 복수의 제 1 게이트 구동 집적 회로들 각각과 연결된 상기 제 1 연결부들은 동일한 형태를 갖는 디스플레이 장치.

청구항 12.

제 10 항에 있어서,

상기 제 1 연결부들은 상기 일군의 게이트 라인들에 연결되는 복수의 제 1 연결 배선들을 포함하는 디스플레이 장치.

청구항 13.

제 12 항에 있어서,

상기 제 2 연결부는 상기 타군의 게이트 라인들에 연결되는 복수의 제 2 연결 배선들을 포함하는 디스플레이 장치.

청구항 14.

제 13 항에 있어서,

상기 제 2 연결 배선들 각각은 지그재그 형태를 갖는 디스플레이 장치.

청구항 15.

제 14 항에 있어서,

상기 제 1 연결 배선들에 대응하는 상기 제 2 연결 배선들의 저항값은 동일한 디스플레이 장치.

청구항 16.

복수의 데이터 라인들과;

상기 데이터 라인들과 교차하여 배열된 복수의 게이트 라인들과;

제 1 간격마다 배치되고, 제 1 연결부를 통해 일군의 상기 게이트 라인들과 연결되는 복수의 제 1 게이트 구동 집적 회로들과;

상기 복수의 제 1 게이트 구동 집적 회로들 중 최외곽에 위치한 게이트 구동 집적 회로와 제 2 간격을 두고 배치되고, 제 2 연결부들을 통해 타군의 상기 게이트 라인들과 연결되는 제 2 게이트 구동 집적 회로와;

상기 데이터 라인들에 연결되고, 각각이 복수의 집적 회로들을 포함하는 제 1 및 제 2 뱅크들을 포함하는 데이터 드라이버; 그리고

수평 주기 동안 상기 제 1 및 제 2 뱅크들로 영상 데이터 신호를 병렬로 제공하는 타이밍 컨트롤러를 포함하되;

상기 제 1 및 제 2 뱅크들 내 집적 회로들의 수가 다를 때 상기 타이밍 컨트롤러로부터 상기 제 1 뱅크로 상기 영상 데이터 신호를 제공하는 제 1 액티브 구간과 상기 타이밍 컨트롤러로부터 상기 제 2 뱅크로 상기 영상 데이터 신호를 제공하는 제 2 액티브 구간이 다른 액정 디스플레이 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 디스플레이 장치에 관한 것으로, 액정 디스플레이 장치 내 구동 집적 회로들의 배치 및 구동 방법에 관한 것이다.

일반적인 액정 표시 장치는 두 표시판과 그 사이에 들어있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이러한 액정 표시 장치는 휴대가 간편한 평판 표시 장치(flat panel display, FPD) 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(thin film transistor, TFT)를 스위칭 소자로 이용한 TFT-LCD가 주로 이용되고 있다.

TFT-LCD의 액정 패널은 복수의 픽셀들을 포함하며, 픽셀 각각은 데이터 라인 및 게이트 라인에 연결된 스위칭 트랜지스터와 이에 연결된 액정 커패시터(crystal capacitor) 및 유지 커패시터(storage capacitor)를 포함한다. 각 픽셀은 스위칭 소자를 통하여 영상 신호에 해당하는 데이터 전압을 선택적으로 받아들인다. TFT-LCD는 또한 게이트 라인에 게이트 온 전압을 인가하는 게이트 드라이버와 데이터 라인에 영상 신호를 인가하는 데이터 드라이버 및 이들을 제어하는 신호 제어 회로를 포함한다.

일반적으로 데이터 드라이버 및 게이트 드라이버는 각각 복수의 집적 회로들을 포함하며, 액정 패널의 주변에 배치된다. 액정 패널의 해상도가 증가함에 따라서 안정된 영상 디스플레이를 위해 액정 패널에 구성된 픽셀들의 충전 시간을 확보하기 위한 기술이 요구되고 있다. 또한, 사용자의 요구에 따른 다양한 화면 비율의 액정 패널들을 생산하기 위해 데이터 드라이버 및 게이트 드라이버의 배치 구조 및 구동 방법에 대한 고려도 필요하다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 높은 해상도의 액정 패널을 안정되게 구동하는 액정 디스플레이 장치를 제공하는데 있다.

본 발명의 다른 목적은 다양한 화면 비율의 액정 패널을 구비한 액정 디스플레이 장치를 제공하는데 있다.

발명의 구성

상술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 액정 디스플레이 장치는: 각각이 복수의 집적 회로들을 포함하는 제 1 및 제 2 뱅크들을 포함하는 데이터 드라이버, 그리고 수평 주기 동안 상기 제 1 및 제 2 뱅크들로 영상 데이터 신호를 병렬로 제공하는 타이밍 컨트롤러를 포함하되, 상기 제 1 및 제 2 뱅크들 내 집적 회로들의 수가 다를 때 상기 타이밍 컨트롤러로부터 상기 제 1 뱅크로 상기 영상 데이터 신호를 제공하는 제 1 액티브 구간과 상기 타이밍 컨트롤러로부터 상기 제 2 뱅크로 상기 영상 데이터 신호를 제공하는 제 2 액티브 구간이 다르다.

본 발명의 실시예에 있어서, 상기 제 1 뱅크 내 집적 회로들의 수가 상기 제 2 뱅크 내 집적 회로의 수보다 클 때 상기 제 1 액티브 구간은 상기 제 2 액티브 구간보다 길다.

본 발명의 실시예에 있어서, 상기 제 1 뱅크 내 집적 회로들의 수가 상기 제 2 뱅크 내 집적 회로의 수보다 작을 때 상기 제 1 액티브 구간은 상기 제 2 액티브 구간보다 짧다.

본 발명의 실시예에 있어서, 상기 제 1 액티브 구간과 상기 타이밍 컨트롤러로부터 상기 제 1 뱅크로 상기 영상 데이터 신호를 제공하지 않는 제 1 블랭크 구간의 합 그리고 상기 제 2 액티브 구간과 상기 타이밍 컨트롤러로부터 상기 제 2 뱅크로 상기 영상 데이터 신호를 제공하지 않는 제 2 블랭크 구간의 합은 상기 수평 주기와 각각 동일하다.

본 발명의 실시예에 있어서, 상기 제 1 뱅크 내 집적 회로들의 수가 상기 제 2 뱅크 내 집적 회로의 수보다 클 때 상기 제 1 블랭크 구간은 상기 제 2 블랭크 구간보다 작되; 상기 제 2 블랭크 구간은 상기 제 1 액티브 구간과 상기 제 2 액티브 구간의 차보다 크다.

이 실시예에 있어서, 상기 제 1 뱅크 내 집적 회로들의 수가 상기 제 2 뱅크 내 집적 회로의 수보다 작을 때 상기 제 1 블랭크 구간은 상기 제 2 블랭크 구간보다 크되; 상기 제 1 블랭크 구간은 상기 제 2 액티브 구간과 상기 제 1 액티브 구간의 차보다 크다.

본 발명의 실시예에 있어서, 상기 타이밍 컨트롤러는, 외부로부터 LVDS(low voltage differential signaling) 레벨의 영상 데이터 신호를 입력받고 TTL 레벨의 영상 데이터 신호를 출력하는 제 1 신호 변환기와, 상기 TTL 레벨의 영상 데이터 신호를 저장하되, 상기 제 1 및 제 2 액티브 구간들에 대한 정보에 따라서 상기 제 1 बैं크의 영상 데이터 신호 그룹과 상기 제 2 बैं크의 영상 데이터 신호 그룹으로 분리해서 저장하는 라인 메모리, 그리고 상기 라인 메모리에 저장된 상기 TTL 레벨의 상기 제 1 및 제 2 बैं크의 영상 데이터 신호 그룹들을 RSDS(reduced swing differential signalling) 레벨의 신호로 변환해서 상기 제 1 및 제 2 बैं크들로 각각 제공하는 제 2 신호 변환기를 포함한다.

본 발명의 다른 특징에 따른 액정 디스플레이 장치는: K개의 집적 회로들을 포함하는 제 1 बैं크 및 K+L개의 집적 회로들을 포함하는 제 2 बैं크를 포함하는 데이터 드라이버, 그리고 수평 주기동안 수평 라인의 영상 데이터 신호를 상기 제 1 및 제 2 बैं크들로 제공하되, 상기 제 1 및 제 2 बैं크들 각각의 상기 K 개의 집적 회로들로 병렬로 상기 영상 데이터 신호를 제공한 후 상기 제 2 बैं크의 상기 L 개의 집적 회로들로 상기 영상 데이터 신호를 제공하는 타이밍 컨트롤러를 포함한다.

본 발명의 다른 특징에 따른 액정 디스플레이 장치의 동작 방법에서, 액정 디스플레이 장치는 K개의 제 1 데이터 드라이버 집적 회로들의 어레이 및 K+L개의 제 2 데이터 드라이버 집적 회로들의 어레이를 포함하며, 상기 K 개의 제 1 데이터 드라이버 집적 회로들 및 상기 K 개의 제 2 데이터 드라이버 집적 회로들로 영상 데이터 신호를 병렬로 제공하는 단계, 그리고 상기 L 개의 데이터 드라이버 집적 회로들로 상기 영상 데이터 신호를 제공하는 단계를 포함한다.

본 발명의 다른 특징에 따른 액정 디스플레이 장치는: 복수의 데이터 라인들과, 상기 데이터 라인들과 교차하여 배열된 복수의 게이트 라인들과, 제 1 간격마다 배치되고, 제 1 연결부를 통해 일군의 상기 게이트 라인들과 연결되는 복수의 제 1 게이트 구동 집적 회로들, 그리고 상기 복수의 제 1 게이트 구동 집적 회로들 중 최외곽에 위치한 게이트 구동 집적 회로와 제 2 간격을 두고 배치되고, 제 2 연결부들을 통해 타군의 상기 게이트 라인들과 연결되는 제 2 게이트 구동 집적 회로들을 포함한다.

본 발명의 실시예에 있어서, 상기 복수의 제 1 게이트 구동 집적 회로들 각각과 연결된 상기 제 1 연결부들은 동일한 형태를 갖는다.

본 발명의 실시예에 있어서, 상기 제 1 연결부들은 상기 일군의 게이트 라인들에 연결되는 복수의 제 1 연결 배선들을 포함한다.

이 실시예에 있어서, 상기 제 2 연결부는 상기 타군의 게이트 라인들에 연결되는 복수의 제 2 연결 배선들을 포함한다.

이 실시예에 있어서, 상기 제 2 연결 배선들 각각은 지그재그 형태를 가지며, 상기 제 1 연결 배선들에 대응하는 상기 제 2 연결 배선들의 저항값은 동일하다.

본 발명의 또다른 특징에 따른 액정 디스플레이 장치는: 복수의 데이터 라인들과, 상기 데이터 라인들과 교차하여 배열된 복수의 게이트 라인들과, 제 1 등간격으로 배치되고, 제 1 연결부를 통해 일군의 상기 게이트 라인들과 연결되는 복수의 제 1 게이트 구동 집적 회로들과, 상기 복수의 제 1 게이트 구동 집적 회로들 중 최외곽에 위치한 게이트 구동 집적 회로와 제 2 간격을 두고 배치되고, 제 2 연결부들을 통해 타군의 상기 게이트 라인들과 연결되는 제 2 게이트 구동 집적 회로와, 상기 데이터 라인들에 연결되고, 각각이 복수의 집적 회로들을 포함하는 제 1 및 제 2 बैं크들을 포함하는 데이터 드라이버, 그리고 수평 주기 동안 상기 제 1 및 제 2 बैं크들로 영상 데이터 신호를 병렬로 제공하는 타이밍 컨트롤러를 포함하되, 상기 제 1 및 제 2 बैं크들 내 집적 회로들의 수가 다를 때 상기 타이밍 컨트롤러로부터 상기 제 1 बैं크로 상기 영상 데이터 신호를 제공하는 제 1 액티브 구간과 상기 타이밍 컨트롤러로부터 상기 제 2 बैं크로 상기 영상 데이터 신호를 제공하는 제 2 액티브 구간이 다르다.

이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

도 1은 본 발명의 바람직한 실시예에 따른 액정 디스플레이 장치를 보여주는 도면이다. 도 1을 참조하면, 액정 디스플레이 장치(100)는 액정 패널(110), 타이밍 컨트롤러(120), 액정 패널(100)의 일측에 배열된 복수의 게이트 구동 집적 회로들(GD1-GD4) 그리고 액정 패널(100)의 상측에 배열된 복수의 데이터 구동 집적 회로들(DD1-DD7)을 포함한다.

타이밍 컨트롤러(120)는 외부로부터 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 영상 데이터 신호(DATA), 데이터 인에이블 신호(DE) 및 메인 클럭 신호(MCLK)를 입력받아서 데이터 구동 집적 회로들(DD1-DD7) 및 게이트 구동 집적 회

로들(GD1-GD4)을 제어하기 위한 제어 신호들(CTL1, CTL2, CTL3)을 출력한다. 제어 신호들(CTL1, CTL2) 각각은 수평 동기 시작 신호(STH), 수평 클럭 신호(HCLK) 및 래치 신호(TP)를 포함한다. 제어 신호들(CTL3)은 수직 동기 시작 신호(STV), 수평 클럭 신호(CPV) 및 출력 인에이블 신호(OE)를 포함한다.

본 발명의 실시예에서, 복수의 데이터 구동 집적 회로들(DD1-DD7)은 두 개의 뱅크들(130, 140)로 나뉘며, 제 1 뱅크(130)는 세 개의 데이터 구동 집적 회로들(DD1-DD3)을 포함하고, 제 2 뱅크(140)는 네 개의 데이터 구동 집적 회로들(DD4-DD7)을 포함한다.

예를 들어, 해상도가 1440×900 인 액정 패널(110)은, 행 방향으로 1440의 픽셀들이 배열되며, 각 픽셀마다 3원색(R, G, B)에 대응하는 세 개의 서브 픽셀들이 포함되므로, 1440×3 개의 데이터 라인들을 필요로 한다. 이와 같은 액정 패널(110)을 구동하기 위해서 642 채널을 갖는 데이터 구동 집적 회로를 사용할 경우 총 7 개의 데이터 구동 집적 회로들(DD1-DD7)이 사용된다.

한편, 타이밍 컨트롤러(120)로부터 1440×3 개의 데이터 라인들을 위한 영상 데이터 신호를 데이터 구동 집적 회로들(DD1-DD7)로 전달하는 데에는 많은 시간이 소요된다. 일반적으로 한 행의 스위칭 소자가 턴 온 되어 있는 기간 즉, 한 행의 데이터 라인들(D1-Dm)로 영상 데이터 신호를 전달하는 시간을 1 수평 주기(horizontal period) 또는 '1H'라고 하는데, 수평 픽셀의 수가 많을수록 1 수평 주기는 길어지게 된다.

따라서, 본 발명의 실시예에서는 7 개의 데이터 구동 집적 회로들(DD1-DD7)을 두 개의 뱅크들(130, 140)로 분할하고, 두 개의 뱅크들(130, 140)로 병렬로 영상 데이터 신호들(DATA1, DATA2) 및 제어 신호들(CTL1, CTL2)을 제공한다.

이와 같은 본 발명에 의하면, 수평 주기는 해상도보다 짧아진다. 픽셀로 영상 데이터가 인가되는 주기가 짧아지면 픽셀 내 유지 커패시터에 충전된 전하가 모두 디스차지(discharge)되기 전에 새로운 전하가 유지 커패시터에 충전되므로 안정된 영상이 디스플레이될 수 있다. 예컨대, 두 개의 뱅크들(130, 140)에 각각 포함되는 집적 회로의 수가 동일하면 수평 주기는 해상도의 1/2로 된다.

도 2는 본 발명의 한 실시예에 따른 타이밍 컨트롤러(120)의 구체적인 구성을 보여주는 도면이다. 도 2를 참조하면, 타이밍 컨트롤러(120)는 제 1 변환기(121), 라인 버퍼(122) 및 제 2 변환기(123)를 포함한다. 제 1 변환기(121)는 외부로부터 영상 데이터 신호(DATA)를 입력받는다. 영상 데이터 신호(DATA)는 LVDS(low voltage differential signaling) 신호이다. 제 1 변환기(121)는 수평 1 라인의 LVDS 영상 데이터 신호(DATA)를 TTL 영상 데이터 신호로 변환해서 라인 버퍼(122)에 저장한다. 라인 버퍼(122)는 최소한 액정 패널(110)의 수평 1 라인의 영상 데이터 신호를 저장할 수 있는 크기를 갖는다.

제 2 변환기(121)는 라인 버퍼(122)에 저장된 TTL 영상 데이터 신호를 RSDS 영상 데이터 신호들(DATA1, DATA2)로 변환해서 뱅크들(130, 140)로 병렬로 출력한다. 여기서, 영상 데이터 신호(DATA1)는 뱅크(130) 내 집적 회로들(DD1-DD3)과 연결된 데이터 라인들을 구동하기 위한 신호이고, 영상 데이터 신호(DATA2)는 뱅크(140) 내 집적 회로들(DD4-DD7)과 연결된 데이터 라인들을 구동하기 위한 신호이다.

또한, 제 2 변환기(121)는 액티브 구간 정보(ENDP)를 수신하여 영상 데이터 신호들(DATA1, DATA2)의 출력 타이밍을 조절한다. 제 2 변환기(123)로부터 출력되는 영상 데이터 신호들(DATA1, DATA2)의 액티브 구간들 및 블랭크 구간들에 대한 타이밍이 도 3에 도시되어 있다.

도 3을 참조하면, 제 2 변환기(123)가 3 개의 집적 회로들(DD1-DD3)을 포함하는 제 1 뱅크(130)로 영상 데이터 신호들(DATA1)을 제공하는 제 1 액티브 구간은 4 개의 집적 회로들(DD4-DD7)을 포함하는 제 2 뱅크(140)로 영상 데이터 신호들(DATA2)을 제공하는 제 2 액티브 구간에 비해 짧다. 데이터 구동 집적 회로들(DD1-DD7) 각각의 채널 수가 642일 때 제 1 뱅크(130) 내 집적 회로들(DD1-DD3)로 제공되는 영상 데이터 신호들(DATA1)의 수는 $642 \times 3 \times 3$ 이나 제 1 뱅크(130) 내 집적 회로들(DD1-DD3)로 제공되는 영상 데이터 신호들(DATA1)의 수는 $642 \times 3 \times 4$ 이다.

타이밍 컨트롤러(120) 내 구비되는 메모리는 액티브 구간이 짧은 뱅크의 액티브 구간의 끝 위치 정보(ENDP)를 저장하고, 이를 제 2 변환기(123)로 제공한다. 다른 실시예에서, 끝 위치 정보(ENDP)는 액정 디스플레이 장치(100)의 데이터 입력력 핀을 통해 외부로부터 제공될 수 있다.

다시 도 2 및 도 3을 참조하면, 제 2 변환기(123)는 1 수평 주기(1H) 동안 1 수평 라인의 영상 데이터 신호들(DATA1, DATA2)을 뱅크들(130, 140)로 병렬로 제공하는데, 1 수평 주기 내 블랭크 구간이 포함된다. 이 실시예에서, 영상 데이터

신호(DATA1)가 뱅크(130)로 제공되지 않는 제 1 블랭크 구간은 영상 데이터 신호(DATA2)가 뱅크(140)로 제공되지 않는 제 2 블랭크 구간에 비해 길며, 제 1 블랭크 구간 적어도 데이터 구동 집적 회로(DD7)로 영상 데이터 신호(DATA2)를 제공하는 액티브 구간과 같아야 한다.

이와 같은 본 발명의 병렬 구동 방식의 수평 주기 즉, 1H는 직렬 구동 방식의 1/2 수평 주기보다 길다. 왜냐하면, 데이터 구동 집적 회로들(DD1-DD7)은 7 개이고, 1H동안 4 개의 집적 회로들로 영상 데이터 신호들을 제공해야 하기 때문이다.

상술한 바와 같은 본 발명에 의하면, 높은 해상도의 액정 패널을 직렬 구동 방식에 비해 안정되게 구동할 수 있으며, 액정 패널의 구동에 필요한 데이터 구동 집적 회로들의 수가 홀수 개이더라도 두 개의 뱅크들로 나누어서 영상 데이터 신호를 데이터 구동 집적 회로들로 정확하게 제공할 수 있다.

도 1에 도시된 예에서는 뱅크들(130, 140)이 액정 패널(110)의 상측에 일렬로 배열된 것을 도시하였으나, 뱅크(130)는 액정 패널(110)의 상측에 그리고 뱅크(140)는 액정 패널(110)의 하측에 배열하는 더블 뱅크 구조로도 변경될 수 있다. 이 때에는 데이터 구동 집적 회로들(DD1-DD7)과 데이터 라인들의 연결 순서를 고려하여 타이밍 컨트롤러(120)로부터 출력되는 영상 데이터 신호들의 순서를 변경해야만 한다. 예컨대, 데이터 구동 집적 회로(DD1)는 1번째 데이터 라인부터 K번째 데이터 라인까지 데이터 구동 집적 회로(DD4)는 K+1번째 데이터 라인부터 2K번째 데이터 라인까지 그리고 데이터 구동 집적 회로(DD2)는 2K+1번째 데이터 라인부터 3K번째 데이터 라인까지 연결될 수 있다.

다시 도 1을 참조하면, 게이트 구동 집적 회로들(GD1-GD4)은 액정 패널(110)의 좌측에 일렬로 배치된다. 게이트 구동 집적 회로들(GD1-GD4)은 동일한 간격(L1)마다 배치되고, 게이트 구동 집적 회로(GD4)는 게이트 구동 집적 회로(GD3)와 간격(L2)을 두고 배치된다.

예를 들어, 해상도가 1440 × 900인 액정 패널(110)을 구동하기 위해서 채널의 수가 400인 게이트 구동 집적 회로를 3 개 사용할 때 게이트 구동 집적 회로들을 등간격으로 배치하면, 팬 아웃(fan out) 설계가 용이하지 않다.

따라서 본 발명의 실시예에서는 Q 개의 게이트 구동 집적 회로들의 배치시 Q-1 개의 게이트 구동 집적 회로들은 등간격(L1)으로 배치하고, 나머지 하나의 게이트 구동 집적 회로는 다른 간격(L2)으로 배치함으로써 팬 아웃 설계를 용이하게 한다. 즉, 게이트 구동 집적 회로와 연결된 게이트 라인의 저항값 설계를 용이하게 할 수 있다.

도 4는 본 발명의 실시예에 따른 게이트 구동 집적 회로들의 배치를 상세히 보여주고 있다. 도 4를 참조하면, 게이트 구동 집적 회로들(GD1-GD3)은 등간격(L1)으로 배치되며, 나머지 게이트 구동 집적 회로(GD4)는 게이트 구동 집적 회로(GD3)와 간격(L2)을 두고 배치된다. 이와 같은 게이트 구동 집적 회로의 배치에 의하면, 게이트 구동 집적 회로들(GD1-GD3)의 대응하는 게이트 라인들의 저항값은 동일하게 설계될 수 있다. 즉, 게이트 구동 집적 회로들(GD1-GD3)의 첫 번째 게이트 라인들은 동일한 저항값을 가지며, 게이트 구동 집적 회로들(GD1-GD3)의 R 번째 게이트 라인들은 동일한 저항값을 갖는다.

그러나, 게이트 구동 집적 회로(GD4)와 연결된 게이트 라인의 저항값은 다른 게이트 구동 집적 회로들(GD1-GD3)과 연결된 게이트 라인들의 저항값과 달라질 수 있다. 이러한 문제를 해결하기 위해 도 5에 도시된 바와 같이, 게이트 구동 집적 회로(GD4)와 게이트 라인들을 연결하는 연결부(500)의 배선 구조를 새롭게 한다.

도 5를 참조하면, 게이트 구동 집적 회로(GD3)와 게이트 라인들을 연결하는 연결 라인들(511-513)은 직선 형태를 갖는다. 게이트 구동 집적 회로(GD4)와 게이트 라인들을 연결하는 연결 라인들(521-523)은 지그재그 형태로 굽은 형태를 갖는다. 도 5에 도시되지 않은 다른 게이트 구동 집적 회로들(GD1, GD2)과 연결된 연결부들 역시 직선 형태를 갖는다.

게이트 구동 집적 회로(GD4)와 게이트 라인들을 연결하는 연결 라인들(521-523)의 형태 및 길이는 연결 라인들(521-523)의 저항값이 다른 게이트 구동 집적 회로들(GD1-GD3)과 연결된 대응하는 연결 라인들의 저항값과 같도록 설정된다. 또한 연결 라인들(521-523)의 길이뿐만 아니라 배선 폭의 조절에 의해서도 저항값이 조절될 수 있다.

예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형 예들 및 그 유사한 구성들이 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

발명의 효과

이와 같은 본 발명에 의하면, 높은 해상도의 액정 패널을 안정되게 구동할 수 있을 뿐만 아니라 다양한 화면 비율의 액정 패널을 구비할 때 게이트 구동 집적 회로들과 게이트 라인들의 연결 배선을 설계를 용이하게 할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 액정 디스플레이 장치를 보여주는 도면;

도 2는 본 발명의 한 실시예에 따른 타이밍 컨트롤러의 구체적인 구성을 보여주는 도면;

도 3은 영상 데이터 신호들의 액티브 구간들 및 블랭크 구간들에 대한 타이밍도;

도 4는 본 발명의 실시예에 따른 게이트 구동 집적 회로들의 배치를 상세히 보여주는 도면; 그리고

도 5는 게이트 구동 집적 회로와 게이트 라인들을 연결하는 연결부의 배선 구조를 보여주는 도면이다.

*도면의 주요 부분에 대한 설명

100 : 액정 디스플레이 장치 110 : 액정 패널

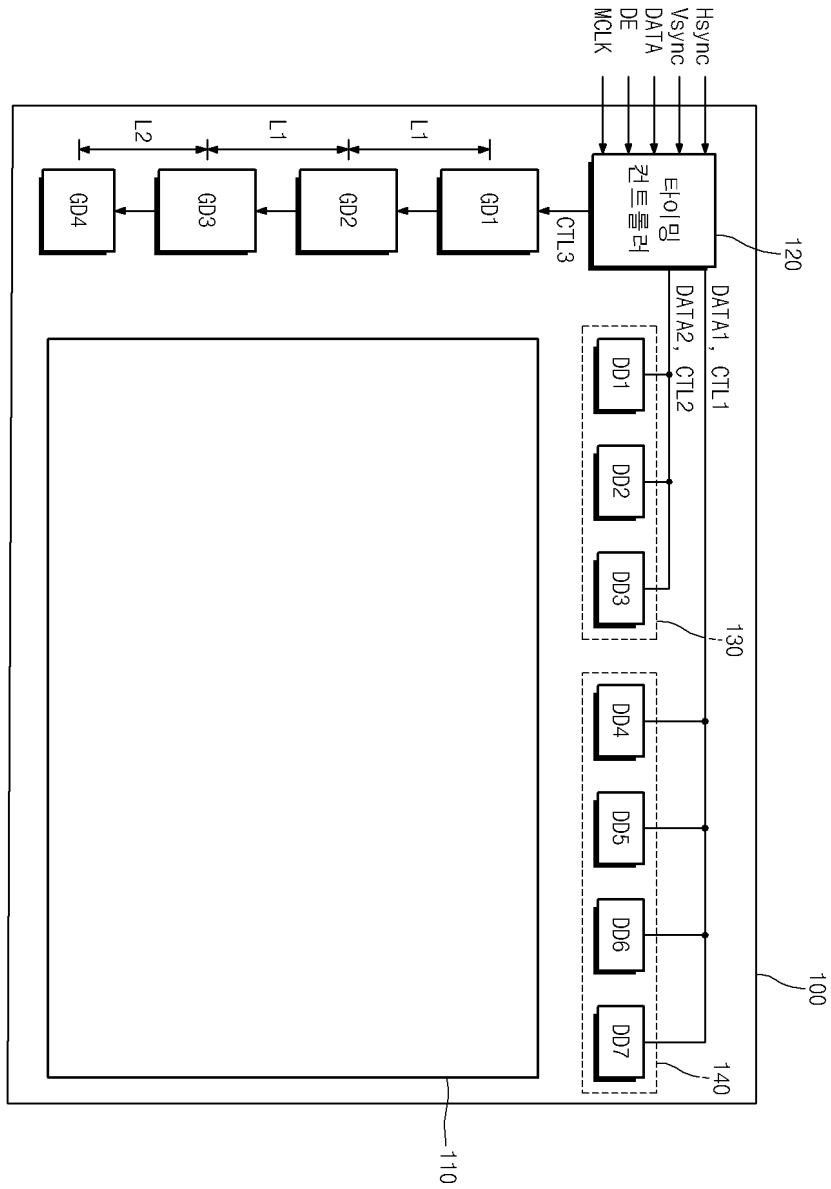
120 : 타이밍 컨트롤러 130 : 제 1 뱅크

140 : 제 2 뱅크 DD1-DD6 : 데이터 구동 집적 회로

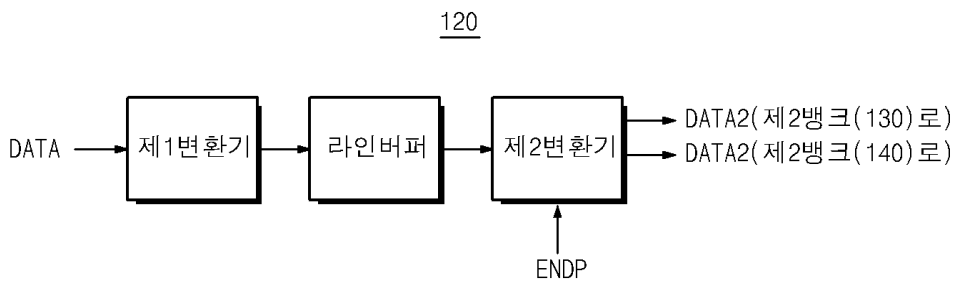
GD1-GD4 : 게이트 구동 집적 회로

도면

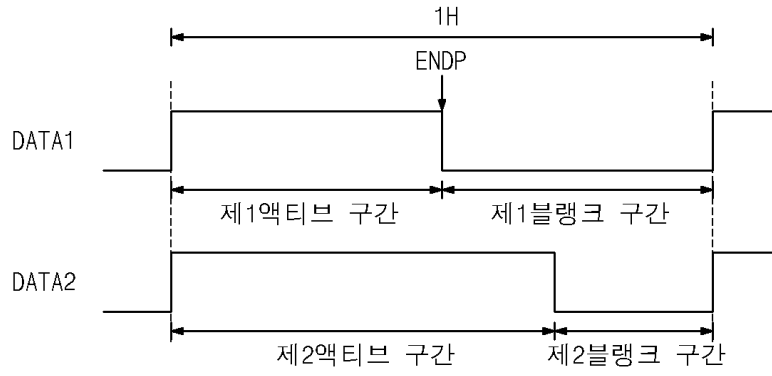
도면1



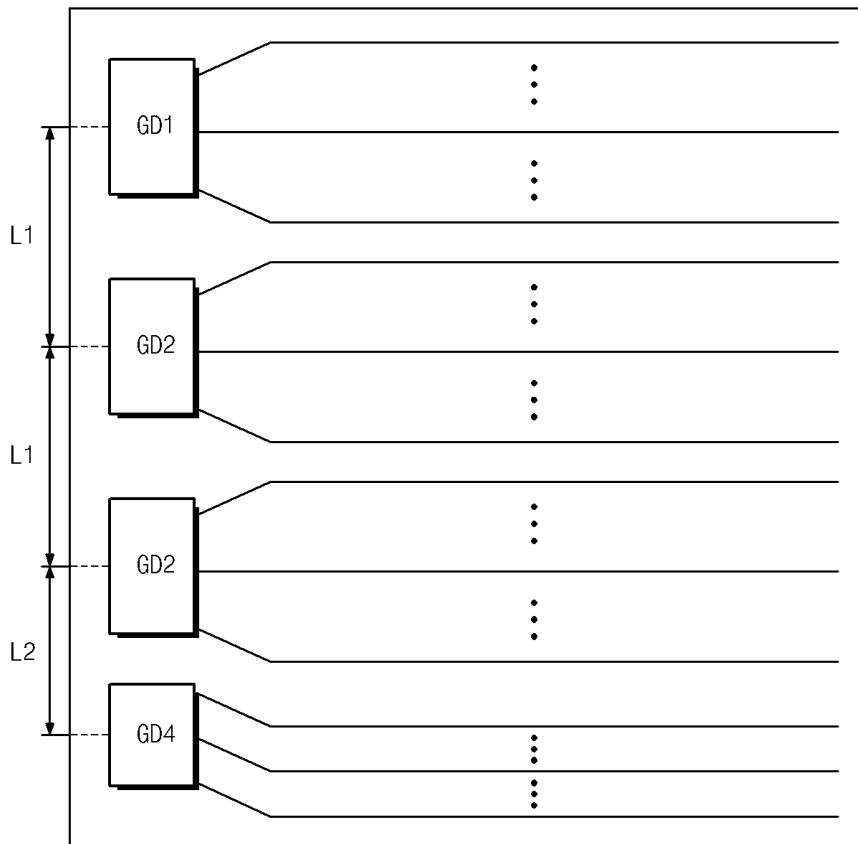
도면2



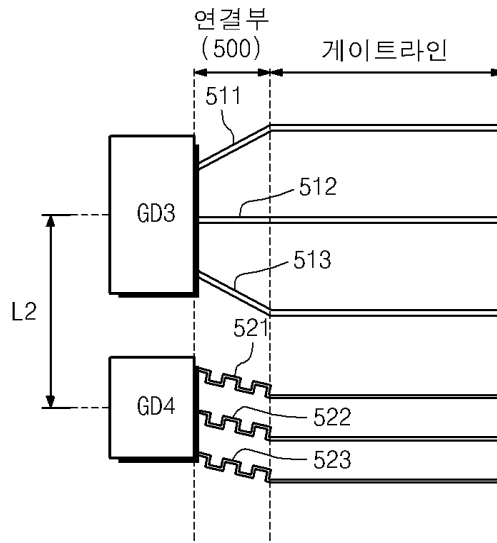
도면3



도면4



도면5



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示装置 | | |
| 公开(公告)号 | KR1020070047573A | 公开(公告)日 | 2007-05-07 |
| 申请号 | KR1020050104453 | 申请日 | 2005-11-02 |
| [标]申请(专利权)人(译) | 三星电子株式会社 | | |
| 申请(专利权)人(译) | 三星电子有限公司 | | |
| 当前申请(专利权)人(译) | 三星电子有限公司 | | |
| [标]发明人 | LEE JUNG WOO | | |
| 发明人 | LEE,JUNG WOO | | |
| IPC分类号 | G02F1/133 | | |
| CPC分类号 | G02F1/1303 G02F1/136286 G02F2001/13629 G09G2310/08 | | |
| 代理人(译) | KWON , HYUK SOO SE JUN OH 宋 , 云何 | | |
| 外部链接 | Espacenet | | |

摘要(译)

从时序控制器向第一组提供图像数据信号的第一有源部分包括第一和第二组内部集成电路的数量，该时序控制器平行地将水平周期的图像数据信号提供给第一和第二组。在本发明的液晶显示装置中，从时序控制器向第二存储体提供图像数据信号的不同和第二有源部分与包括第一和第二存储体的数据驱动器不同，在第一和第二存储体中，每个包括多个集成电路。

