(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[8]
G09G 3/36 (2006.01)

(11) 공개번호 10-2006-0016921
(43) 공개일자 2006년02월23일

(21) 출원번호 10-2004-0065392
(22) 출원일자 2004년08월19일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 홍원기
서울특별시 금천구 독산4동 1018-2호
이우정
경기도 용인시 동천동 우미이노스빌아파트 306동 903호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치용 구동 장치

요약

본 발명은 액정 표시 장치용 구동 장치에 관한 것이다.

스위칭 소자를 각각 포함하는 복수의 화소를 포함하는 액정 표시 장치의 구동 장치는, 상기 스위칭 소자에 게이트 신호를 인가하는 게이트 구동부, 그리고 상기 게이트 구동부를 제어하는 게이트 제어 신호를 생성하는 신호 제어부를 포함하며, 상기 게이트 제어 신호는 상기 게이트 구동부의 출력 시작을 알리는 주사 시작 신호를 포함하고, 상기 신호 제어부는, 상기 주사 시작 신호가 인가되는 배선에 연결되어 있는 입력 단자, 접지되어 있는 출력 단자, 그리고 제어 단자를 갖는 스위칭 회로를 포함한다.

이런 방식으로, 주사 시작 신호가 입력되는 경로에 스위칭 회로를 배치하고, 이 스위칭 회로의 개폐를 조절함으로써 용이하게 액정 표시 장치의 잔상 수준을 평가할 수 있다.

대표도

도 6

색인어

액정표시장치, 주사시작신호, 잔상, 스위칭회로, 게이트신호, 게이트구동부

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.

도 4는 도 3에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도의 한 예이다.

도 5는 도 3에 도시한 게이트 구동부의 신호 파형도이다.

도 6은 본 발명의 한 실시예에 따른 신호 제어부의 일부를 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 구동 장치에 관한 것이다.

일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층과 액정 분자가 드러눕는 방향을 결정하는 배향막을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.

이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이때, 액정층에 한 방향의 전계가 오랫동안 인가됨으로써 발생하는 열화 현상을 방지하기 위하여 프레임별로, 행별로, 또는 화소별로 공통 전압에 대한 데이터 전압의 극성을 반전시킨다.

발명이 이루고자 하는 기술적 과제

이러한 액정 표시 장치에서, 정지 화상을 오랜 시간동안 표시하였을 때 화상을 바꾸어도 이전의 화상이 그대로 남아 있는 이른바 잔상이 생긴다.

이러한 잔상의 원인으로 여러 가지가 추정되고 있다. 예를 들어, 액정 분자 내에 존재하는 이론적인 불순물이 배향막에 흡착되어 잔류 직류 전압이 액정 분자에 작용할 경우 화상이 그대로 남게 될 때 잔상이 생기거나, 정극성과 부극성의 데이터 전압의 절대값이 비대칭이 생겨 정극성 또는 부극성의 데이터 전압이 크게 됨으로써 액정 분자가 한 쪽 방향으로 고정되어 이전 화상을 그대로 표시하는 경우 등이다.

이 때, 제조된 모든 액정 표시 장치에 대하여 잔상 여부를 검사하는 것을 현실적으로 불가능하며, 또한 잔상 여부를 확인한 장치는 오랜 시간 구동하여야 하므로 양품이라 할 수 없다.

따라서, 본 발명이 이루고자 하는 기술적 과제는 종래 기술의 문제점을 해결할 수 있는 액정 표시 장치의 구동 장치를 제공하는 것이다.

발명의 구성 및 작용

이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따라 스위칭 소자를 각각 포함하는 복수의 화소를 포함하는 액정 표시 장치의 구동 장치는, 상기 스위칭 소자에 게이트 신호를 인가하는 게이트 구동부, 그리고 상기 게이트 구동부를 제어하는 게이트 제어 신호를 생성하는 신호 제어부를 포함하며, 상기 게이트 제어 신호는 상기 게이트 구동부의 출력 시작을 알리는 주사 시작 신호를 포함하고, 상기 신호 제어부는, 상기 주사 시작 신호가 인가되는 배선에 연결되어 있는 입력 단자, 접지되어 있는 출력 단자, 그리고 제어 단자를 갖는 스위칭 회로를 포함한다.

이 때, 상기 제어 단자에는 상기 스위칭 회로를 턴온 또는 턴오프시키는 스위칭 제어 신호가 인가되는데, 상기 스위칭 제어 신호는 작업자가 직접 입력하거나, 프로그래밍된 설비를 통하여 입력될 수 있다.

또한, 상기 스위칭 회로는 MOS형 트랜지스터이거나 BJT일 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 표시 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300)와 이에 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_n, D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)를 포함한다.

표시 신호선(G_1-G_n, D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소는 표시 신호선(G_1-G_n, D_1-D_m)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LC}) 및 유지 축전기(storage capacitor)(C_{ST})를 포함한다. 유지 축전기(C_{ST})는 필요에 따라 생략할 수 있다.

박막 트랜지스터 등 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선(G_1-G_n) 및 데이터선(D_1-D_m)에 연결되어 있으며, 출력 단자는 액정 축전기(C_{LC}) 및 유지 축전기(C_{ST})에 연결되어 있다.

액정 축전기(C_{LC})는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(V_{com})을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

액정 축전기(C_{LC})의 보조적인 역할을 하는 유지 축전기(C_{ST})는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(190)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(V_{com}) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{ST})는 화소 전극(190)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소가 삼원색 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 삼원색을 표시하게(시간 분할) 하여 이들 삼원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 도 2는 공간 분할의 한 예로서 각 화소가 화소 전극(190)에 대응하는 영역에 적색, 녹색, 또는 청색의 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.

액정 표시판 조립체(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다.

계조 전압 생성부(800)는 화소의 투과율과 관련된 두 벌의 복수 계조 전압을 생성한다. 두 벌 중 한 벌은 공통 전압(V_{com})에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)에 연결되어 외부로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가하며 통상 복수의 집적 회로로 이루어진다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 신호로서 화소에 인가하며 통상 복수의 집적 회로로 이루어진다.

복수의 게이트 구동 집적 회로 또는 데이터 구동 집적 회로는 칩의 형태로 TCP(tape carrier package)(도시하지 않음)에 실장하여 TCP를 액정 표시판 조립체(300)에 부착할 수도 있고, TCP를 사용하지 않고 유리 기판 위에 이들 집적 회로 칩을 직접 부착할 수도 있으며(chip on glass, COG 실장 방식), 이들 집적 회로 칩과 같은 기능을 수행하는 회로를 액정 표시판 조립체(300)에 직접 형성할 수도 있다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다.

그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(V_{sync})와 수평 동기 신호(H_{sync}), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)는 데이터 구동부(500)로 내보낸다.

게이트 제어 신호(CONT1)는 게이트 온 전압(V_{on})의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 전압(V_{on})의 출력 시기를 제어하는 게이트 클록 신호(CPV) 및 게이트 온 전압(V_{on})의 지속 시간을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.

데이터 제어 신호(CONT2)는 영상 데이터(DAT)의 입력 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(V_{com})에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클록 신호(HCLK) 등을 포함한다.

데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소에 대한 영상 데이터(DAT)를 차례로 입력받아 시프트시키고, 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 데이터 전압으로 변환한 후, 이를 해당 데이터선(D_1-D_m)에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(V_{on})을 게이트선(G_1-G_n)에 인가하여 이 게이트선(G_1-G_n)에 연결된 스위칭 소자(Q)를 턴온시키며, 이에 따라 데이터선(D_1-D_m)에 인가된 데이터 전압이 턴온된 스위칭 소자(Q)를 통하여 해당 화소에 인가된다.

화소에 인가된 데이터 전압과 공통 전압(V_{com})의 차이는 액정 축전기(C_{LC})의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며, 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.

1 수평 주기(또는 "1H")[수평 동기 신호(H_{sync}), 데이터 인에이블 신호(DE), 게이트 클록(CPV)의 한 주기]가 지나면 데이터 구동부(500)와 게이트 구동부(400)는 다음 행의 화소에 대하여 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G_1-G_n)에 대하여 차례로 게이트 온 전압(V_{on})을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(보기: "행 반전", "점 반전"), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(보기: "열 반전", "점 반전").

그러면 본 발명의 실시예에 따른 액정 표시 장치의 게이트 구동부에 대하여 도 3 내지 도 5를 참조하여 좀더 상세히 설명한다.

도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다. 도 4는 도 3에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도의 한 예이며, 도 5는 도 3에 도시한 게이트 구동부의 신호 파형도이다.

도 3에 도시한 게이트 구동부(400)는 일렬로 배열되어 있으며 게이트선(G_1-G_n)에 각각 연결되어 있는 복수의 스테이지(410)를 포함하는 시프트 레지스터로서, 주사 시작 신호(STV), 복수의 클록 신호(CLK1, CLK2) 및 게이트 오프 전압(V_{off})이 입력된다.

각 스테이지(410)는 세트 단자(S), 게이트 전압 단자(GV), 한 쌍의 클록 단자(CK1, CK2), 리세트 단자(R), 그리고 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있다.

각 스테이지, 예를 들면 j 번째 스테이지(ST_j)의 세트 단자(S)에는 전단 스테이지(ST_{j-1})의 캐리 출력, 즉 전단 캐리 출력[Cout(j-1)]이, 리세트 단자(R)에는 후단 스테이지(ST_{j+1})의 게이트 출력, 즉 후단 게이트 출력[Gout(j+1)]이 입력되고, 클록 단자(CK1, CK2)에는 클록 신호(CLK1, CLK2)가 입력되며, 게이트 전압 단자(GV)에는 게이트 오프 전압(V_{off})이 입력된다. 게이트 출력 단자(OUT1)는 게이트 출력[Gout(j)]을 내보내고 캐리 출력 단자(OUT2)는 캐리 출력[Cout(j)]을 내보낸다.

단, 시프트 레지스터(400)의 첫 번째 스테이지에는 전단 캐리 출력 대신 주사 시작 신호(STV)가 입력된다. 또한, j 번째 스테이지(ST_j)의 클록 단자(CK1)에 클록 신호(CLK1)가, 클록 단자(CK2)에 클록 신호(CLK2)가 입력되는 경우, 이에 인접한 (j-1)번째 및 (j+1)번째 스테이지(ST_{j-1}, ST_{j+1})의 클록 단자(CK1)에는 클록 신호(CLK2)가, 클록 단자(CK2)에는 클록 신호(CLK1)가 입력된다.

각 클록 신호(CLK1, CLK2)는 화소의 스위칭 소자(Q)를 구동할 수 있도록 전압 레벨이 하이인 경우는 게이트 온 전압(V_{on})과 같고 로우인 경우는 게이트 오프 전압(V_{off})과 같은 것이 바람직하다. 도 5에 도시한 바와 같이 각 클록 신호(CLK1, CLK2)는 듀티비가 50%이고 두 클록 신호(CLK1, CLK2)의 위상차는 180°일 수 있다.

도 4를 참고하면, 본 발명의 한 실시예에 따른 게이트 구동부(400)의 각 스테이지, 예를 들면 j 번째 스테이지는, 도 4에 도시한 바와 같이, 입력부(420), 풀업 구동부(430), 풀다운 구동부(440) 및 출력부(450)를 포함한다. 이들은 적어도 하나의 NMOS 트랜지스터(M1-M13)를 포함하며, 풀업 구동부(430)와 출력부(450)는 축전기(C1-C3)를 더 포함한다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C1-C3)는 실제로, 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있다.

입력부(420)는 세트 단자(S)와 게이트 전압 단자(GV)에 차례로 직렬로 연결되어 있는 세 개의 트랜지스터(M1, M3, M2)를 포함한다. 트랜지스터(M1, M2)의 게이트는 클록 단자(CK2)에 연결되어 있으며 트랜지스터(M2)의 게이트는 클록 단자(CK1)에 연결되어 있다. 트랜지스터(M1)와 트랜지스터(M3) 사이의 접점은 접점(J1)에 연결되어 있고, 트랜지스터(M3)와 트랜지스터(M1) 사이의 접점은 접점(J2)에 연결되어 있다.

풀업 구동부(430)는 세트 단자(S)와 접점(J1) 사이에 연결되어 있는 트랜지스터(M4)와 클록 단자(CK1)와 접점(J3) 사이에 연결되어 있는 트랜지스터(M6), 그리고 클록 단자(CK1)와 접점(J4) 사이에 연결되어 있는 트랜지스터(M7)를 포함한다. 트랜지스터(M4)의 게이트와 드레인은 세트 단자(S)에 공통으로 연결되어 있으며 소스는 접점(J1)에 연결되어 있고, 트랜지스터(M6)의 게이트와 드레인은 클록 단자(CK1)에 공통으로 연결되어 있고 소스는 접점(J3)에 연결되어 있다. 트랜지스터(M7)의 게이트는 접점(J3)에 연결됨과 동시에 축전기(C1)를 통하여 클록 단자(CK1)에 연결되어 있고, 드레인은 클록 단자(CK1)에, 소스는 접점(J4)에 연결되어 있으며, 접점(J3)과 접점(J4) 사이에 축전기(C2)가 연결되어 있다.

풀다운 구동부(440)는 소스를 통하여 게이트 오프 전압(V_{off})을 입력받아 드레인을 통하여 접점(J1, J2, J3, J4)으로 출력하는 복수의 트랜지스터(M5, M8, M9, M12, M13)를 포함한다. 트랜지스터(M5)의 게이트는 리세트 단자(R)에, 드레인은 접점(J1)에 연결되어 있고, 트랜지스터(M8, M9)의 게이트는 접점(J2)에 공통으로 연결되어 있고, 드레인은 각각 접점(J3, J4)에 연결되어 있다. 트랜지스터(M12)의 게이트는 접점(J4)에, 트랜지스터(M13)의 게이트는 리세트 단자(R)에 연결되어 있으며, 두 트랜지스터(M12, M13)의 드레인은 접점(J2)에 연결되어 있다.

출력부(450)는 드레인과 소스가 각각 클록 단자(CK1)와 출력 단자(OUT1, OUT2) 사이에 연결되어 있고 게이트가 접점(J1)에 연결되어 있는 한 쌍의 트랜지스터(M10, M11)와 트랜지스터(M10)의 게이트와 드레인 사이, 즉 접점(J1)과 접점(J2) 사이에 연결되어 있는 축전기(C3)를 포함한다. 트랜지스터(M10)의 소스는 또한 접점(J2)에 연결되어 있다.

그러면 이러한 스테이지의 동작에 대하여 설명한다.

설명의 편의를 위하여 클록 신호(CLK1, CLK2)의 하이 레벨에 해당하는 전압을 고전압이라 하고, 클록 신호(CLK1, CLK2)의 로우 레벨에 해당하는 전압의 크기는 게이트 오프 전압(V_{off})과 동일하고 이를 저전압이라 한다.

먼저, 클록 신호(CLK2) 및 전단 캐리 출력[Cout(j-1)]이 하이가 되면, 트랜지스터(M1, M2)와 트랜지스터(M4)가 턴온된다. 그러면 두 트랜지스터(M1, M4)는 고전압을 접점(J1)으로 전달하고, 트랜지스터(M2)는 저전압을 접점(J2)으로 전달한다. 이로 인해, 트랜지스터(M10, M11)가 턴온되어 클록 신호(CLK1)가 출력단(OUT1, OUT2)으로 출력되는데, 이 때 접점(J2)의 전압과 클록 신호(CLK1)가 모두 저전압이므로, 출력 전압[Gout(j), Cout(j)]은 저전압이 된다. 이와 동시에, 축전기(C3)는 고전압과 저전압의 차에 해당하는 크기의 전압을 충전한다.

이 때, 클록 신호(CLK1) 및 후단 게이트 출력[Gout(j+ 1)]은 로우이고 접점(J2) 또한 로우이므로, 이에 게이트가 연결되어 있는 트랜지스터(M3, M5, M6, M8, M9, M13)는 모두 오프 상태이다.

이어, 클록 신호(CLK2)가 로우가 되면 트랜지스터(M1, M2)가 턴오프되고, 이와 동시에 클록 신호(CLK1)가 하이가 되면 트랜지스터(M10)의 출력 전압 및 접점(J2)의 전압이 고전압이 된다. 이 때, 트랜지스터(M3)의 게이트에는 고전압이 인가되지만 접점(J2)에 연결되어 있는 소스의 전위가 또한 동일한 고전압이므로, 게이트 소스간 전위차가 0이 되어 트랜지스터(M3)는 턴오프 상태를 유지한다. 따라서, 접점(J1)은 부유 상태가 되고 이에 따라 축전기(C3)에 의하여 고전압만큼 전위가 더 상승한다.

한편, 클록 신호(CLK1) 및 접점(J2)의 전위가 고전압이므로 트랜지스터(M6, M8, M9)가 턴온된다. 이 상태에서 트랜지스터(M6)와 트랜지스터(M8)가 고전압과 저전압 사이에서 직렬로 연결되며, 이에 따라 접점(J3)의 전위는 두 트랜지스터(M6, M8)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압값을 가진다. 그런데, 두 트랜지스터(M8)의 턴온시 저항 상태의 저항값이 트랜지스터(M6)의 턴온시 저항 상태의 저항값에 비하여 매우 크게, 이를테면 약 10,000배 정도로 설정되어 있다고 하면 접점(J3)의 전압은 고전압과 거의 동일하다. 따라서, 트랜지스터(M7)가 턴온되어 트랜지스터(M9)와 직렬로 연결되고, 이에 따라 접점(J4)의 전위는 두 트랜지스터(M7, M9)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압값을 갖는다. 이 때, 두 트랜지스터(M7, M9)의 저항 상태의 저항값이 거의 동일하게 설정되어 있으면, 접점(J4)의 전위는 고전압과 저전압의 중간값을 가지고 이에 따라 트랜지스터(M12)는 턴오프 상태를 유지한다. 이 때, 후단 게이트 출력[Gout(j+ 1)]이 여전히 로우이므로 트랜지스터(M5, M13) 또한 턴오프 상태를 유지한다. 따라서, 출력단(OUT1, OUT2)은 클록 신호(CLK1)에만 연결되고 저전압과는 차단되어 고전압을 내보낸다.

한편, 축전기(C1)와 축전기(C2)는 양단의 전위차에 해당하는 전압을 각각 충전하는데, 접점(J3)의 전압이 접점(J5)의 전압보다 낮다.

이어, 후단 게이트 출력[Gout(j+1)] 및 클록 신호(CLK2)가 하이가 되고 클록 신호(CLK1)가 로우가 되면, 트랜지스터(M5, M13)가 턴온되어 접점(J1, J2)으로 저전압을 전달한다. 이 때, 접점(J1)의 전압은 축전기(C3)가 방전하면서 저전압으로 떨어지는데, 축전기(C3)의 방전 시간으로 인하여 저전압으로 완전히 내려가는 데는 어느 정도 시간을 필요로 한다. 따라서, 두 트랜지스터(M10, M11)는 후단 게이트 출력[Gout(j+1)]이 하이가 되고도 잠시동안 턴온 상태를 유지하게 되고 이에 따라 출력단(OUT1, OUT2)이 클록 신호(CLK1)와 연결되어 저전압을 내보낸다. 이어, 축전기(C3)가 완전히 방전되어 접점(J1)의 전위가 저전압에 이르면 트랜지스터(M11)가 턴오프되어 출력단(OUT2)이 클록 신호(CLK1)와 차단되므로, 캐리 출력[Cout(j)]은 부유 상태가 되어 저전압을 유지한다. 이와 동시에, 출력단(OUT1)은 트랜지스터(M10)가 턴오프되더라도 트랜지스터(M13)를 통하여 저전압과 연결되므로 계속해서 저전압을 내보낸다.

한편, 트랜지스터(M6, M8)가 턴오프되므로, 접점(J3)이 부유 상태가 된다. 또한 접점(J5)의 전압이 접점(J4)의 전압보다 낮아지는데 축전기(C1)에 의하여 접점(J3)의 전압이 접점(J5)의 전압보다 낮은 상태를 유지하므로 트랜지스터(M7)는 턴오프된다. 이와 동시에 트랜지스터(M9)도 턴오프 상태가 되므로 접점(J4)의 전압도 그만큼 낮아져 트랜지스터(M12) 또한 턴오프 상태를 유지한다. 또한, 트랜지스터(M3)는 게이트가 클록 신호(CLK1)의 저전압에 연결되고 접점(J2)의 전압도 로우이므로 턴오프 상태를 유지한다.

다음, 클록 신호(CLK1)가 하이가 되면, 트랜지스터(M6, M7)가 턴온되고, 접점(J4)의 전압이 상승하여 트랜지스터(M12)를 턴온시켜 저전압을 접점(J2)으로 전달하므로 출력단(OUT1)은 계속해서 저전압을 내보낸다. 즉, 비록 후단 게이트 출력[Gout(j+1)]이 출력이 로우라 하더라도 접점(J2)의 전압이 저전압이 될 수 있도록 한다.

한편, 트랜지스터(M3)의 게이트가 클록 신호(CLK1)의 고전압에 연결되고 접점(J2)의 전압이 저전압이므로 턴온되어 접점(J2)의 저전압을 접점(J1)으로 전달한다. 한편, 두 트랜지스터(M10, M11)의 드레인에는 클록 단자(CK1)가 연결되어 있어 클록 신호(CLK1)가 계속해서 인가된다. 특히, 트랜지스터(M10)는 나머지 트랜지스터들에 비하여 상대적으로 크게 만드는데, 이로 인해 게이트 드레인간 기생 용량이 커서 드레인의 전압 변화가 게이트 전압에 영향을 미칠 수 있다. 따라서, 클록 신호(CLK1)가 하이가 될 때 게이트 드레인간 기생 용량 때문에 게이트 전압이 올라가 트랜지스터(M10)가 턴온될 수도 있다. 따라서, 접점(J2)의 저전압을 접점(J1)으로 전달함으로써 트랜지스터(M10)의 게이트 전압을 저전압으로 유지하여 트랜지스터(M10)가 턴온되는 것을 방지한다.

이후에는 전단 캐리 출력[Cout(j-1)]이 하이가 될 때까지 접점(J1)의 전압은 저전압을 유지하며, 접점(J2)의 전압은 클록 신호(CLK1)가 하이이고 클록 신호(CLK2)가 로우일 때는 트랜지스터(M12)를 통하여 저전압이 되고, 그 반대의 경우에는 트랜지스터(M2)를 통하여 저전압을 유지한다.

이러한 방식으로, 스테이지(410)는 전단 캐리 신호[Cout(j-1)] 및 후단 게이트 신호[Gout(j+1)]에 기초하고 클록 신호(CLK1, CLK2)에 동기하여 캐리 신호[Cout(j)] 및 게이트 신호[Gout(j)]를 생성한다.

이 때, 첫 번째 스테이지(ST1)에 주사 시작 신호(STV)가 입력되면서 전체 스테이지의 동작이 시작되며, 주사 시작 신호(STV)가 입력되지 않는 경우에는 게이트 구동부(400)는 출력을 내보내지 않게 되어 화상을 표시하지 못한다.

도 6은 본 발명의 한 실시예에 따른 신호 제어부(600)의 일부를 나타내는 도면으로서, 신호 제어부(600)는 스위칭 회로(SW)를 포함한다.

스위칭 회로(SW)는 주사 시작 신호(STV)가 인가되는 배선에 입력 단자가 연결되어 있고, 제어 단자는 제어 신호(CONT3)에 연결되어 있으며 출력 단자는 접지되어 있다.

여기서, 스위칭 회로(SW)로서 MOS형 트랜지스터, BJT(bipolar junction transistor) 등을 사용할 수 있다. 이 때, 예를 들어 스위칭 회로(SW)가 NMOS형 트랜지스터인 경우, 로우 레벨을 갖는 제어 신호(CONT3)가 인가되면 스위칭 회로(SW)가 턴온되어 주사 시작 신호(STV)는 로우 레벨을 갖게 된다. 그러면, 게이트 구동부(400)에 입력되는 신호가 로우값이 되어 게이트 구동부(400)는 동작하지 않게 되며, 데이터 구동부(500)에서 데이터 전압을 인가하더라도 화소 전극(190)에 전달되지 못한다.

이 때, 정지 화상을 일정 시간 표시하고, 주사 시작 신호(STV)를 로우로 만들면, 화소는 이전에 인가된 전압을 방전시킨다. 그러면, 스위칭 소자(Q)의 특성이나 액정 분자의 품질에 따라 방전 속도가 느린 경우에는 이전 화상을 표시하게 된다. 따라서, 잔상에 대한 기준을 설정하면 양품과 불량품을 어느 정도 판별할 수 있다. 예를 들면, 잔상이 몇 초 이하로 지속되면 양호하다거나 몇 초 이상 지속되면 불량한지 여부 등을 정할 수 있다.

또한, 제어 신호(CONT3)는 작업자가 직접 인가할 수도 있으며, 프로그래밍된 설비를 통하여 인가할 수도 있을 것이다.

본 발명의 실시예에서는 주사 시작 신호를 일례로 설명하였지만, 이와 동기되는 신호를 사용할 수 있다.

발명의 효과

이러한 방식으로, 주사 시작 신호(STV)가 인가되는 경로에 스위칭 회로(SW)를 구비함으로써, 오랜 시간 구동하지 않고도 액정 표시 장치의 잔상 여부를 판별할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

(57) 청구의 범위

청구항 1.

스위칭 소자를 각각 포함하는 복수의 화소를 포함하는 액정 표시 장치의 구동 장치로서,

상기 스위칭 소자에 게이트 신호를 인가하는 게이트 구동부, 그리고

상기 게이트 구동부를 제어하는 게이트 제어 신호를 생성하는 신호 제어부

를 포함하며,

상기 게이트 제어 신호는 상기 게이트 구동부의 출력 시작을 알리는 주사 시작 신호를 포함하고,

상기 신호 제어부는, 상기 주사 시작 신호가 인가되는 배선에 연결되어 있는 입력 단자, 접지되어 있는 출력 단자, 그리고 제어 단자를 갖는 스위칭 회로를 포함하는

액정 표시 장치의 구동 장치.

청구항 2.

제1항에서,

상기 제어 단자에는 상기 스위칭 회로를 턴온 또는 턴오프시키는 스위칭 제어 신호가 인가되는 액정 표시 장치의 구동 장치.

청구항 3.

제2항에서,

상기 스위칭 제어 신호는 작업자가 직접 입력하는 액정 표시 장치의 구동 장치.

청구항 4.

제2항에서,

상기 스위칭 제어 신호는 프로그래밍된 설비를 통하여 입력되는 액정 표시 장치의 구동 장치.

청구항 5.

제3항 또는 제4항에서,

상기 스위칭 회로는 MOS형 트랜지스터인 액정 표시 장치의 구동 장치.

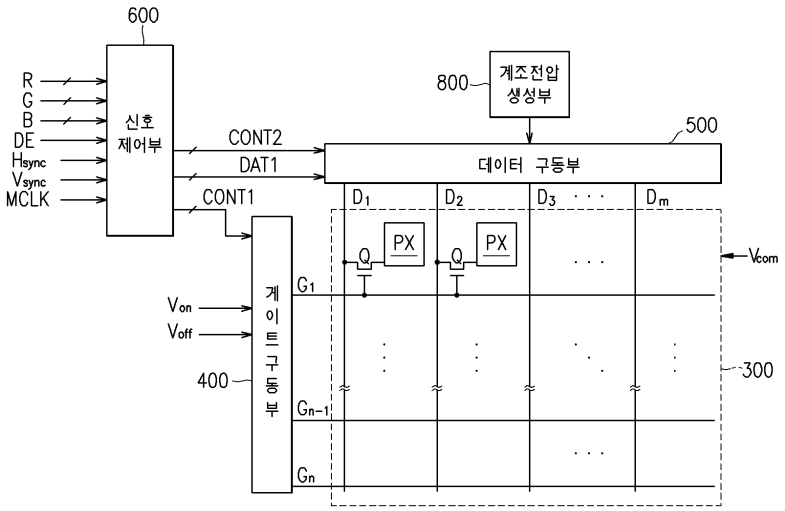
청구항 6.

제3항 또는 제4항에서,

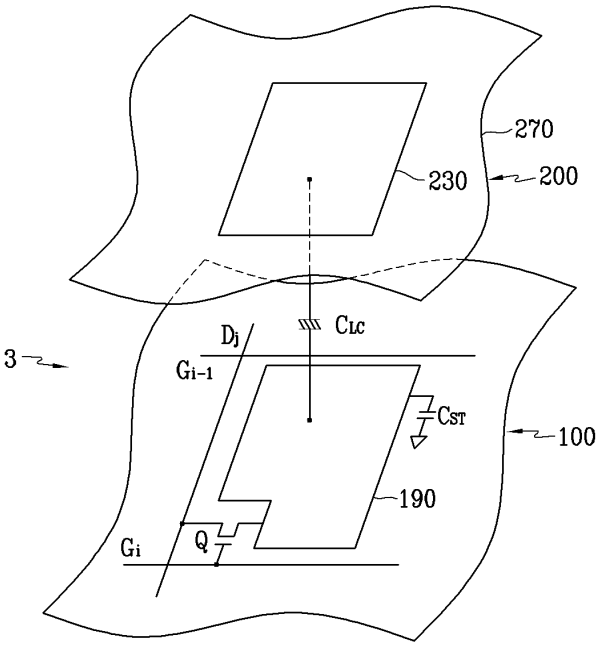
상기 스위칭 회로는 BJT인 액정 표시 장치의 구동 장치.

도면

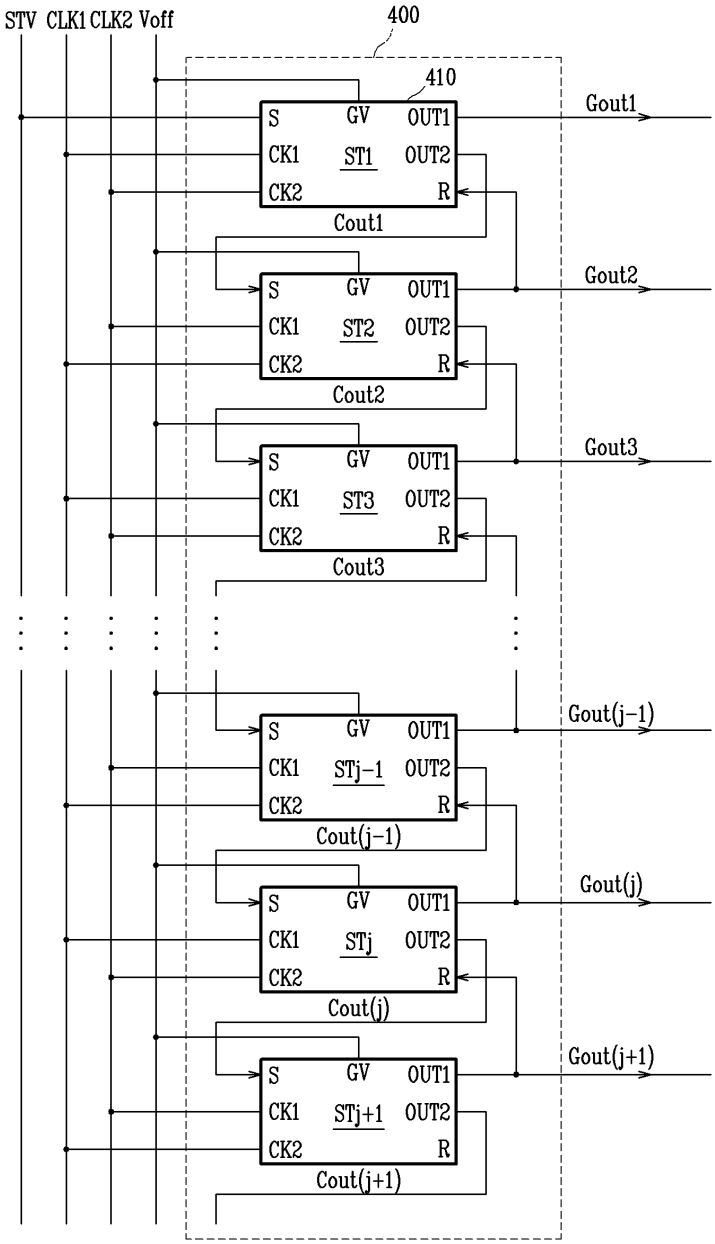
도면1



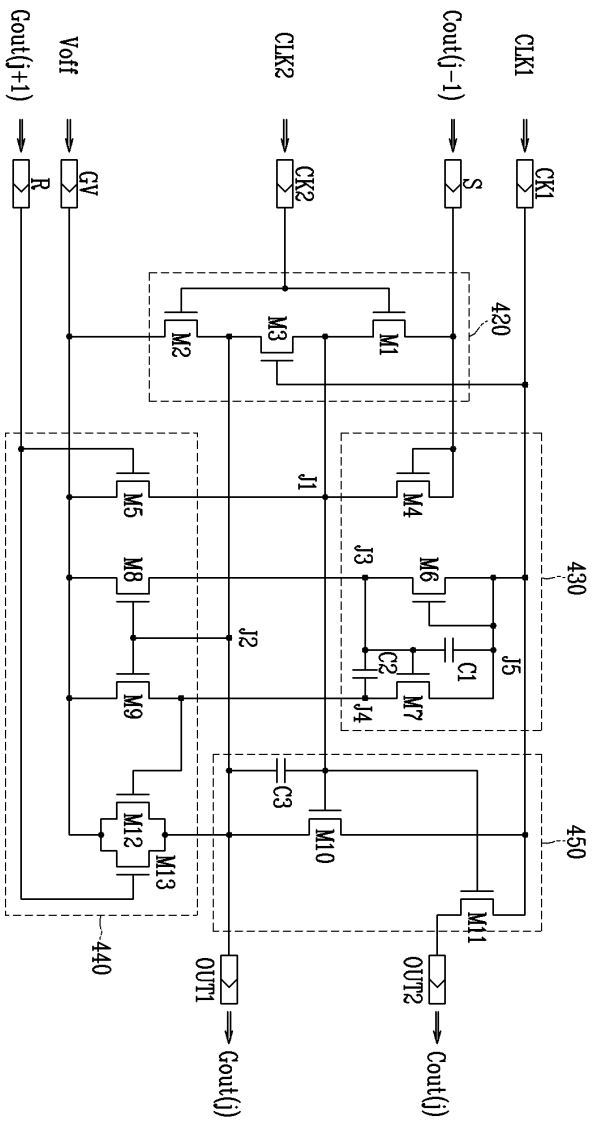
도면2



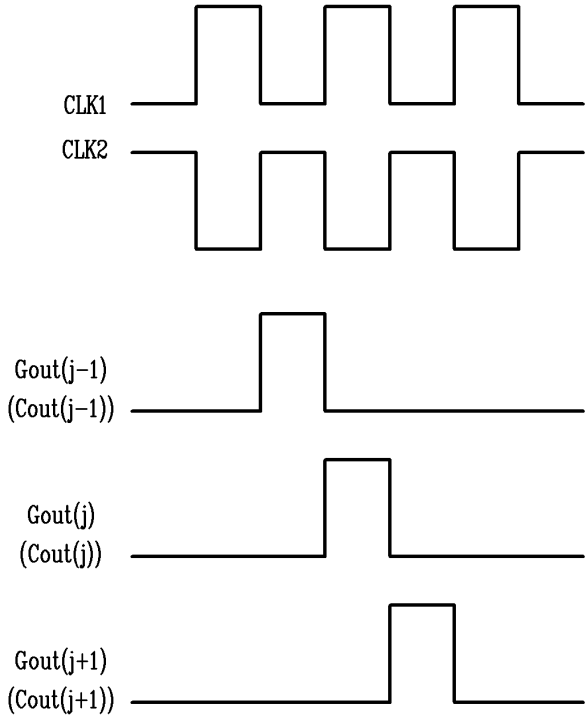
도면3


STV
CLK1
CLK2
Voff
400
410
S
GV
OUT1
CK1
ST1
OUT2
CK2
R
Cout1
Gout1
ST2
Cout2
Gout2
ST3
Cout3
Gout3
STj-1
Cout(j-1)
Gout(j-1)
STj
Cout(j)
Gout(j)
STj+1
Cout(j+1)
Gout(j+1)

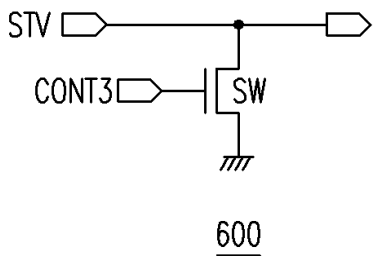
도면4


CLK1
Cout(j-1)
CLK2
Voff
Gout(j+1)
CK1
S
CK2
GV
R
420
M1
M2
M3
J1
M4
M5
430
M6
M8
J3
J2
C1
C2
J5
J4
M7
M9
450
C3
M10
M11
M12
M13
440
OUT1
OUT2
Gout(j)
Cout(j)

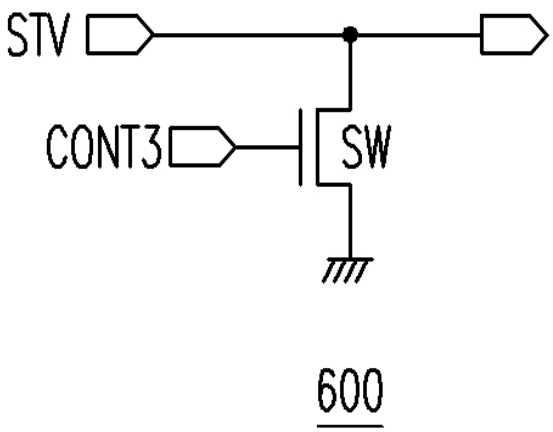
도면5


CLK1
CLK2
Gout(j-1)
(Cout(j-1))
Gout(j)
(Cout(j))
Gout(j+1)
(Cout(j+1))

도면6


STV
CONT3
SW
600

专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	KR1020060016921A	公开(公告)日	2006-02-23
申请号	KR1020040065392	申请日	2004-08-19
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	HONG WONKEE 홍원기 LEE WOOJUNG 이우정		
发明人	홍원기 이우정		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3674 G09G3/006 G09G2310/0243 G09G2320/0257		
外部链接	Espacenet		

摘要(译)

液晶显示装置的驱动装置本发明涉及液晶显示装置的驱动装置。 驱动装置为一液晶显示器，包括多个像素分别包括开关元件，以及用于施加栅极信号给开关元件的栅极驱动器的信号控制单元，以及用于控制栅极驱动器生成的栅极控制信号栅极控制信号，并且其中所述信号控制器包括：被施加到扫描开始信号时，连接到所述布线的输入端子，被接地的输出端，和扫描开始信号的指示栅极驱动部分的输出开始的控制端子Lt ;; 以这种方式，将所述开关电路在所述扫描路径，开始信号被输入，并评估残余的图像容易地通过控制开关电路的开闭的液晶显示装置的水平。 6 指数方面 液晶显示器，扫描开始信号，残留图像，开关电路，栅极信号，