

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>8</sup> G02F 1/133 (2006.01)	(11) 공개번호 (43) 공개일자	10-2006-0001398 2006년01월06일
--	------------------------	--------------------------------

(21) 출원번호	10-2004-0050516
(22) 출원일자	2004년06월30일

(71) 출원인	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	장용호 경기도 과천시 별양동 주공아파트 647-308 조남욱 경기도 군포시 금정동 875 퇴계주공 352-1704호 전민두 서울특별시 광진구 중곡3동 174-1번지
(74) 대리인	김용인 심창섭

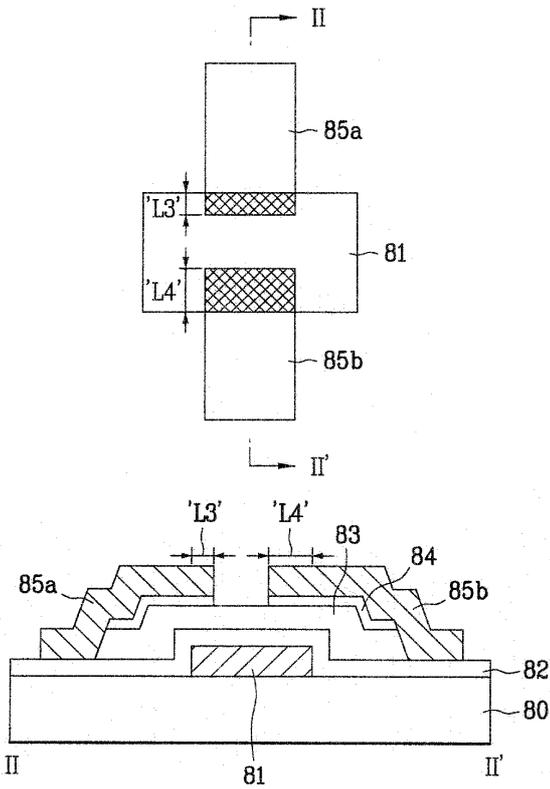
심사청구 : 없음

(54) 액정표시장치 및 그의 제조방법

요약

본 발명은 게이트 구동부가 액정패널의 하부기판에 실장되어 있을 경우, 게이트 구동 신호 출력부를 구성하는 a-Si:H TFT의 전압 불안정성을 감소시켜서 비정상적인 게이트 구동 신호의 출력(신호 왜곡)을 최소화하기에 알맞은 액정표시장치 및 그의 제조방법을 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 액정표시장치는 제 1, 제 2 제어신호(Q<sub>1</sub>)를 출력하는 신호 제어부와; 상기 제 1 제어신호를 입력받아 동작하고, 클럭신호단(CLK)과 게이트 구동 신호 출력단 사이에 제 1 게이트전극과 제 1 드레인전극/소오스전극의 오버랩되는 면적이 비대칭적인 풀업 트랜지스터와, 상기 제 2 제어신호를 받아 동작하고, 상기 게이트 구동 신호 출력단과 접지전압단(VSS)의 사이에 연결된 풀다운 트랜지스터로 구성된 게이트 구동 신호 출력부를 구비하여, 하부기판의 일측 상부에 실장된 게이트 구동부를 포함하는 것을 특징으로 한다.

대표도



색인어

게이트 구동부, 비대칭, 클럭신호

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 개략적인 레이아웃도

도 2는 종래 기술에 따른 게이트 구동부의 단위 회로도

도 3a와 도 3b는 도 2의 'A'영역의 풀업 트랜지스터(PU)를 나타낸 평면도 및 구조 단면도

도 4는 종래 기술에 따른 게이트 구동부의 문제점을 나타낸 출력 파형도

도 5는 종래의 다른 기술에 따른 게이트 구동부의 단위 회로도

도 6은 도 5의 풀업 트랜지스터(PU) 및 커패시터(C1)를 도시한 구조 단면도

도 7은 본 발명을 적용하기 위한 액정표시장치의 게이트 구동부의 단위 회로도

도 8a와 도 8b는 본 발명의 제 1 실시예에 따른 도 7의 'B'영역의 풀업 트랜지스터(PU)를 나타낸 평면도 및 구조 단면도

도 9a와 도 9b는 본 발명의 제 2 실시예에 따른 도 7의 'B' 및 'C'영역의 평면도 및 구조 단면도

도 10은 본 발명을 적용하기 위한 액정표시장치의 다른 기술에 따른 게이트 구동부의 단위 회로도

도 11a 내지 도 11d는 본 발명에 따른 액정표시장치의 제조방법을 나타낸 공정 단면도

\* 도면의 주요 부분에 대한 부호의 설명 \*

70, 100 : 신호 제어부 80, 110 : 기관

81, 111 : 제 1 게이트전극 81a : 제 2 게이트전극

82, 112 : 게이트 절연막 83 : 제 1 활성층

84, 114 : 오믹 콘택층 85a : 제 1 드레인전극

85b, 115b : 소오스전극 85c : 제 2 드레인전극

113 : 액티브층 115 : 도전성 금속

115a : 드레인전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 대한 것으로, 특히 게이트 구동부가 액정패널에 실장되어 있을 경우, 게이트 구동 신호 출력부를 구성하는 a-Si:H TFT의 전압 불안정성을 감소시켜서 신호 왜곡을 최소화하기에 알맞은 액정표시장치 및 그의 제조방법에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)을 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이하, 첨부 도면을 참조하여 일반적인 액정표시장치에 대하여 설명하면 다음과 같다.

도 1은 일반적인 액정표시장치의 개략적인 레이아웃도이다.

도 1에 도시한 바와 같이, 상,하부기관(10, 11)과 그 사이에 충전된 액정층(미도시)으로 구성된 액정패널(20)과, 상기 하부기관(11)의 일측 상부에 실장된 복수개의 게이트 드라이버(12\_1, 12\_2 ~ 12\_n)들로 구성된 게이트 구동부(12)와, 데이터 TCP(13)에 의해서 소오스 인쇄회로기판(14)에 각각 연결되어 있는 복수개의 데이터 드라이버(15\_1 ~ 15\_m)들로 구성된 데이터 구동부(15)와, 상기 게이트 구동부(12)와 데이터 구동부(15)에 제어신호 및 화상정보를 출력하는 타이밍 제어부(16)로 구성된다.

그리고 상기 타이밍 제어부(16)로부터 출력된 제어신호를 각 게이트 드라이버 IC(12)로 입력시키기 위한 제어신호 라인들이 복수개 배열되어 있다. 이때 타이밍 제어부(16)에서는 제어신호로써, 소정의 클럭신호(CLK), 게이트 스타트 신호 및 타이밍 신호를 공급하여 게이트 구동부(12)와 데이터 구동부(15)의 구동 타이밍을 제어한다.

그리고 상기 각 제어신호 라인들에 접속되어 게이트 구동부(12)의 각 게이트 드라이버(12\_1 ~ 12\_n)들로 신호를 입력시키는 입력신호 라인들이 복수개 배열되어 있다. 도면에는 도시되지 않았지만, 게이트 구동부(12)의 출력신호 라인들을 통해서 하부기관(11)의 각 게이트 패드부에 순차적으로 주사신호가 출력된다.

그리고 상기 액정패널(20)의 내부에는 화상이 표시되는 화소부(8)가 정의되어 있고, 도면에는 도시되어 있지 않지만, 상기 하부기관(11)에는 수직 교차되어 매트릭스 형태의 화소영역을 정의하는 복수개의 게이트 라인(G/L)들 및 데이터라인(D/L)과, 상기 각 게이트 라인(G/L)과 데이터 라인(D/L)에 의해 정의된 각 화소영역에 형성된 복수개의 화소전극과, 상기 게이트 라인(G/L)의 신호에 따라 상기 데이터 라인(D/L)의 신호를 각 화소전극에 인가하는 복수개의 박막트랜지스터(TFT)가 상기 각 게이트 라인(G/L)과 데이터 라인(D/L)이 교차하는 부분에 형성된다.

상기에서 박막 트랜지스터(TFT)는 게이트라인의 일측에서 돌출된 게이트전극과, 게이트전극을 포함한 전면에 형성된 게이트 절연막과, 게이트전극을 포함한 상부에 오버랩되어 있는 활성층과, 상기 데이터 라인의 일측에서 오버랩되며 게이트 전극 일측에 오버랩되어 있는 소오스전극과, 상기 소오스전극과 이격되어 있는 드레인전극으로 구성된다. 그리고 활성층과 소오스/드레인전극 사이에는 오믹 콘택층이 더 형성되어 있다. 그리고 상기 데이터라인을 포함한 상부에 드레인전극에 제 1 콘택홀을 갖도록 보호막이 형성되어 있고, 제 1 콘택홀을 통해서 드레인전극과 화소전극이 콘택되어 있다.

그리고 상부기관(10)에는 도면에는 도시되어 있지 않지만, 블랙 매트릭스에 의해 화소영역별로 분리되어 도포된 칼라필터층과, 상기 화소전극의 상대 전극인 공통전극이 구비되어 있다.

상기 게이트 라인에 순차적으로 턴온(turn on) 신호를 인가하면 그 때마다 해당 라인의 화소전극에 데이터 신호가 인가됨에 의해서 영상이 표시된다.

그리고 도면에는 도시되어 있지 않지만, 상기 게이트 구동부(12) 및 데이터 구동부(15)는 복수개의 버퍼 TFT들로 구성되어 있다.

특히, 상기 게이트 구동부(12)의 버퍼 TFT는 a-Si:H TFT를 이용하여 구성시킬 수 있다.

이하에서는 게이트 구동부(12)의 버퍼 TFT를 a-Si:H TFT로 구성한 종래 기술에 대하여 첨부 도면을 참조하여 설명하기로 한다.

도 2는 종래 기술에 따른 게이트 구동부의 단위 회로도이고, 도 3a와 도 3b는 도 2의 'A'영역의 풀업 트랜지스터(PU)를 나타낸 평면도 및 구조 단면도이다.

그리고 도 4는 종래 기술에 따른 게이트 구동부의 문제점을 나타낸 출력 파형도이다.

도 5는 종래의 다른 기술에 따른 게이트 구동부의 단위 회로도이고, 도 6은 도 5의 풀업 트랜지스터(PU) 및 커패시터(C1)를 도시한 구조 단면도이다.

종래 기술에 따른 게이트 구동부는 도 2에 도시한 바와 같이, 제 1, 제 2 제어신호(Q<sub>1</sub>)를 출력하는 신호 제어부(21)와, 상기 신호 제어부(21)의 제 1, 제 2 제어신호를 입력받아서 화소부의 게이트라인(G/L)으로 게이트 신호를 출력시키기 위한 게이트 구동 신호 출력부로 구성되어 있다.

상기 게이트 구동 신호 출력부는 클럭신호단(CLK)과 접지전압단(VSS) 사이에 a-Si:H TFT로 구성된 풀업, 풀다운 트랜지스터(PU,PD)로 구성되어 있다. 이때 게이트 구동 신호는 풀업, 풀다운 트랜지스터(PU,PD) 사이의 출력노드1(N1)을 통해 출력된다.

상기 풀업, 풀다운 트랜지스터는 제 1, 제 2 제어신호(Q<sub>1</sub>)에 따라 턴온, 턴오프가 결정되고, 풀업 트랜지스터가 충전되고 풀다운 트랜지스터가 방전될 때 게이트 구동 신호를 출력시킨다.

상기와 같이 구성된 게이트 구동 신호 출력부에서 일단에 클럭신호(CLK)가 인가되는 풀업 트랜지스터는 도 3a와 도 3b에 도시한 바와 같이, 기관(30)의 일영역상에 제 1 게이트전극(31)이 형성되어 있고, 제 1 게이트전극(31)을 포함한 기관(30)상에 게이트절연막(32)이 형성되어 있고, 상기 제 1 게이트전극(31)의 일영역 상부를 포함한 게이트절연막(32)상에 제 1 활성층(33)이 형성되어 있고, 상기 제 1 게이트전극(31)의 일측 상부에 제 1 면적을 갖고 오버랩되도록 제 1 드레인전극(35a)이 형성되어 있으며, 상기 제 1 게이트전극(31)의 타측 상부에 제 1 면적과 동일한 제 2 면적을 갖고 오버랩되도록 소오스전극(35b)이 형성되어 있다. 상기에서 제 1 활성층(33)과 제 1 드레인전극(35a), 제 1 활성층(33)과 소오스전극(35b)의 사이에는 오믹 콘택층(34)이 더 구비되어 있다.

이때 제 1 활성층(33)은 비정질 실리콘층으로 구성되어 있고, 오믹 콘택층(34)은 n+ 비정질 실리콘층으로 구성되어 있다.

상기에서 제 1, 제 2 제어신호(Q<sub>1</sub>)가 인가되지 않아도 클럭신호(CLK)는 클럭신호단을 통해서 풀업 트랜지스터(PU)의 일단에 계속적으로 인가된다.

이와 같이 풀업 트랜지스터(PU)의 일단으로 클럭신호(CLK)가 주기적으로 인가되고, 게이트 신호 출력단과 연결된 풀업, 풀다운 트랜지스터(PU,PD)가 플로팅(floating) 상태에 있을 경우, 클럭신호(CLK) 인가에 의해서 제 1, 제 2 제어신호(Q<sub>1</sub>)가 불안정해져서 도 4에 도시한 바와 같이, 입력신호인 제 1, 제 2 제어신호(Q<sub>1</sub>)와 동기되지 않은 비정상적인 게이트 출력 신호(G/L)가 발생할 수 있다.

이와 같은 현상은 게이트 구동회로의 구동 초기에는 문제가 되지 않지만, 액정패널이 열화되어 풀업 트랜지스터가 방전되는 문제가 발생할 경우에는 클럭신호에 의해 복수개의 게이트 구동 신호가 출력되어 화질 불량(떨림 현상)을 초래할 수 있다.

즉, 도 4에 도시된 바와 같이, 입력신호인 제 1, 제 2 제어신호(Q<sub>1</sub>)가 인가되는 경우에도 풀다운 트랜지스터(PD)의 제 2 제어신호(Q<sub>2</sub>)는 커플링(coupling)에 의해 전압이 올라가서 비정상적인 게이트 구동 신호가 출력됨을 알 수 있다.

다음에 종래의 다른 기술에 따른 게이트 구동부는 상기의 문제를 해결하기 위해서 도 5에 도시한 바와 같이, 풀업 트랜지스터(PU)의 게이트전극과 소오스전극 사이에 커패시터(C1)를 더 구비시켰다.

즉, 도 6에 도시한 바와 같이, 기관(60)의 일영역 상부에 제 1 게이트전극(61)이 형성되어 있고, 상기 제 1 게이트전극(61)과 동일한 층에 제 1 도전층(61a)이 연장(미도시) 형성되고, 제 1 게이트전극(61)과 제 1 도전층(61a)을 포함한 상부에 게이트절연막(62)이 형성되어 있고, 상기 제 1 게이트전극(61)을 포함한 상부에 액티브층(63)이 형성되어 있고, 제 1 게이트전극(61)의 일측 상부에 오버랩되도록 드레인전극(64a)이 형성되어 있고, 상기 드레인전극(64a)과 이격되어 제 1 게이트전극(61)의 타측 상부에 오버랩되도록 소오스전극(64b)이 상기 제 1 도전층(61a) 상부까지 연장되어 있으며, 상기 드레인/소오스전극(64a, 64b)을 포함한 전면에 층간절연막(65)이 형성되어 있고, 상기 액티브층(63) 상부 및 제 1 도전층(61a) 상부의 상기 소오스전극(64b)이 드러나도록 제 1, 제 2 콘택홀이 형성되어 있고, 상기 제 1, 제 2 콘택홀을 통하여 소오스전극(64b)과 콘택되도록 층간절연막(65)상에 제 2 도전층(66)이 형성되어 있다. 상기에서 액티브층(63)과 드레인/소오스전극(64a,64b)의 사이에는 오믹 콘택층(63a)이 더 구비되어 있다.

이때, 제 1 도전층(61a)은 제 1 게이트전극(61)에서 연장되어 있고, 하부 커패시터 전극 역할을 하며, 제 2 도전층(66)은 제 2 콘택홀을 통해서 소오스전극(64b)과 콘택되어 있고, 상부 커패시터 전극 역할을 한다.

이에 의해서 제 1 게이트전극(61)에서 연장된 제 1 도전층(61a)/게이트절연막(62)/소오스전극(64b) 사이에 커패시터(C1)가 더 구비된다.

그러나, 상기와 같이 풀업 트랜지스터(PU)의 게이트전극과 소오스전극 사이에 커패시터(C1)를 별도로 더 구비시키면, 소자의 면적이 증가하게 되어 소자의 집적도가 떨어지는 문제가 발생한다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 본 발명의 목적은 게이트 구동부가 액정패널의 하부기관에 실장되어 있을 경우, 게이트 구동 신호 출력부를 구성하는 a-Si:H TFT의 전압 불안정성을 감소시켜서 비정상적인 게이트 구동 신호의 출력(신호 왜곡)을 최소화하기에 알맞은 액정표시장치 및 그의 제조방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는 제 1, 제 2 제어신호(Q<sub>1</sub>)를 출력하는 신호 제어부와; 상기 제 1 제어신호를 입력받아 동작하고, 클럭신호단(CLK)과 게이트 구동 신호 출력단 사이에 제 1 게이트전극과 제 1 드레인전극/소오스전극의 오버랩되는 면적이 비대칭적인 풀업 트랜지스터와, 상기 제 2 제어신호를 받아 동작하고, 상기 게이트 구동 신호 출력단과 접지전압단(VSS)의 사이에 연결된 풀다운 트랜지스터로 구성된 게이트 구동 신호 출력부를 구비하여, 하부기관의 일측 상부에 실장된 게이트 구동부를 포함하는 것을 특징으로 한다.

상기 풀업 트랜지스터의 상기 제 1 게이트전극과 클럭신호(CLK)가 인가되는 제 1 드레인전극이 오버랩되는 제 1 면적은 상기 소오스전극과 제 1 게이트전극이 오버랩되는 제 2 면적보다 더 좁은 것을 특징으로 한다.

상기 풀업, 풀다운 트랜지스터는 a-Si:H TFT로 구성된 것을 특징으로 한다.

상기 풀다운 트랜지스터의 제 2 게이트전극과 게이트 구동 신호 출력단에 연결된 소오스전극이 오버랩되는 제 3 면적은 상기 제 2 게이트전극과 접지전압단에 연결된 제 2 드레인전극이 오버랩되는 제 4 면적보다 좁게 구성되는 것을 더 포함함을 특징으로 한다.

상기 제 2, 제 4 면적은 각각 제 1, 제 3 면적과 비교해서 1.5배 이상 넓은 면적을 갖도록 구성함을 특징으로 한다.

상기 풀업 트랜지스터는, 상기 하부기관의 일영역상에 형성된 제 1 게이트전극과, 상기 제 1 게이트전극을 포함한 상기 하부기관상에 형성된 게이트절연막과, 상기 제 1 게이트전극의 일영역 상부를 포함한 상기 게이트절연막상에 형성된 제 1 활성층과, 상기 제 1 게이트전극의 일측 상부에 제 1 면적을 갖고 오버랩된 제 1 드레인전극과, 상기 제 1 게이트전극의 타측 상부에 상기 제 1 면적보다 넓은 제 2 면적을 갖고 오버랩된 소오스전극을 포함하여 구성됨을 특징으로 한다.

상기 제 1 활성층과 상기 제 1 드레인전극, 상기 제 1 활성층과 상기 소오스전극의 사이에는 오믹 콘택층이 더 구비됨을 특징으로 한다.

상기 제 1 활성층은 비정질 실리콘층으로 구성되어 있고, 상기 오믹 콘택층은 n+ 비정질 실리콘층으로 구성되어 있음을 특징으로 한다.

본 발명의 다른 실시예에 따른 액정표시장치는 제 1, 제 2 제어신호(Q<sub>i</sub>)를 출력하는 신호 제어부와; 상기 제 1 제어신호를 입력받아 동작하고 일단이 클럭신호단(CLK)에 연결되며, 어느 하나의 게이트전극과 드레인전극/소오스전극의 오버랩되는 면적이 비대칭을 이루도록 구성된 제 1, 제 2 풀업 트랜지스터와, 상기 제 2 제어신호를 입력받아 동작하고 상기 제 1, 제 2 풀업 트랜지스터의 타단과 접지전압단 사이에 연결된 제 1, 제 2 풀다운 트랜지스터로 구성된 게이트 구동 신호 출력부를 구비하여, 하부기관 일측 상부에 실장된 게이트 구동부를 포함하는 것을 특징으로 한다.

일단이 상기 클럭신호단에 연결되는 제 1, 제 2 풀업 트랜지스터(PU1)중, 어느 하나의 트랜지스터는 상기 클럭신호단(CLK)에 연결되는 드레인전극 보다 그 반대쪽에 위치한 상기 소오스전극이 상기 게이트전극과 더 많이 오버랩되도록 구성되는 것을 특징으로 한다.

상기와 같은 구성을 갖는 본 발명에 따른 액정표시장치의 제조방법은 하부기관의 일측 상부에 실장되며, 드레인전극에 클럭신호단이 연결되고 소오스전극에 게이트 구동 신호 출력단이 연결된 트랜지스터를 구비한 게이트 구동부를 포함한 액정표시장치의 제조방법에 있어서, 상기 하부기관의 일영역 상에 게이트전극을 형성하는 단계; 상기 게이트전극을 포함한 상기 하부기관 상에 게이트 절연막을 형성하는 단계; 상기 게이트전극을 포함한 상기 게이트 절연막상에 액티브층을 형성하는 단계; 상기 게이트전극의 일측 상부에 제 1 면적을 갖고 오버랩되도록 상기 드레인전극과, 상기 게이트전극의 타측 상부에 상기 제 1 면적보다 넓은 제 2 면적을 갖고 오버랩되도록 상기 소오스전극을 형성하는 단계를 포함함을 특징으로 한다.

상기 제 2 면적은 상기 제 1 면적보다 1.5배 이상 크게 형성함을 특징으로 한다.

상기 액티브층과 상기 드레인전극/ 소오스전극 사이에 오믹 콘택층을 더 형성함을 특징으로 한다.

상기 액티브층은 비정질 실리콘층으로 형성하고, 상기 오믹 콘택층은 n+ 비정질 실리콘층으로 형성함을 특징으로 한다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치 및 그의 제조방법에 대하여 설명하면 다음과 같다.

먼저, 본 발명의 실시예에 따른 액정표시장치의 구성에 대하여 설명하기로 한다.

도 1은 일반적인 액정표시장치의 개략적인 레이아웃도이고, 도 7은 본 발명을 적용하기 위한 액정표시장치의 게이트 구동부의 단위 회로도이며, 도 8a와 도 8b는 본 발명의 제 1 실시예에 따른 도 7의 'B'영역의 풀업 트랜지스터(PU)를 나타낸 평면도 및 구조 단면도이다.

도 9a와 도 9b는 본 발명의 제 2 실시예에 따른 도 7의 'B' 및 'C'영역의 평면도 및 구조 단면도이다.

도 10은 본 발명을 적용하기 위한 액정표시장치의 다른 기술에 따른 게이트 구동부의 단위 회로도이다.

먼저, 본 발명을 적용하기 위한 액정표시장치는 도 1을 참조하여 상술한 바와 같이, 상,하부기관(10, 11)과 그 사이에 충전된 액정층(미도시)으로 구성된 액정패널(20)과, 상기 하부기관(11)의 일측 상부에 실장된 복수개의 게이트 드라이버(12\_1, 12\_2 ~ 12\_n)들로 구성된 게이트 구동부(12)와, 데이터 TCP(13)에 의해서 소오스 인쇄회로기판(14)에 각각 연결되어 있는 복수개의 데이터 드라이버(15\_1 ~ 15\_m)들로 구성된 데이터 구동부(15)와, 상기 게이트 구동부(12)와 데이터 구동부(15)에 제어신호 및 화상정보를 출력하는 타이밍 제어부(16)로 구성된다.

그리고 상기 타이밍 제어부(16)로부터 출력된 제어신호를 각 게이트 드라이버 IC(12)로 입력시키기 위한 제어신호 라인들이 복수개 배열되어 있다. 이때 타이밍 제어부(16)에서는 제어신호로써, 소정의 클럭신호(CLK), 게이트 스타트 신호 및 타이밍 신호를 공급하여 게이트 구동부(12)와 데이터 구동부(15)의 구동 타이밍을 제어한다.

그리고 상기 각 제어신호 라인들에 접속되어 게이트 구동부(12)의 각 게이트 드라이버(12\_1 ~ 12\_n)들로 신호를 입력시키는 입력신호 라인들이 복수개 배열되어 있다. 도면에는 도시되지 않았지만, 게이트 구동부(12)의 출력신호 라인들을 통해서 하부기관(11)의 각 게이트 패드부에 순차적으로 주사신호가 출력된다.

그리고 상기 액정패널(20)의 내부에는 화상이 표시되는 화소부(8)가 정의되어 있고, 도면에는 도시되어 있지 않지만, 상기 하부기관(11)에는 수직 교차되어 매트릭스 형태의 화소영역을 정의하는 복수개의 게이트 라인(G/L)들 및 데이터라인(D/L)과, 상기 각 게이트 라인(G/L)과 데이터 라인(D/L)에 의해 정의된 각 화소영역에 형성된 복수개의 화소전극과, 상기 게이트 라인(G/L)의 신호에 따라 상기 데이터 라인(D/L)의 신호를 각 화소전극에 인가하는 복수개의 박막트랜지스터(TFT)가 상기 각 게이트 라인(G/L)과 데이터 라인(D/L)이 교차하는 부분에 형성된다.

그리고 상기 게이트 구동부(12) 및 데이터 구동부(15)는 구동을 위해 a-Si:H TFT를 이용한 복수개의 버퍼 TFT들로 구성시킬 수 있다.

이하에서는 본 발명에 적용하기 위한 a-Si:H TFT를 이용하여 구성된 게이트 구동부에 대하여 설명한다.

본 발명의 게이트 구동부는 도 7에 도시한 바와 같이, 제 1, 제 2 제어신호(Q<sub>1</sub>)를 출력하는 신호 제어부(70)와, 상기 신호 제어부(70)의 제 1, 제 2 제어신호를 입력받아서 화소부의 게이트라인(G/L)으로 게이트 신호를 출력시키기 위한 게이트 구동 신호 출력부로 구성되어 있다.

상기 게이트 구동 신호 출력부는 클럭신호단(CLK)과 접지전압단(VSS) 사이에 a-Si:H TFT로 구성된 풀업, 풀다운 트랜지스터(PU, PD)로 구성되어 있다. 이때 게이트 구동 신호는 풀업, 풀다운 트랜지스터(PU, PD) 사이의 출력노드(N3)를 통해 출력된다.

그리고 풀업, 풀다운 트랜지스터는 제 1, 제 2 제어신호(Q<sub>1</sub>)에 따라 턴온, 턴오프가 결정되고 풀업 트랜지스터가 충전되고 풀다운 트랜지스터가 방전될 때 게이트 구동 신호를 출력시킨다.

상기에서 클럭신호(CLK)는 게이트 구동 신호의 출력과 상관없이 클럭신호단을 통해서 풀업 트랜지스터의 일단에 계속적으로 인가된다.

이와 같이 풀업 트랜지스터(PU)의 일단으로 클럭신호가 계속 인가되고, 게이트 신호 출력단과 연결된 풀업, 풀다운 트랜지스터(PU, PD)가 플로팅(floating) 상태에 있을 경우, 클럭신호 인가에 의해서 제 1, 제 2 제어신호(Q<sub>1</sub>)가 불안정해져서 입력신호인 제 1, 제 2 제어신호(Q<sub>1</sub>)와 동기되지 않은 비정상적인 게이트 출력신호가 발생할 수 있다.

이와 같은 문제를 해결하고자 본 발명에서는 도 8a, 도 8b에 도시한 바와 같이, 일단에 클럭신호(CLK)가 인가되는 풀업 트랜지스터(PU)에서, 제 1 게이트전극(81)과 제 1 드레인전극(85a)/소오스전극(85b)의 각 오버랩 면적을 비대칭적으로 형성하여서 오버랩 커패시턴스값을 다르게 하였다.

좀더 자세하게, 일단에 클럭신호가 인가되는 풀업 트랜지스터(PU)는, 기관(80)의 일영역상에 제 1 게이트전극(81)이 형성되어 있고, 제 1 게이트전극(81)을 포함한 기관(80)상에 게이트절연막(82)이 형성되어 있고, 상기 제 1 게이트전극(81)의 일영역 상부를 포함한 게이트절연막(82)상에 제 1 활성층(83)이 형성되어 있고, 상기 제 1 게이트전극(81)의 일측 상부에 제 1 면적을 갖고 오버랩되도록 제 1 드레인전극(85a)이 형성되어 있으며, 상기 제 1 게이트전극(81)의 타측 상부에 제 1 면적보다 넓은 제 2 면적을 갖고 오버랩되도록 소오스전극(85b)이 형성되어 있다. 상기에서 제 1 활성층(83)과 제 1 드레인전극(85a), 제 1 활성층(83)과 소오스전극(85b)의 사이에는 오믹 콘택층(84)이 더 구비되어 있다.

이때 상기 제 2 면적은 제 1 면적과 비교해서 최소한 1.5배 이상의 면적을 갖도록 구성한다.

이때 제 1 활성층(83)은 비정질 실리콘층으로 구성되어 있고, 오믹 콘택층(84)은 n+ 비정질 실리콘층으로 구성되어 있다.

상기에서와 같이, 일단에 클럭신호(CLK)가 인가되는 풀업 트랜지스터(PU)는 클럭신호(CLK)가 인가되는 제 1 드레인전극(85a) 보다 그 반대쪽에 위치한 소오스전극(85b)이 제 1 게이트전극(81)과 더 많이 오버랩되도록 구성함으로써, 제 1 게이트전극(81)과 소오스전극(85b) 사이에 커패시터가 구비된 효과를 갖도록 하였다.

예를 들어서, 제 1 게이트전극(81)과 제 1 드레인전극(85a)이 오버랩되어 제 1 커패시터(C1)가 구성되고, 제 1 게이트전극(81)과 소오스전극(85b)이 오버랩되어 제 2 커패시터(C2)가 구성될 경우, C1 < C2가 되도록 구성시킨다.

이와 같이 구성하면, 클럭신호(CLK) 인가에 따른 커플링 효과(coupling effect)를 감쇄시켜서 입력 신호(제 1, 제 2 제어 신호)와 동기되지 않은 게이트 구동 신호의 출력을 억제시킬 수 있다.

또한, 도 7과 같이 게이트 구동 신호 출력부가 구성된 게이트 구동부에서, 풀업 트랜지스터 뿐만아니라, 풀다운 트랜지스터(PD)의 제 2 게이트전극과 오버랩되는 양단(노드3(N3)과 노드4(N4))의 면적을 비대칭적으로 구성시킬 수도 있다.

즉, 도 9a와 도 9b에 도시한 바와 같이, 기관(80)의 일영역상에 제 1, 제 2 게이트전극(81, 81a)이 평행하게 형성되어 있고, 제 1, 제 2 게이트전극(81, 81a)을 포함한 기관(80)상에 게이트절연막(82)이 형성되어 있고, 상기 제 1, 제 2 게이트전극(81, 81a)의 일영역 상부를 포함한 게이트절연막(82)상에 제 1, 제 2 활성층(83, 83a)이 형성되어 있고, 상기 제 1 게이트전극(81)의 일측 상부에 제 1 면적을 갖고 오버랩되도록 제 1 드레인전극(85a)이 형성되어 있고, 상기 제 1 게이트전극(81)의 타측 상부에 제 1 면적보다 넓은 제 2 면적을 갖고 오버랩되도록 소오스전극(85b)이 형성되어 있으며, 상기 제 2 게이트전극(81a)의 일측 상부에 제 3 면적을 갖고 오버랩되도록 소오스전극(85b)이 형성되어 있으며, 상기 제 2 게이트전극(81a)의 타측 상부에 제 3 면적보다 넓은 제 4 면적을 갖고 오버랩되도록 제 2 드레인전극(85c)이 형성되어 있다.

상기에서 제 2, 제 4 면적은 제 1, 제 3 면적에 비해서 최소한 1.5배 이상의 면적을 갖도록 구성한다.

상기에서 제 1, 제 2 활성층(83,83a)과 제 1, 제 2 드레인전극(85a, 85c), 제 1, 제 2 활성층(83,83a)과 소오스전극(85b)의 사이에는 오믹 콘택층(84)이 각각 구비되어 있다.

이때 제 1, 제 2 활성층(83, 83a)은 비정질 실리콘층으로 구성되어 있고, 오믹 콘택층(84)은 n+ 비정질 실리콘층으로 구성되어 있다.

도 9a와 도 9b에서 제 1 게이트전극(81)과 제 1 드레인전극(85a), 제 1 게이트전극(81)과 소오스전극(85b), 제 2 게이트전극(81a)과 소오스전극(85b), 제 2 게이트전극(81a)과 제 2 드레인전극(85c)이 오버랩된 길이를 'L3', 'L4', 'L5', 'L6'라고 나타낼 경우 'L3' < 'L4', 이고 'L5' < 'L6'의 관계를 갖도록 구성한다. 이때 'L3'와 'L5'는 동일할 수도 있고 그렇지 않을 수도 있다.

다음에 본 발명에 따른 게이트 구동부는, 게이트 구동신호를 출력하는 최종단에 1개씩의 풀업, 풀다운 트랜지스터 외에 그 이전단계도 풀업, 풀다운 트랜지스터를 더 구비시킬 수 있다.

즉, 도 10에 도시한 바와 같이, 제 1, 제 2 제어신호(Q<sub>1</sub>)를 출력하는 신호 제어부(100)와, 상기 신호 제어부(100)의 제 1, 제 2 제어신호(Q<sub>1</sub>)를 입력받아서 화소부의 게이트라인(G/L)으로 게이트 신호를 출력시키기 위한 제 1, 제 2 풀업 트랜지스터(PU1, PU2)와 제 1, 제 2 풀다운 트랜지스터(PD1, PD2)로 구성된 게이트 구동 신호 출력부로 구성되어 있다. 이때 제 1 풀업, 풀다운 트랜지스터 및 제 2 풀업, 풀다운 트랜지스터는 a-Si:H TFT로 구성되어 있다.

이때 제 1, 제 2 풀업 트랜지스터(PU1, PU2)는 게이트전극으로 제 1 제어신호(Q<sub>1</sub>)를 공통으로 입력받아서 구동하고, 드레인전극에 클럭신호(CLK)를 공통으로 인가받는다. 그리고 제 1, 제 2 풀다운 트랜지스터(PD1, PD2)는 게이트전극으로 제 2 제어신호(Q<sub>2</sub>)를 공통으로 입력받아서 구동한다.

상기에서 제 1 풀업, 풀다운 트랜지스터 사이의 출력노드5(N5)에서는 다음단의 게이트 드라이버로 전달할 신호가 출력되고, 제 2 풀업, 풀다운 트랜지스터 사이의 출력노드6(N6)에서는 게이트라인(G/L)으로 게이트 구동 신호가 출력된다.

상기와 같이 게이트 구동 신호 출력부가 구성되어 있을 경우, 일단에 클럭신호(CLK)가 인가되는 제 1, 제 2 풀업 트랜지스터(PU1)중, 제 1 풀업 트랜지스터(PU1)에서 클럭신호(CLK)가 인가되는 제 1 드레인전극 보다 그 반대쪽에 위치한 제 1 소오스전극이 제 1 게이트전극과 더 많이 오버랩되도록 구성하거나, 제 2 풀업 트랜지스터(PU2)에서 클럭신호(CLK)가 인가되는 제 2 드레인전극 보다 그 반대쪽에 위치한 제 2 소오스전극이 제 2 게이트전극과 더 많이 오버랩되도록 구성하여서 제 1 게이트전극과 제 1 소오스전극 사이에 커패시터가 구비되거나, 제 2 게이트전극과 제 2 소오스전극 사이에 커패시터가 구비된 효과를 갖도록 하였다.

다음에, 상기 구성을 갖는 본 발명의 실시예에 따른 액정표시장치의 제조방법에 대하여 설명하기로 한다.

도 11a 내지 도 11d는 본 발명에 따른 액정표시장치의 제조방법을 나타낸 공정 단면도이다.

본 발명에 따른 액정표시장치의 제조방법은, 상,하부기판이 합착된 액정패널에서 상기 하부기판의 일측 상부에 게이트 구동부가 실장되어 있을 경우, 게이트 구동부의 게이트 구동 신호 출력부를 구성하는 a-Si:H TFT로 구성된 트랜지스터의 제조방법에 대한 것이다. 그리고 상기 a-Si:H TFT 중에서도 일단에 클럭신호가 인가되는 트랜지스터의 제조방법에 대한 것이다.

먼저, 도 11a에 도시한 바와 같이, 기판(110)상에 도전성 금속을 증착하고, 포토 및 식각 공정을 이용하여 도전성 금속을 패터닝하여, 일영역에 제 1 게이트 전극(111)을 형성한다.

다음에 도 11b에 도시한 바와 같이, 상기 제 1 게이트전극(111)을 포함한 기판(110) 상부에 게이트 절연막(112)을 형성한다.

여기서 상기 게이트 절연막(112)은 실리콘 질화막(SiN<sub>x</sub>) 또는 실리콘 산화막(SiO<sub>2</sub>)을 사용할 수 있다.

이후에 상기 게이트 절연막(112)상에 제 1, 제 2 반도체층을 증착한다.

이어, 상기 제 1, 제 2 반도체층을 포토 및 식각 공정으로 패터닝하여, 상기 게이트 전극(111)을 포함한 상부에 아일랜드(island) 형태를 갖는 액티브층(113)과 오믹 콘택층(114)을 형성한다. 상기 제 1 반도체층은 비정질 실리콘층으로 형성하고, 제 2 반도체층은 n<sup>+</sup> 비정질 실리콘층으로 형성한다.

이후에 도 11c에 도시한 바와 같이, 상기 액티브층(113)과 오믹 콘택층(114)이 형성된 기판(110)의 전면에 도전성 금속(115)을 증착한다.

이어, 도 11d에 도시한 바와 같이, 포토 및 식각 공정을 통해 도전성 금속(115)을 패터닝하여 드레인전극(115a)과 소오스전극(115b)을 형성한다.

이때 드레인전극(115a)은 제 1 면적을 갖도록 게이트전극(111)의 일측 상부에 오버랩되고, 소오스전극(115b)은 제 1 면적보다 넓은 면적을 갖도록 게이트전극(111)의 타측 상부에 오버랩되어 있다. 상기에서 제 2 면적은 제 1 면적보다 1.5배 이상 크도록 형성한다.

그리고 드레인전극(115a)에는 클럭 신호(CLK) 인가단이 연결되고, 소오스전극(115b)에는 게이트 구동신호를 출력하기 위한 게이트 출력단(G/L)이 연결되어 있다.

상기와 같은 제조방법은 본 발명의 구성을 설명한 예시도인 도 8a, 도 8b 및 도 9a, 도 9b와 도 10의 풀업/풀다운 트랜지스터에 모두 적용 가능한 것이다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

### 발명의 효과

상기와 같은 본 발명의 액정표시장치 및 그의 제조방법은 다음과 같은 효과가 있다.

클럭 신호단과 연결된 풀업 트랜지스터의 게이트전극과 드레인/소오스전극 사이의 오버랩 커패시턴스(overlap capacitance)를 비대칭적으로 형성함으로써, 플로팅 상태에서 입력 신호와 동기되지 않은 클럭 신호에 의해 비정상적으로 게이트 구동 신호가 출력되는 것을 방지할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

제 1, 제 2 제어신호(Q<sub>1</sub>)를 출력하는 신호 제어부와;

상기 제 1 제어신호를 입력받아 동작하고, 클럭신호단(CLK)과 게이트 구동 신호 출력단 사이에 제 1 게이트전극과 제 1 드레인전극/소오스전극의 오버랩되는 면적이 비대칭적인 풀업 트랜지스터와,

상기 제 2 제어신호를 받아 동작하고, 상기 게이트 구동 신호 출력단과 접지전압단(VSS)의 사이에 연결된 풀다운 트랜지스터로 구성된 게이트 구동 신호 출력부를 구비하여, 하부기판의 일측 상부에 실장된 게이트 구동부를 포함하는 것으로 하는 액정표시장치.

#### 청구항 2.

제 1 항에 있어서,

상기 풀업 트랜지스터의 상기 제 1 게이트전극과 클럭신호(CLK)가 인가되는 제 1 드레인전극이 오버랩되는 제 1 면적은 상기 소오스전극과 제 1 게이트전극이 오버랩되는 제 2 면적보다 더 좁은 것을 특징으로 하는 액정표시장치.

#### 청구항 3.

제 1 항에 있어서,

상기 풀업, 풀다운 트랜지스터는 a-Si:H TFT로 구성된 것을 특징으로 하는 액정표시장치.

#### 청구항 4.

제 1 항에 있어서,

상기 풀다운 트랜지스터의 제 2 게이트전극과 게이트 구동 신호 출력단에 연결된 소오스전극이 오버랩되는 제 3 면적은 상기 제 2 게이트전극과 접지전압단에 연결된 제 2 드레인전극이 오버랩되는 제 4 면적보다 좁게 구성되는 것을 더 포함함을 특징으로 하는 액정표시장치.

### 청구항 5.

제 1 항에 있어서,

상기 제 2, 제 4 면적은 각각 제 1, 제 3 면적과 비교해서 1.5배 이상 넓은 면적을 갖도록 구성함을 특징으로 하는 액정표시장치.

### 청구항 6.

제 1 항에 있어서,

상기 풀업 트랜지스터는,

상기 하부기관의 일영역상에 형성된 제 1 게이트전극과,

상기 제 1 게이트전극을 포함한 상기 하부기관상에 형성된 게이트절연막과,

상기 제 1 게이트전극의 일영역 상부를 포함한 상기 게이트절연막상에 형성된 제 1 활성층과,

상기 제 1 게이트전극의 일측 상부에 제 1 면적을 갖고 오버랩된 제 1 드레인전극과,

상기 제 1 게이트전극의 타측 상부에 상기 제 1 면적보다 넓은 제 2 면적을 갖고 오버랩된 소오스전극을 포함하여 구성됨을 특징으로 하는 액정표시장치.

### 청구항 7.

제 6 항에 있어서,

상기 제 1 활성층과 상기 제 1 드레인전극, 상기 제 1 활성층과 상기 소오스전극의 사이에는 오믹 콘택층이 더 구비됨을 특징으로 하는 액정표시장치.

### 청구항 8.

제 7 항에 있어서,

상기 제 1 활성층은 비정질 실리콘층으로 구성되어 있고, 상기 오믹 콘택층은 n+ 비정질 실리콘층으로 구성되어 있음을 특징으로 하는 액정표시장치.

### 청구항 9.

제 1, 제 2 제어신호(Q<sub>1</sub>)를 출력하는 신호 제어부와;

상기 제 1 제어신호를 입력받아 동작하고 일단이 클럭신호단(CLK)에 연결되며, 어느 하나의 게이트전극과 드레인전극/소오스전극의 오버랩되는 면적이 비대칭을 이루도록 구성된 제 1, 제 2 풀업 트랜지스터와,

상기 제 2 제어신호를 입력받아 동작하고 상기 제 1, 제 2 풀업 트랜지스터의 타단과 접지전압단 사이에 연결된 제 1, 제 2 풀다운 트랜지스터로 구성된 게이트 구동 신호 출력부를 구비하여, 하부기관 일측 상부에 실장된 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 10.

제 9 항에 있어서,

일단이 상기 클럭신호단에 연결되는 제 1, 제 2 풀업 트랜지스터(PU1)중,

어느 하나의 트랜지스터는 상기 클럭신호단(CLK)에 연결되는 드레인전극 보다 그 반대쪽에 위치한 상기 소오스전극이 상기 게이트전극과 더 많이 오버랩되도록 구성되는 것을 특징으로 하는 액정표시장치.

### 청구항 11.

하부기관의 일측 상부에 실장되며, 드레인전극에 클럭신호단이 연결되고 소오스전극에 게이트 구동 신호 출력단이 연결된 트랜지스터를 구비한 게이트 구동부를 포함한 액정표시장치의 제조방법에 있어서,

상기 하부기관의 일영역 상에 게이트전극을 형성하는 단계;

상기 게이트전극을 포함한 상기 하부기관 상에 게이트 절연막을 형성하는 단계;

상기 게이트전극을 포함한 상기 게이트 절연막상에 액티브층을 형성하는 단계;

상기 게이트전극의 일측 상부에 제 1 면적을 갖고 오버랩되도록 상기 드레인전극과, 상기 게이트전극의 타측 상부에 상기 제 1 면적보다 넓은 제 2 면적을 갖고 오버랩되도록 상기 소오스전극을 형성하는 단계를 포함함을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 12.

제 11 항에 있어서,

상기 제 2 면적은 상기 제 1 면적보다 1.5배 이상 크게 형성함을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 13.

제 11 항에 있어서,

상기 액티브층과 상기 드레인전극/ 소오스전극 사이에 오믹 콘택층을 더 형성함을 특징으로 하는 액정표시장치의 제조방법.

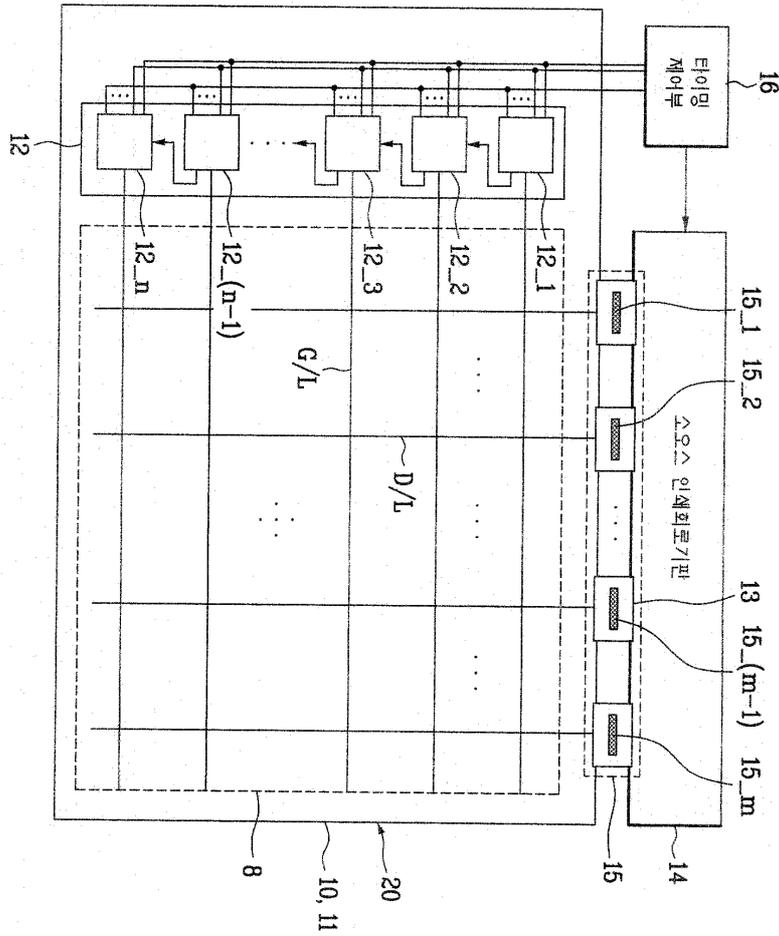
### 청구항 14.

제 13 항에 있어서,

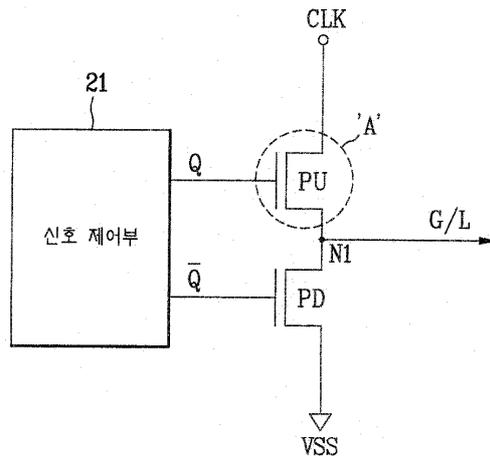
상기 액티브층은 비정질 실리콘층으로 형성하고, 상기 오믹 콘택층은 n+ 비정질 실리콘층으로 형성함을 특징으로 하는 액정표시장치의 제조방법.

도면

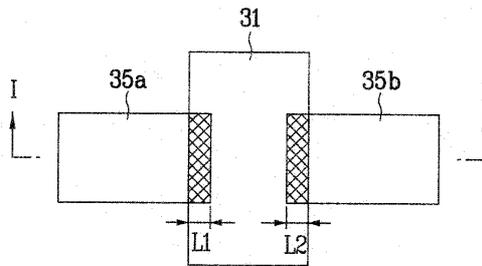
도면1



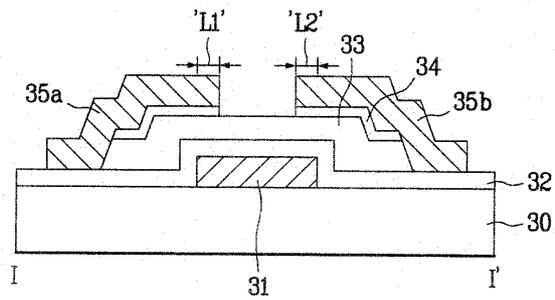
도면2



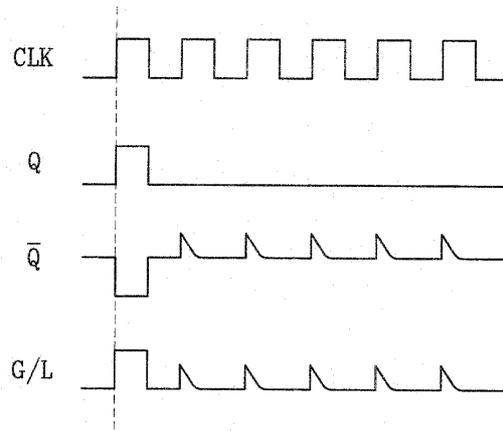
도면3a



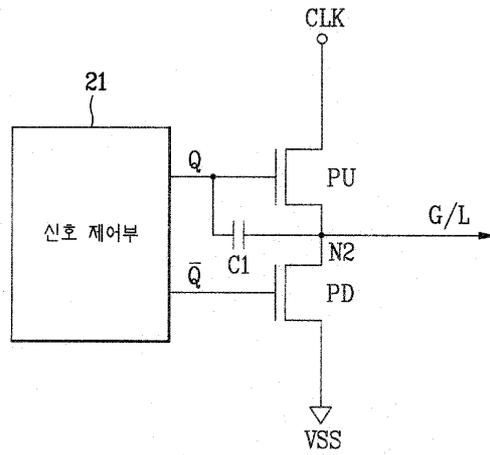
도면3b



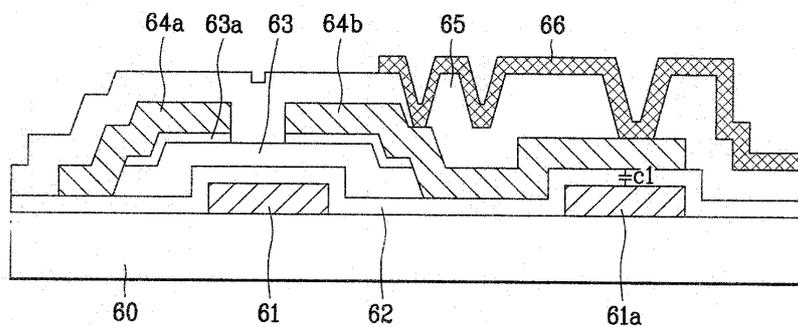
도면4



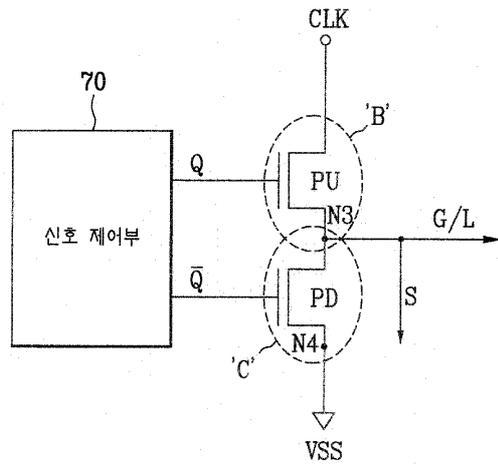
도면5



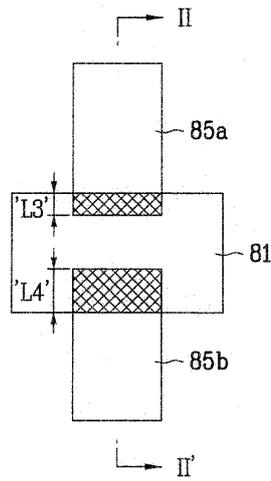
도면6



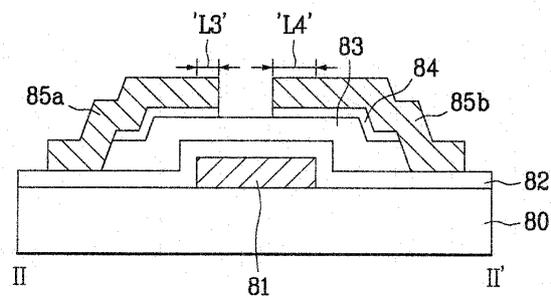
도면7



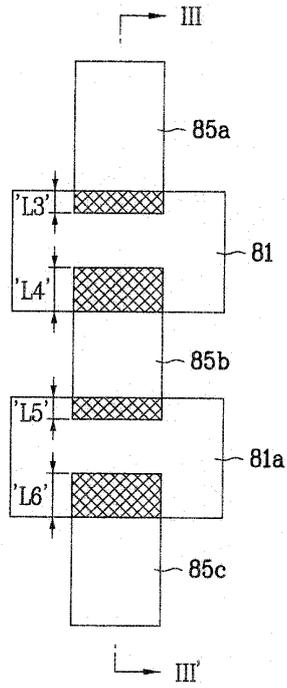
도면8a



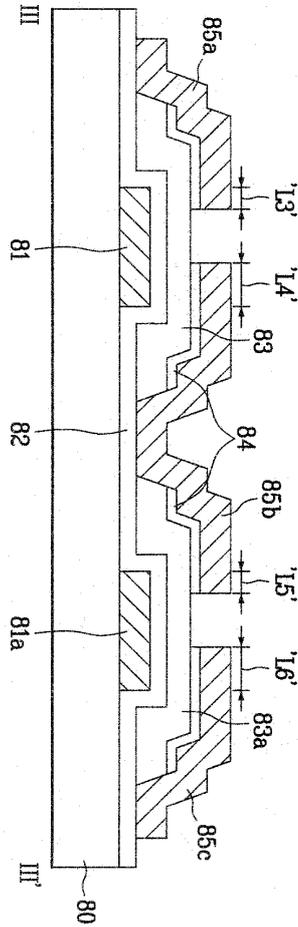
도면8b



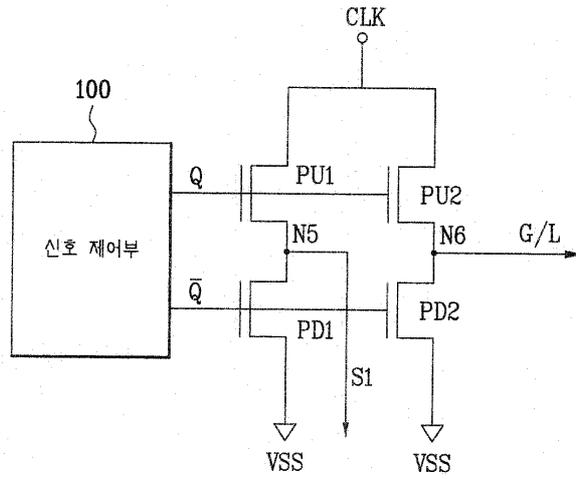
도면9a



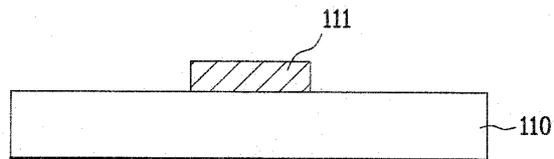
도면9b



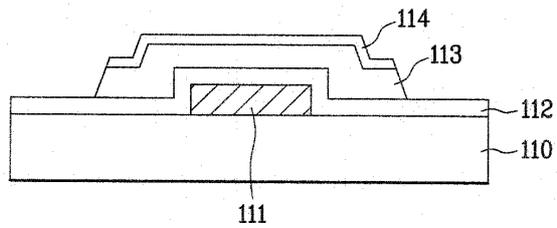
도면10



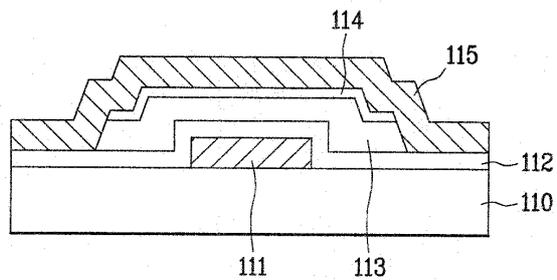
도면11a



도면11b



도면11c



도면11d

