

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 10-2005-0113783
G02F 1/133 (43) 공개일자 2005년12월05일

(21) 출원번호 10-2004-0038887
(22) 출원일자 2004년05월31일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 장용호
경기도과천시별양동주공아파트647동308호
김빈
서울시양천구신정7동신시가지11단지아파트1107동1307호
윤수영
경기도군포시오금동울곡아파트349동1604호

(74) 대리인 김영호

심사청구 : 없음

(54) 구동 회로가 내장된 액정 표시 패널

요약

본 발명은 내장된 구동 회로의 면적을 확장시킬 수 있는 구동 회로 내장형 액정 패널을 제공하는 것이다.

이를 위하여, 본 발명의 실시 예에 따른 구동 회로 내장형 액정 패널은 실링재를 통해 합착된 제1 및 제2 기관의 표시 영역에 형성된 액정셀 매트릭스와; 상기 액정셀 매트릭스를 구동하기 위하여 상기 표시 영역 외곽의 비표시 영역 중 회로 영역에 형성된 구동 회로와; 상기 비표시 영역 중 라인 온 글래스 영역에 형성되어 상기 구동 회로에 필요한 다수의 신호를 공급하는 라인 온 글래스형 신호 라인들을 구비하고; 상기 구동 회로 영역 및 라인 온 글래스 영역 중 어느 한 영역이 상기 실링재와 중첩된 것을 특징으로 한다.

대표도

도 5

명세서

도면의 간단한 설명

- 도 1은 일반적인 액정 표시 장치를 도시한 블록도.
- 도 2에 도시된 게이트 구동 회로의 구성을 도시한 블록도.
- 도 3은 도 2에 도시된 제1 스테이지의 상세 회로도.
- 도 4는 도 3에 도시된 제1 스테이지의 구동 파형도.

도 5는 종래의 게이트 구동 회로가 내장된 액정 표시 패널을 개략적으로 도시한 평면도.

도 6은 도 5에 도시된 게이트 구동 회로에 포함되는 컨택 부분을 도시한 단면도.

도 7은 본 발명의 제1 실시 예에 따른 게이트 구동 회로가 내장된 액정 표시 패널을 개략적으로 도시한 평면도.

도 8은 본 발명의 제2 실시 예에 따른 액정 표시 패널의 비표시 영역을 도시한 평면도.

도 9는 본 발명의 제3 실시 예에 따른 액정 표시 패널의 비표시 영역을 도시한 평면도.

< 도면의 주요부분에 대한 설명 >

10, 13, 60 : 액정 패널 11 : 데이터 구동 회로

12, 30, 80 : 게이트 구동 회로 20, 70 : 표시 영역

32, 82 : 실링재 34, 84 : 라인 온 글래스(LOG) 영역

36, 86 : 스테이지 37, 87 : 제어부

38, 88 : 출력 버퍼 40 : 기관

42 : 게이트 금속층 44 : 게이트 절연막

46 : 소스/드레인 금속층 48 : 보호막

50 : 컨택 전극 52, 54 : 컨택홀

56 : 글래스 파이버

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 구동 회로가 내장된 액정 표시 패널에 관한 것이다.

텔레비전(Television) 및 컴퓨터(Computer)의 표시 장치로 사용되는 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 표시 패널(이하, 액정 패널)과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.

도 1을 참조하면, 일반적인 액정 표시 장치는 $m \times n$ 개의 액정셀들(Clc)이 매트릭스 타입으로 배열되고 m 개의 데이터 라인들(D1 내지 Dm)과 n 개의 게이트 라인들(G1 내지 Gn)이 교차되며 그 교차부에 박막 트랜지스터(TFT)가 접속된 액정 패널(13)과, 액정 패널(13)의 데이터 라인들(D1 내지 Dm)에 데이터를 공급하는 데이터 구동 회로(11)와, 게이트 라인들(G1 내지 Gn)에 스캔 펄스를 공급하는 게이트 구동 회로(12)를 구비한다.

액정 패널(13)은 박막 트랜지스터 어레이 형성된 박막 트랜지스터 기관과 칼라 필터 어레이가 형성된 칼라 필터 기관이 액정층을 사이에 두고 합착되어 형성된다. 이 액정패널(13)의 박막 트랜지스터 기관에 형성된 데이터 라인들(D1 내지 Dm)과 게이트 라인들(G1 내지 Gn)은 상호 직교된다. 데이터 라인들(D1 내지 Dm)과 게이트 라인들(G1 내지 Gn)의 교차부와 접속된 박막 트랜지스터(TFT)는 게이트 라인(G1 내지 Gn)의 스캔 펄스에 응답하여 데이터 라인(D1 내지 Dn)을 통해 공급된 데이터 전압을 액정셀(Clc)의 화소 전극에 공급하게 된다. 칼라 필터 기관에는 블랙 매트릭스, 컬러 필터 및 공통 전극 등이 형성된다. 이에 따라, 액정셀(Clc)은 화소 전극에 공급된 데이터 전압과, 공통 전극에 공급된 공통 전압과의 전위

차에 의해 유전 이방성을 갖는 액정이 회전하여 광 투과율을 조절하게 된다. 그리고 액정 패널(13)의 박막 트랜지스터 기판과 칼라 필터 기판 상에는 광축이 직교하는 편광판이 부착되고, 액정층과 접하는 내측면 상에는 액정의 프리틸트각을 결정하는 배향막이 더 형성된다. 또한, 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 더 형성된다. 스토리지 캐패시터(Cst)는 화소 전극과 전단 게이트 라인 사이에 형성되거나, 화소 전극과 도시하지 않은 공통 라인 사이에 형성되어 액정셀(Clc)에 충전된 데이터 전압을 일정하게 유지시킨다.

데이터 구동 회로(11)는 입력된 디지털 비디오 데이터를 감마 전압을 이용하여 아날로그 데이터 전압으로 변환하고 데이터 라인들(D1 내지 Dm)에 공급한다.

게이트 구동 회로(12)는 스캔 펄스를 게이트 라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급되어질 액정셀(Clc) 수평 라인을 선택한다.

구체적으로, 게이트 구동 회로(12)는 도 2에 도시된 바와 같이 게이트 라인들(G1 내지 Gn)에 순차적으로 스캔 펄스를 공급하기 위하여 스타트 펄스(Vst) 입력 라인에 종속적으로 접속된 제1 내지 제n 스테이지를 구비하는 쉬프트 레지스터를 포함한다. 도 2에 도시된 제1 내지 제n 스테이지에는 고전위 및 저전위 구동 전압(VDD, VSS)과 함께 클럭 신호(CLK)가 공통으로 공급되고, 스타트 펄스(Vst) 또는 전단 스테이지의 출력 신호가 공급된다. 제1 스테이지는 스타트 펄스(Vst)와 클럭 신호(CLK)에 응답하여 제1 게이트 라인(G1)으로 스캔 펄스를 출력한다. 그리고, 제2 내지 제n 스테이지는 이전 스테이지의 출력 신호와 클럭 신호(CLK)에 응답하여 제2 내지 제n 게이트 라인(G2 내지 Gn) 각각에 스캔 펄스를 순차적으로 출력한다. 다시 말하여, 제1 내지 제n 스테이지는 동일한 회로 구성을 갖으며, 클럭 신호(CLK)로는 위상이 서로 다른 적어도 2개의 클럭 신호가 공급된다.

도 3은 도 2에 도시된 쉬프트 레지스터 중 제1 스테이지의 상세 회로 구성을 도시한 것이다.

도 3에 도시된 제1 스테이지는 Q노드의 제어에 의해 제1 클럭 신호(C1)를 출력라인으로 출력하는 풀-업 NMOS 트랜지스터(NT6)와, QB노드의 제어에 의해 저전위 구동 전압(VSS)을 출력 라인으로 출력하는 풀-다운 NMOS 트랜지스터(NT7)로 구성된 출력 버퍼와, Q노드와 QB노드를 제어하는 제1 내지 제5 NMOS 트랜지스터(NT1 내지 NT5)로 구성된 제어부를 구비한다. 이러한 제1 스테이지에는 고전위 및 저전위 전압(VDD, VSS)과 스타트 펄스(Vst)가 공급되고, 도 4와 같이 위상이 서로 다른 제1 내지 제4 클럭 신호(CLK1 내지 CLK4) 중 제2 클럭 신호(CLK2)를 제외한 나머지 3개의 클럭 신호(CLK1, CLK3, CLK4)가 공급된다. 이하, 스테이지의 동작 과정을 도 4에 도시된 구동 파형을 참조하여 설명하기로 한다.

A기간에서 스타트 펄스(Vst) 및 제4 클럭 신호(CLK4)의 하이 전압에 의해 제1 및 제2 NMOS 트랜지스터(NT1, NT2)가 턴-온되어 스타트 펄스(Vst)의 하이 전압이 Q노드로 프리-차지된다. Q노드로 프리-차지된 하이 전압에 의해 풀-업 NMOS 트랜지스터(NT6)가 턴-온되어 제1 클럭 신호(CLK1)의 로우 전압이 출력 라인, 즉 제1 게이트 라인(G1)으로 공급된다. 이때, 스타트 펄스(Vst)에 의해 턴-온된 제5 NMOS 트랜지스터(NT5)에 의해 QB노드는 로우 상태가 되어 제3B 및 풀-다운 NMOS 트랜지스터(NT3A, NT7)는 턴-오프, 로우 전압의 제3 클럭 신호(CLK3)에 의해 제3A 및 제4 NMOS 트랜지스터(NT3A, NT4)도 턴-오프된다.

B기간에서 스타트 펄스(Vst)와 제4 클럭 신호(CLK4)의 로우 전압에 의해 제1 및 제2 NMOS 트랜지스터(NT1, NT2)가 턴-오프되므로 Q노드는 하이 상태로 플로팅되고, 풀-업 NMOS 트랜지스터(NT6)는 턴-온 상태를 유지한다. 이때, 제1 클럭 신호(CLK1)의 하이 전압에 의해 Q노드는 풀-업 NMOS 트랜지스터(NT6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시터(CGD)의 영향으로 부트스트래핑(Bootstrapping)된다. 이에 따라, Q노드 전압이 더욱 상승하여 풀-업 NMOS 트랜지스터(NT6)가 확실하게 턴-온됨으로써 제1 클럭 신호(CLK1)의 하이 전압이 제1 게이트 라인(G1)으로 빠르게 공급된다.

C기간에서 스타트 펄스(Vst)와 제4 클럭 신호(CLK4)의 로우 전압에 의해 제1 및 제2 NMOS 트랜지스터(NT1, NT2)가 턴-오프되므로 Q노드는 하이 상태로 플로팅되고, 풀-업 NMOS 트랜지스터(NT6)는 턴-온 상태를 유지한다. 이에 따라, 풀-업 NMOS 트랜지스터(NT6)가 턴-온 상태를 유지하여 제1 클럭 신호(CLK1)의 로우 전압이 제1 게이트 라인(G1)으로 공급된다.

D기간에서 제3 클럭 신호(CLK3)의 하이 전압에 의해 제3A 및 제4 NMOS 트랜지스터(NT3A, NT4)가 턴-온되어 Q노드는 로우 전압을 방전되고, QB노드는 하이 전압이 충전된다. QB노드의 하이 전압에 의해 제3B NMOS 트랜지스터(NT3B)가 턴-온되어 Q노드는 보다 신속하게 방전되고, 풀-다운 NMOS 트랜지스터(NT7)가 턴-온되어 로우 전압이 제1 게이트 라인(G1)으로 공급된다.

E기간에서 제3 클럭 신호(CLK3)의 로우 전압으로 제4 및 제5 NMOS 트랜지스터(NT4, NT5)가 턴-오프되어 QB노드는 하이 상태로 플로팅됨으로써 풀-다운 NMOS 트랜지스터(NT7)가 턴-온 상태를 유지하므로 제1 게이트 라인(G1)으로 공급된다.

그리고, 스타트 펄스(Vst)의 하이 전압이 공급되기 이전까지 풀-다운 NMOS 트랜지스터(NT7)는 계속 턴-온 상태를 유지하여 제1 게이트 라인(G1)으로 계속 로우 전압을 출력한다.

이러한 구성을 갖는 게이트 구동 회로를 아모퍼스-실리콘 박막 트랜지스터를 이용하여 도 5와 같이 액정 패널(10)에 내장하고자 하는 경우, 낮은 이동도로 인하여 각 스테이지(36)의 출력 버퍼(38), 즉 풀-업 및 풀-다운 NMOS 트랜지스터(NT6, NT7)의 크기가 매우 크게 형성되어야 한다. 이는 전술한 바와 같이 스캔 펄스가 출력 버퍼(36)를 통해 직접 공급됨에서 기인한 것이며, 출력 버퍼(38)의 채널 폭은 액정 패널(10)의 수명에 아주 큰 영향을 주기 때문이다. 설계치에 의하면 출력 버퍼(38)는 수천 μm 이상의 채널 폭을 유지해야만 한다. 이로 인하여, 내장된 게이트 구동 회로(30)가 차지하는 면적이 커져야 하지만 제품 규격상 비표시 영역 내에서 회로 면적을 크게 하는 데는 한계가 있다.

도 5를 참조하면, 게이트 구동 회로(30)는 표시 영역(10)의 외곽에 위치한 비표시 영역에 형성된다. 그리고, 비표시 영역에는 박막 트랜지스터 기관과 칼라 필터 기관의 합착을 위한 실링재(32)가 주변부, 즉 게이트 구동 회로(30)가 형성된 회로 영역의 외곽부를 따라 도포된다. 도 5에서 한 스테이지(36)와 그 주변부를 확대한 도면을 참조하면, 한 스테이지(36)의 좌측에는 다수의 클럭 신호 및 전원 신호를 공급하기 위한 다수의 라인 온 글래스(Line On Glass; 이하, LOG)형 신호 라인들이 형성된 LOG 영역(34)이 위치하고, 그 LOG 영역(34)의 좌측으로 실링재(32)가 지나가게 된다. 여기서, 한 스테이지(36)는 도 3과 같이 풀-업 및 풀-다운 트랜지스터(NT6, NT7)를 포함하는 출력 버퍼(38)와, 출력 버퍼(38)를 제어하기 위한 제1 내지 제5 트랜지스터(NT1 내지 NT5)를 포함하는 제어부(37)를 구비한다.

이 경우, 실링재(32)에 포함된 글래스 파이버(Glass Fiber)가 금속과 접촉하는 경우 손상을 가하여 오픈 불량을 야기하므로 게이트 구동 회로(30)를 실링재(32)와 중첩시켜 형성할 수 없다. 이는 게이트 구동 회로(30)에 포함되는 각 스테이지(36)에는 도 6과 같이 기관(40) 상에서 게이트 절연막(44)을 사이에 두고 서로 다른 층에 형성된 게이트 금속층(42)과 소스/드레인 금속층(46)과 접속시키기 위한 컨택 전극(50)이 노출된 구조를 갖기 때문이다.

도 6을 참조하면, 컨택 전극(50)은 보호막(48) 및 게이트 절연막(44)을 관통하는 제1 컨택홀(52)을 통해 노출된 게이트 금속층(42)과, 보호막(48)을 관통하는 제2 컨택홀(54)을 통해 노출된 소스/드레인 금속층(46)과 접속시킨다. 예를 들면, 도 3에 도시된 한 스테이지의 상세 회로에서 고전위 및 저전위 전압(VDD, VSS) 공급 라인, 제1 내지 제4 클럭 신호(CLK1 내지 CLK4) 공급 라인, 스타트 펄스(Vst) 공급 라인 각각과 접속된 제1 내지 제6 노드(N1 내지 N6)와, 제1 트랜지스터(NT1)의 게이트 전극과 소스 전극의 접속 노드(N7), Q노드, QB노드 등은 도 6과 같이 컨택 전극(50)을 통해 접속된다. 이러한 컨택 전극(50)이 실링재(32)에 포함된 글래스 파이버(56)와 접촉하는 경우 부식 등으로 손상되어 오픈 불량이 발생하게 된다.

이에 따라, 게이트 구동 회로(30)를 실링재(32)와 중첩시킬 수 없으므로 회로 면적은 더욱 줄어들 수 밖에 없다. 예를 들어, 2.2" QVGA인 경우 화소 영역(20)으로부터 박막 트랜지스터 기관의 스크라이브 라인(Scribe Line)까지의 비표시 영역의 선폭은 약 2.2mm이고, 이러한 비표시 영역에서 실링재(32)는 0.6mm의 선폭을 차지한다. 이에 따라, LOG 영역(34)과 마진 등을 고려하면 실제로 사용할 수 있는 게이트 구동 회로(30)이 형성될 수 있는 회로 면적의 선폭은 약 0.8~0.9mm 이내가 되어야만 한다. 이렇게 제한된 회로 면적내에서는 출력 버퍼(38)의 크기를 크게 형성할 수 없으므로 회로 면적을 넓힐 수 있는 방안이 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 실링재와의 중첩으로 내장된 구동 회로의 면적을 확장시킬 수 있는 구동 회로 내장형 액정 패널을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 구동 회로 내장형 액정 패널은 실링재를 통해 합착된 제1 및 제2 기관의 표시 영역에 형성된 액정셀 매트릭스와; 상기 액정셀 매트릭스를 구동하기 위하여 상기 표시 영역 외곽의 비표시

영역 중 회로 영역에 형성된 구동 회로와; 상기 비표시 영역 중 LOG 영역에 형성되어 상기 구동 회로에 필요한 다수의 신호를 공급하는 LOG형 신호 라인들을 구비하고; 상기 구동 회로 영역 및 LOG 영역 중 어느 한 영역이 상기 실링재와 중첩된 것을 특징으로 한다.

상기 구동 회로는 상기 액정셀 매트릭스의 게이트 라인을 구동하는 게이트 구동 회로를 포함한다.

상기 구동 회로는 상기 게이트 라인 각각을 구동하기 위한 다수의 스테이지로 구성된 쉬프트 레지스터를 포함한다.

상기 쉬프트 레지스터의 각 스테이지는 해당 게이트 라인에 스캔 펄스를 공급하는 출력 버퍼와, 그 출력 버퍼를 제어하는 제어부를 구비한다.

상기 각 스테이지 중 서로 다른 금속층을 연결하는 콘택 전극이 형성된 부분을 제외한 나머지 회로 부분이 상기 실링재와 중첩되도록 형성된다.

상기 각 스테이지 중 출력 버퍼가 상기 실링재와 중첩되도록 형성된다.

상기 LOG 영역은 상기 각 스테이지의 제어부와 상기 표시 영역 사이에 위치하게 된다.

상기 LOG 영역은 상기 각 스테이지의 출력 버퍼와 제어부 사이에 위치하게 된다.

상기 출력 버퍼의 일부분이 상기 실링재와 중첩된다.

상기 LOG 영역 중 일부분이 상기 실링재와 중첩된다.

상기 LOG 신호 라인들 중 상대적으로 넓은 선폭을 갖는 저전위 전압 공급 라인이 상기 실링재와 중첩되고, 그 저전위 전압 공급 라인은 콘택 전극과 상기 실링재의 바깥쪽에서 접속된다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 7 내지 도 9를 참조하여 설명하기로 한다.

도 7은 본 발명의 실시 예에 따른 게이트 구동 회로(80)가 내장된 액정 패널(60)을 개략적으로 도시한 평면도이다.

도 7에 도시된 액정 패널(60)은 게이트 라인 및 데이터 라인의 교차로 정의된 화소 영역마다 형성된 액정셀이 매트릭스 형태로 배열된 표시 영역(70)과, 게이트 라인을 구동하기 위하여 비표시 영역에 내장된 게이트 구동 회로(80)를 구비한다.

액정 패널(60)은 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기관과, 칼라 필터 어레이가 형성된 칼라 필터 기관이 액정층을 사이에 두고 합착되어 형성된다.

칼라 필터 기관은 표시 영역에서 화소 영역마다 형성된 칼라 필터, 표시 영역에서는 칼라 필터를 구분하고 비표시 영역에도 형성된 블랙 매트릭스, 액정셀에 공통 전압을 공급하기 위한 공통 전극 등이 형성된다.

박막 트랜지스터 기관의 표시 영역에는 상호 교차하는 게이트 라인 및 데이터 라인과, 그 교차부와 접속된 박막 트랜지스터와, 박막 트랜지스터와 접속된 액정셀의 화소 전극이 형성된다.

박막 트랜지스터 기관의 비표시 영역 중 회로 영역에는 게이트 라인을 구동하기 위한 게이트 구동 회로(80)가 형성되고, 그 게이트 구동 회로(80)에 필요한 클럭 신호 및 전원 신호를 공급하는 LOG형 신호 라인들이 LOG 영역(84)에 형성된다. 여기서, 게이트 구동 회로(80)에 포함되는 각 스테이지(38)는 실링재(82)와 중첩되어 형성된다. 이 경우, 출력 버퍼(88)와, 그 출력 버퍼(88)를 제어하는 제어부(87)로 구성된 각 스테이지(38) 중 출력 버퍼(88)가 실링재(82)와 중첩되게 한다. 이는 출력 버퍼(88)에 포함되는 풀-업 및 풀-다운 트랜지스터(NT6, NT7)는 도 6에 도시된 콘택 전극(50)을 필요로 하지 않기 때문이다. 이에 따라, 출력 버퍼(88)가 실링재(82)와 중첩되더라도 실링재(82)에 포함된 글래스 파이버로 인한 부식 문제가 발생하지 않게 되므로, 출력 버퍼(88)를 실링재(82)가 도포되어질 실링 영역에 형성하여 출력 버퍼(88)의 채널 폭을

기존 구조에 비해 크게 증가시킬 수 있게 된다. 예를 들어, 약 0.9mm의 선폭을 갖는 회로 면적내에서는 출력 버퍼가 약 0.3mm정도의 선폭을 차지할 수 있는 반면에, 0.6mm의 선폭을 갖는 실링재(82)와 출력 버퍼(88)를 중첩시킬 경우 그 출력 버퍼(88)를 3배 이상 크게 형성할 수 있게 된다.

이렇게, 각 스테이지(86)의 출력 버퍼(88)가 실링재(82)와 중첩되게 하는 경우 LOG 신호 라인들이 차지하는 LOG 영역(84)은 각 스테이지(86)와 표시 영역(70) 사이에 위치하게 된다. 이와 달리, LOG 영역(84)은 도 8에 도시된 바와 같이 각 스테이지(86)의 출력 버퍼(88)와 제어부(87) 사이에 위치하기도 한다. 이때, 출력 버퍼(88)의 일부분이 상기 실링재(82)와 중첩된다.

또한, 도 9에 도시된 바와 같이 LOG 영역(84)이 실링재(82)와 중첩되어 형성되게 하고, LOG 영역(84)이 차지하던 면적만큼 각 스테이지(86)의 회로 면적을 증대시킬 수 있게 되므로 출력 버퍼(88)의 크기를 증가시킬 수 있게 된다. 이 경우, LOG 영역(84)은 LOG형 신호 라인들이 도 3과 같이 다수의 노드(N1 내지 N6)를 포함하므로 다수의 콘택 전극(50)을 포함한다. 이러한 콘택 전극(50)과 실링재(82)와의 중첩을 방지하기 위하여 도 9에 확대 도시한 부분과 같이 전류가 가장 많이 흐르기 때문에 회로의 안정성을 위하여 가장 굵게 형성된 저전위 전압(VSS) 공급 라인(VSSL)만을 실링재(82)와 중첩되도록 형성한다. 그리고, 저전위 전압 공급 라인(VSSL)은 실링재(82) 바깥쪽에서 콘택 전극(50)과 접속시킨다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 구동 회로 내장형 액정 패널은 구동 회로를 실링재와 중첩시켜 형성함으로써 회로 면적을 확장시킬 수 있게 된다. 이에 따라, 스캔 펄스의 파형과 밀접한 관계를 갖으며 액정 패널의 수명에 직접적인 영향을 미치는 출력 버퍼의 채널 폭을 크게 함으로써 스캔 펄스 파형의 왜곡을 줄이면서 수명을 연장시킬 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

실링재를 통해 합착된 제1 및 제2 기관의 표시 영역에 형성된 액정셀 매트릭스와;

상기 액정셀 매트릭스를 구동하기 위하여 상기 표시 영역 외곽의 비표시 영역 중 회로 영역에 형성된 구동 회로와;

상기 비표시 영역 중 라인 온 글래스(이하, LOG) 영역에 형성되어 상기 구동 회로에 필요한 다수의 신호를 공급하는 LOG형 신호 라인들을 구비하고;

상기 구동 회로 영역 및 LOG 영역 중 어느 한 영역이 상기 실링재와 중첩된 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 2.

제 1 항에 있어서,

상기 구동 회로는

상기 액정셀 매트릭스의 게이트 라인을 구동하는 게이트 구동 회로를 포함하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 3.

제 2 항에 있어서,

상기 구동 회로는

상기 게이트 라인 각각을 구동하기 위한 다수의 스테이지로 구성된 쉬프트 레지스터를 포함하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 4.

제 3 항에 있어서,

상기 쉬프트 레지스터의 각 스테이지는

해당 게이트 라인에 스캔 펄스를 공급하는 출력 버퍼와, 그 출력 버퍼를 제어하는 제어부를 구비하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 5.

제 4 항에 있어서,

상기 각 스테이지 중 서로 다른 금속층을 연결하는 컨택 전극이 형성된 부분을 제외한 나머지 회로 부분이 상기 실링재와 중첩되도록 형성된 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 6.

제 4 항에 있어서,

상기 각 스테이지 중 출력 버퍼가 상기 실링재와 중첩되도록 형성된 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 7.

제 6 항에 있어서,

상기 LOG 영역은 상기 각 스테이지의 제어부와 상기 표시 영역 사이에 위치하는 것을 특징으로 하는 구동 회로 내장형 액정 패널.

청구항 8.

제 6 항에 있어서,

상기 LOG 영역은 상기 각 스테이지의 출력 버퍼와 제어부 사이에 위치하는 것을 특징으로 하는 구동 내장형 액정 패널.

청구항 9.

제 6 항에 있어서,

상기 출력 버퍼의 일부분이 상기 실링재와 중첩된 것을 특징으로 하는 구동 내장형 액정 패널.

청구항 10.

제 1 항에 있어서,

상기 LOG 영역 중 일부분이 상기 실링재와 중첩된 것을 특징으로 하는 구동 내장형 액정 패널.

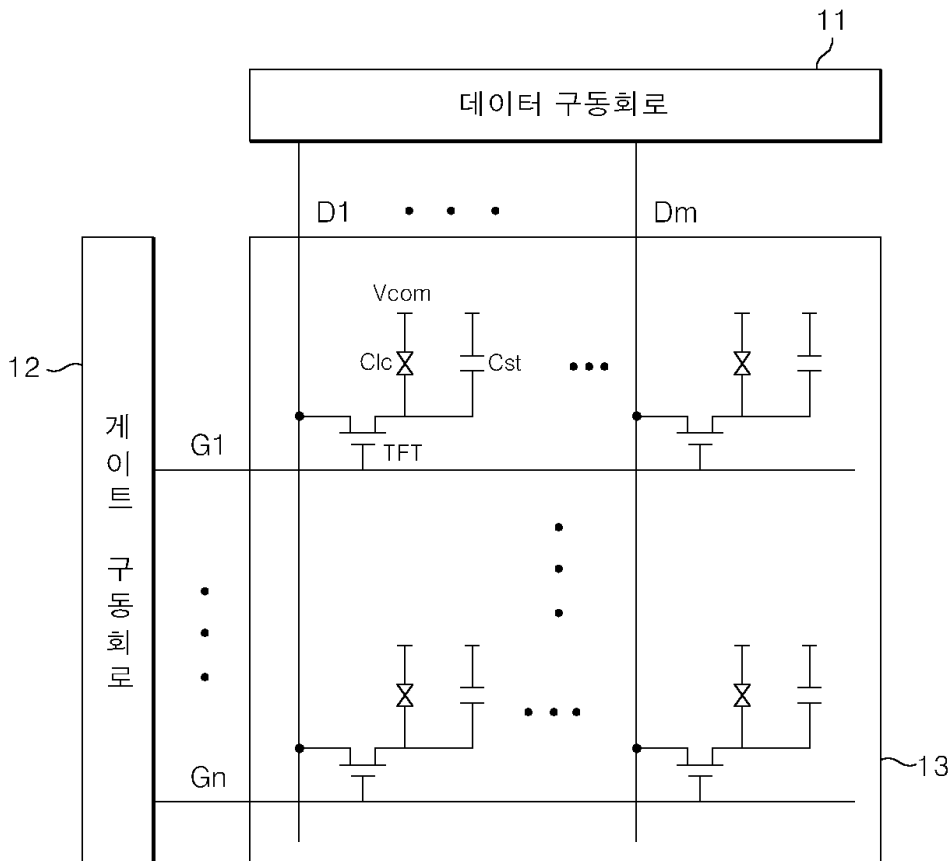
청구항 11.

제 10 항에 있어서,

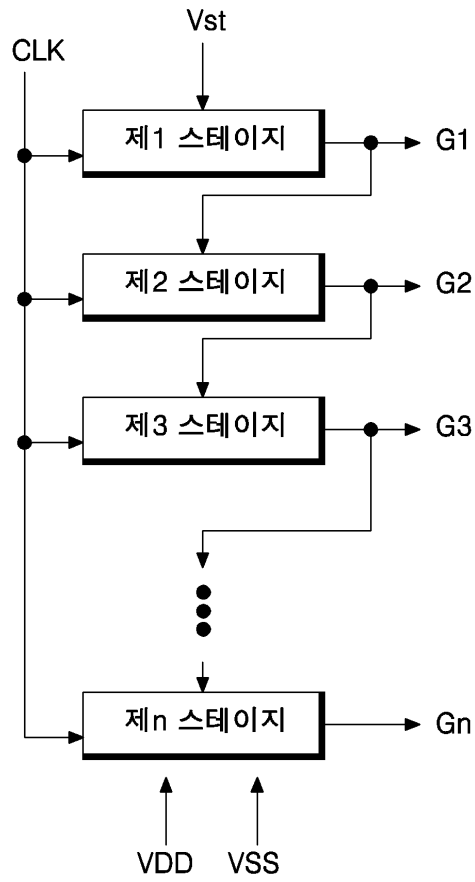
상기 LOG 신호 라인들 중 상대적으로 넓은 선폭을 갖는 저전위 전압 공급 라인이 상기 실링재와 중첩되고, 그 저전위 전압 공급 라인은 컨택 전극과 상기 실링재의 바깥쪽에서 접속된 것을 특징으로 하는 구동 내장형 액정 패널.

도면

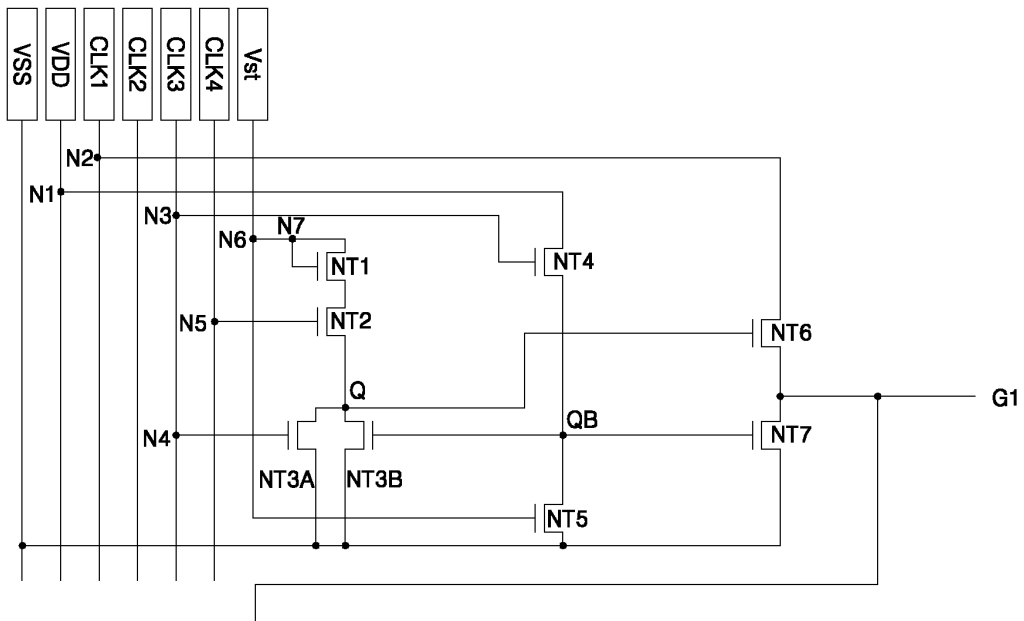
도면1



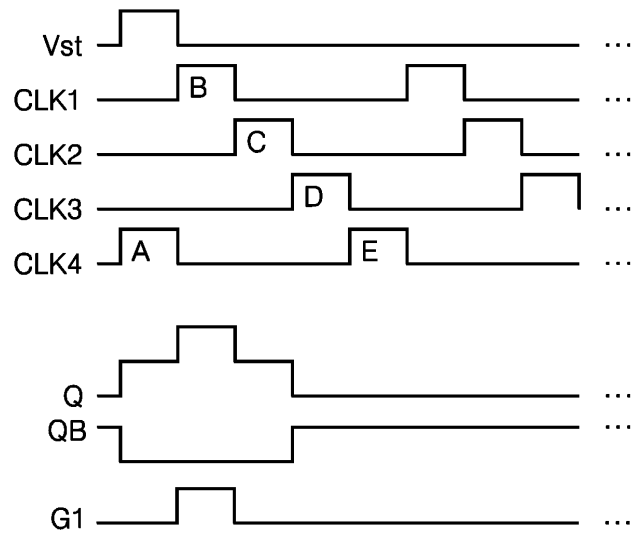
도면2



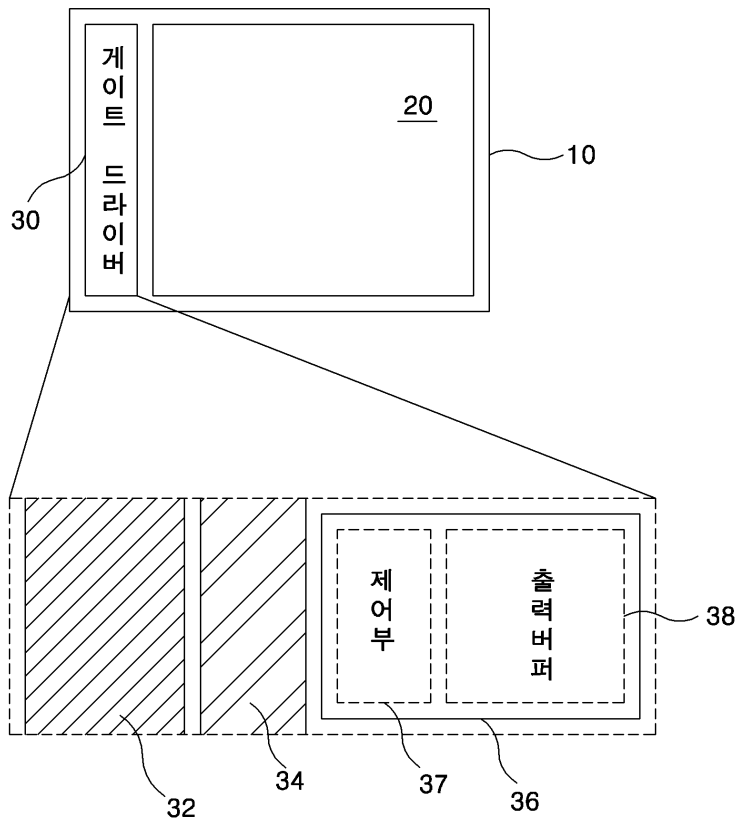
도면3



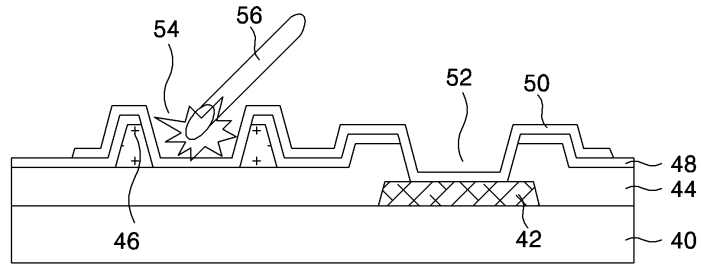
도면4



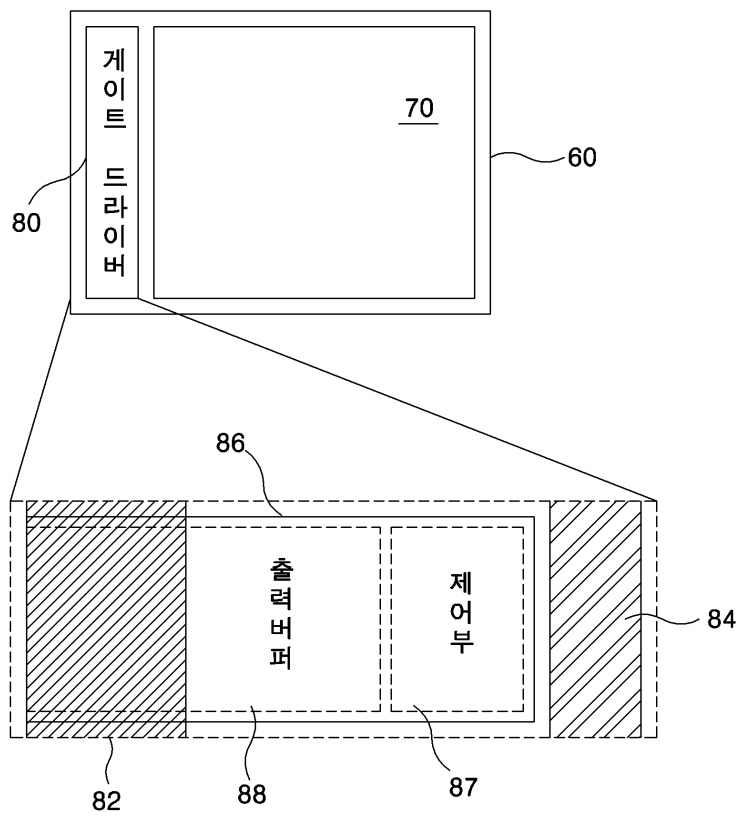
도면5



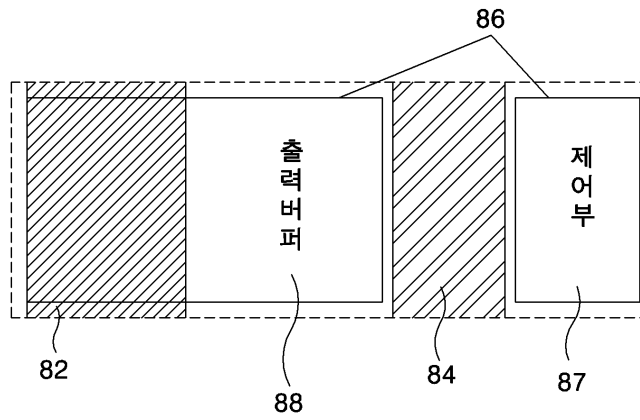
도면6



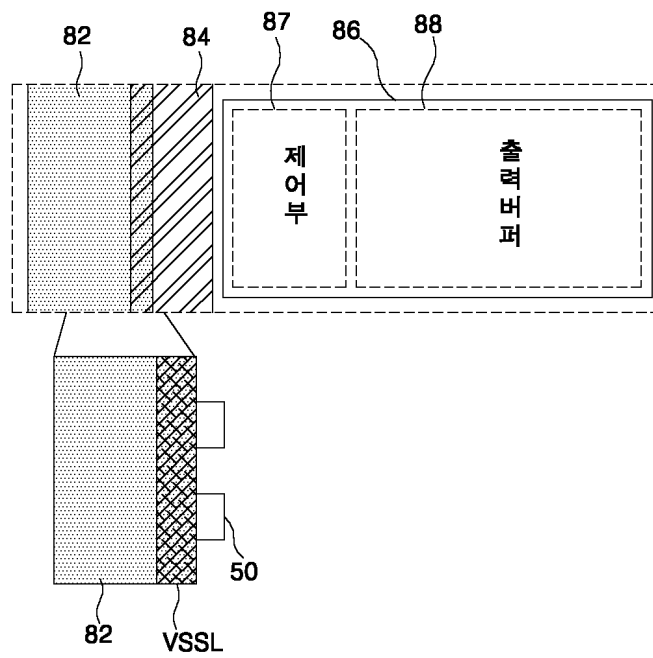
도면7



도면8



도면9



专利名称(译)	液晶显示面板		
公开(公告)号	KR1020050113783A	公开(公告)日	2005-12-05
申请号	KR1020040038887	申请日	2004-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG YONGHO 장용호 KIM BINN 김빈 YOON SOOYOUNG 윤수영		
发明人	장용호 김빈 윤수영		
IPC分类号	G02F1/1339 G09G3/36 G02F1/13 G02F1/133		
CPC分类号	G02F1/13452 G02F1/1339		
其他公开文献	KR101010509B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种具有驱动电路的LCD面板，通过形成与驱动电路重叠的密封剂，扩大包括输出缓冲器的电路区域的面积，从而减小扫描脉冲波形的信号失真。

