

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
G02F 1/133(11) 공개번호 10-2005-0060236  
(43) 공개일자 2005년06월22일(21) 출원번호 10-2003-0091802  
(22) 출원일자 2003년12월16일(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지(72) 발명자 남현택  
대구광역시동구효목1동동촌강나루타운106동804호

(74) 대리인 김영호

심사청구 : 없음

## (54) 액정표시장치의 구동장치

## 요약

본 발명은 데이터 구동회로의 구조를 단순화시킬 수 있도록 한 액정표시장치의 구동장치에 관한 것이다.

본 발명의 실시 예에 따른 액정표시장치의 구동장치는 화상을 표시하는 액정패널과, 외부로부터 공급되는 데이터를 디지털 데이터로 변환하는 타이밍 제어부와, 상기 타이밍 제어부에 실장되어 감마전압을 공급하는 감마 전압부와, 상기 타이밍 제어부에 실장되어 상기 감마 전압부로부터의 감마전압을 이용하여 상기 디지털 데이터를 아날로그 데이터로 변환하는 데이터 변환부와, 상기 데이터 변환부로부터 공급되는 상기 아날로그 데이터를 상기 액정패널에 순차적으로 공급하는 다수의 아날로그 쉬프트 레지스터를 구비하는 것을 특징으로 한다.

이러한, 본 발명은 데이터 라인들을 구동하기 위한 데이터 구동회로로 다수의 아날로그 쉬프트 레지스터만을 사용함으로써 데이터 구동회로의 구조를 단순화시킬 수 있다.

## 대표도

도 4

## 명세서

## 도면의 간단한 설명

도 1은 일반적인 액정표시장치의 구동장치를 개략적으로 나타내는 평면도.

도 2는 도 1에 도시된 타이밍 제어부를 나타내는 블록도.

도 3은 도 1에 도시된 데이터 구동 집적회로를 나타내는 블록도.

도 4는 본 발명의 실시 예에 따른 액정표시장치의 구동장치를 개략적으로 나타내는 평면도.

도 5는 도 4에 도시된 타이밍 제어부를 나타내는 블록도.

도 6은 도 4에 도시된 A부분을 나타내는 도면.

도 7은 도 4에 도시된 아날로그 쉬프트 레지스터를 나타내는 회로도.

도 8은 도 7에 도시된 아날로그 쉬프트 레지스터에 공급되는 아날로그 데이터 및 제어신호들을 나타내는 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

2, 102 : 액정패널 4 : 데이터 구동 집적회로  
 6, 106 : TCP 8, 108 : 데이터 PCB  
 10 : 신호 제어부 12, 112 : 감마 전압부  
 14, 150 : 쉬프트 레지스터부 16 : 래치부  
 18, 118, 158 : DAC부 20, 120 : P 디코딩부  
 22, 162 : N 디코딩부 24, 124, 164 : 멀티플렉서부  
 26, 126, 166 : 출력 버퍼부 30, 130 : 타이밍 제어부  
 32, 132 : 데이터 처리부 34, 134 : 제어신호 발생부  
 104 : 아날로그 쉬프트 레지스터 152 : 쉬프트 레지스터  
 170 : 아날로그 샘플링부 172 : 아날로그 스위치

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 데이터 구동회로의 구조를 단순화시킬 수 있도록 한 액정표시장치의 구동 장치에 관한 것이다.

통상의 액정표시장치(Liquid Crystal Display)는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동 회로를 구비한다. 이러한, 액정표시장치는 브라운관에 비하여 소형화가 가능하여 휴대용 텔레비전(Television)이나 랩탑(Lap-Top)형 퍼스널 컴퓨터(Personal Computer) 등의 표시기로서 상품화되고 있다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다. 액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다. 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 공통전극을 구동하기 위한 공통전압 발생부를 구비한다. 게이트 드라이버는 스캐닝 신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 게이트신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 공통전압 발생부는 공통전극에 공통전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다. 데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit; 이하, IC라 함)로 집적화된다. 집적화된 데이터 구동 IC와 게이트 구동 IC 각각은 테이프 캐리어 패키지(Tape Carrier Package; 이하, TCP라 함) 상에 실장되어 탭(TAB; Tape Automated Bonding) 방식으로 액정패널에 접속되거나, COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.

도 1은 종래 액정표시장치의 데이터 구동장치를 개략적으로 도시한 것으로, 데이터 구동장치는 TCP(6)를 통해 액정패널(2)과 접속되어진 데이터 구동 IC들(4)과, TCP(6)를 통해 데이터 구동 IC들(4)과 접속되어진 데이터 인쇄회로기판(Printed Circuit Board; 이하, PCB라 함)(8)과, 데이터 PCB(8) 상에 실장되어 데이터 구동 IC들(4)을 제어함과 아울러 디지털 데이터(Data)를 공급하는 타이밍 제어부(30)를 구비한다.

데이터 PCB(8)는 타이밍 제어부(30)로부터의 출력되는 각종 제어신호들 및 데이터 신호들과 파워부(도시하지 않음)로부터의 구동전압신호들을 데이터 구동 IC들(4)로 중계하는 역할을 한다.

타이밍 제어부(30)는 도 2에 도시된 바와 같이 외부로부터의 각종 제어신호들에 기초하여 게이트 드라이버를 제어하는 게이트 제어신호들(GSP, GSC, GOE 등)을 발생하고, 데이터 구동 IC들(4)을 제어하는 데이터 제어신호들(SSP, SSC, SOE, POL, REV 등)을 발생한다. 또한, 타이밍 제어부(30)는 외부로부터 공급되는 데이터를 액정패널(2)의 구동에 알맞도록 정렬하여 데이터 구동 IC들(4) 각각에 공급한다.

이를 위해, 타이밍 제어부(30)는 외부로부터 공급되는 데이터를 액정패널(2)에 알맞도록 정렬하여 재배치하는 데이터 처리부(32)와, 외부로부터 입력되는 각종 제어신호를 이용하여 게이트 제어신호들(GSP, GSC, GOE 등) 및 데이터 제어신호들(SSP, SSC, SOE, POL, REV 등)을 생성하는 제어신호 생성부(34)를 구비한다.

데이터 처리부(32)는 외부로부터 입력된 데이터(R, G, B)를 액정패널(2)의 구동에 알맞도록 오드 데이터(ODD Data) 및 이븐 데이터(EVEN Data)로 정렬하고, 정렬된 디지털 데이터(Data)를 데이터 구동 IC들(4) 각각에 공급한다.

제어신호 발생부(32)는 외부로부터 입력되는 유효 데이터 구간을 알리는 데이터 이네이블(Data Enable; DE) 신호, 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 데이터(RGB)의 전송 타이밍을 결정하는 도트 클럭(Dot Clock; DCLK)을 이용하여 데이터 제어신호들(SSP, SSC, SOE, REV, POL 등)을 발생하여 데이터 구동 IC들(4) 각각에 공급함과 아울러 게이트 제어신호들(GSC, GSP, GOE 등)을 발생하여 도시하지 않은 게이트 구동 IC들에 공급한다.

TCP(6)는 액정패널(2)의 상단부에 마련된 데이터 패드들과 전기적으로 접속됨과 아울러 데이터 PCB(8)에 마련된 출력 패드들과 전기적으로 접속된다. 데이터 구동 IC들(4)은 디지털 데이터(Data)를 아날로그 데이터(AData)로 변환하여 액정패널(2) 상의 데이터라인들에 공급한다.

이를 위하여, 데이터 구동 IC들(4) 각각은 도 3에 도시된 바와 같이 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(14)와, 샘플링신호에 응답하여 디지털 데이터(Data)를 순차적으로 래치하여 동시에 출력하는 래치부(16)와, 래치부(16)로부터의 디지털 데이터(Data)를 아날로그 데이터(AData)로 변환하는 디지털-아날로그 변환부(이하, DAC부라 함)(18)와, DAC부(18)로부터의 아날로그 데이터(AData)를 완충하여 출력하는 출력 버퍼부(26)를 구비한다.

또한, 데이터 구동 IC(4)는 타이밍 제어부(30)로부터 공급되는 데이터 제어신호들(SSP, SSC, SOE, REV, POL 등)과 디지털 데이터(Data)를 중계하는 신호 제어부(10)와, DAC부(18)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(12)를 추가로 구비한다. 이러한 구성을 가지는 데이터 구동 IC들(4) 각각은 n개의 데이터라인들(DL1 내지 DLn)을 구동하게 된다.

신호제어부(10)는 타이밍 제어부(30)로부터의 각종 데이터 제어신호들(SSP, SSC, SOE, REV, POL 등)과 디지털 데이터(Data)가 해당 구성요소들로 출력되도록 제어한다.

감마 전압부(12)는 기준 감마전압 발생부(도시하지 않음)로부터 입력되는 다수개의 기준 감마전압을 그레이별로 세분화하여 출력한다.

쉬프트 레지스터부(14)에 포함된 n개의 쉬프트 레지스터들은 신호제어부(10)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력한다.

래치부(16)는 쉬프트 레지스터부(14)로부터의 샘플링신호에 응답하여 신호 제어부(10)로부터의 디지털 데이터(Data)를 일정한위씩 순차적으로 샘플링하여 래치하게 된다. 이를 위하여 래치부(16)는 n개의 디지털 데이터(Data)를 래치하기 위해 n개의 래치들로 구성되고, 그 래치들 각각은 디지털 데이터(Data)의 비트수(3비트 또는 6비트)에 대응하는 크기를 갖는다. 특히 타이밍제어부(30)는 전송주파수를 줄이기 위하여 디지털 데이터(Data)를 이븐 데이터(EVEN Data)와 오드 데이터(ODD Data)로 나누어 각각의 전송라인을 통해 동시에 출력하게 된다. 여기서 이븐 데이터(EVEN Data)와 오드 데이터(ODD Data) 각각은 적(R), 녹(G), 청(B) 데이터를 포함한다. 이에 따라, 래치부(16)는 샘플링신호마다 신호 제어부(10)를 경유하여 공급되는 이븐 데이터(EVEN Data)와 오드 데이터(ODD Data) 즉 6개의 디지털 데이터(Data)를 동시에 래치하게 된다. 이어서, 래치부(16)는 신호 제어부(10)로부터의 소스 출력 이네이블신호(SOE)에 응답하여 래치된 n개의 데이터들(Data)을 동시에 출력한다. 이 경우, 래치부(16)는 데이터반전 선택신호(REV)에 응답하여 트랜지션 비트수가 줄어들게끔 변조된 디지털 데이터(Data)들을 복원시켜 출력하게 된다. 이는 타이밍 제어부(30)에서 데이터 전송시 전자기적 간섭(EMI)을 최소화하기 위하여 트랜지션되는 비트수가 기준치를 넘어서는 디지털 데이터(Data)들은 트랜지션 비트수가 줄어들게끔 변조하여 공급하기 때문이다.

DAC부(18)는 래치부(16)로부터의 디지털 데이터(Data)를 동시에 정극성 및 부극성의 아날로그 데이터(AData)로 변환하여 출력하게 된다. 이를 위하여, DAC부(18)는 래치부(16)에 공통 접속된 P(Positive) 디코딩부(20) 및 N(Negative) 디코딩부(22)와, P 디코딩부(20) 및 N 디코딩부(22)의 출력신호를 선택하기 위한 멀티플렉서(MUX; 24)를 구비한다.

P 디코딩부(20)에 포함되는 n개의 P 디코더들은 래치부(16)로부터 동시에 입력되는 n개의 데이터들(Data)을 감마 전압부(12)로부터의 정극성 감마전압들을 이용하여 정극성 아날로그 데이터(AData)로 변환하게 된다. N 디코딩부(22)에 포함되는 n개의 N 디코더들은 래치부(16)로부터 동시에 입력되는 n개의 데이터들(Data)을 감마 전압부(12)로부터의 부극성 감마전압들을 이용하여 부극성 아날로그 데이터(AData)로 변환하게 된다. 멀티플렉서부(24)에 포함되는 n개의 멀티플렉서들은 신호제어부(10)로부터의 극성제어신호(POL)에 응답하여 P 디코더(20)로부터의 정극성 아날로그 데이터(AData) 또는 N 디코더(22)로부터의 부극성 아날로그 데이터(AData)를 선택하여 출력하게 된다.

출력버퍼부(26)에 포함되는 n개의 출력버퍼들은 n개의 데이터라인들(DL1 내지 DLn)들에 직렬로 각각 접속되어진 전압추종기(Voltage follower) 등으로 구성된다. 이러한 출력버퍼들은 DAC부(18)로부터의 아날로그 데이터(AData)들을 신호 완충하여 데이터라인들(DL1 내지 DLn)에 공급하게 된다.

이와 같은, 일반적인 액정표시장치의 구동장치는 타이밍 제어부(30)로부터 출력되는 디지털 데이터(Data)를 감마 전압부(12)로부터 정극성 및 부극성 감마전압이 공급되는 데이터 구동 IC(4)의 DAC부(18)를 이용하여 아날로그 데이터(AData)로 변환하여 액정패널(2)에 공급하여 액정패널(2)에 원하는 화상을 표시하게 된다.

이러한, 일반적인 액정표시장치의 구동장치는 각각의 데이터 구동 IC(4)가 독립적인 감마 전압부(12) 및 DAC부(18)를 이용하여 타이밍 제어부(30)로부터 공급되는 디지털 데이터(Data)를 아날로그 데이터(AData)로 변환하게 된다. 이에 따라, 일반적인 액정표시장치의 구동장치는 동일한 디지털 데이터(Data)를 아날로그 데이터(AData)로 변환할 경우 데이터 구동 IC(4)들 각각의 감마 전압부(12)를 구성하는 내부 R-String의 편차로 인하여 출력되는 아날로그 데이터(AData) 간의 편차가 발생하게 된다.

또한, 일반적인 액정표시장치의 구동장치는 데이터 구동 IC(4) 각각이 상술한 바와 같이 쉬프트 레지스터부(14), 래치부(16), DAC부(18) 및 출력 버퍼부(26)로 구성되기 때문에 구조가 복잡하며 많은 입력핀들이 필요하게 된다. 그리고, 일반적인 액정표시장치의 구동장치는 데이터 구동 IC(4) 각각의 수와 동일한 TCP(6)가 필요하게 된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터 구동회로의 구조를 단순화시킬 수 있도록 한 액정표시장치의 구동장치를 제공하는데 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정표시장치의 구동장치는 화상을 표시하는 액정패널과, 외부로부터 공급되는 데이터를 디지털 데이터로 변환하는 타이밍 제어부와, 상기 타이밍 제어부에 실장되어 감마전압을 공급하는 감마 전압부와, 상기 타이밍 제어부에 실장되어 상기 감마 전압부로부터의 감마전압을 이용하여 상기 디지털 데이터를 아날로그 데이터로 변환하는 데이터 변환부와, 상기 데이터 변환부로부터 공급되는 상기 아날로그 데이터를 상기 액정패널에 순차적으로 공급하는 다수의 아날로그 쉬프트 레지스터를 구비하는 것을 특징으로 한다.

상기 액정표시장치의 구동장치에서 상기 타이밍 제어부는 상기 외부로부터의 데이터를 디지털 데이터로 변환하고, 변환된 디지털 데이터를 오드 및 이븐 데이터로 정렬하는 데이터 처리부와, 상기 데이터 변환부 및 상기 다수의 아날로그 쉬프트 레지스터를 제어하기 위한 제어신호들을 생성하는 제어신호 발생부를 구비하는 것을 특징으로 한다.

상기 액정표시장치의 구동장치에서 상기 데이터 변환부는 상기 감마 전압부로부터의 감마전압을 이용하여 상기 디지털 오드 데이터를 정극성의 아날로그 오드 데이터와 부극성의 아날로그 오드 데이터로 동시에 변환하는 제 1 디지털 아날로그 변환부와, 상기 제어신호 발생부로부터의 극성제어신호에 따라 상기 정극성의 아날로그 오드 데이터와 부극성의 아날로그 오드 데이터를 선택적으로 출력하는 제 1 선택부와, 상기 제 1 선택부로부터 선택되어져 출력되는 상기 정극성의 아날로그 오드 데이터와 부극성의 아날로그 오드 데이터를 완충하여 상기 다수의 아날로그 쉬프트 레지스터로 출력하는 제 1 출력부와, 상기 감마 전압부로부터의 감마전압을 이용하여 상기 디지털 이븐 데이터를 정극성의 아날로그 이븐 데이터와 부극성의 아날로그 이븐 데이터로 동시에 변환하는 제 2 디지털 아날로그 변환부와, 상기 제어신호 발생부로부터의 극성제어신호에 따라 상기 정극성의 아날로그 이븐 데이터와 부극성의 아날로그 이븐 데이터를 선택적으로 출력하는 제 2 선택부와, 상기 제 2 선택부로부터 선택되어져 출력되는 상기 정극성의 아날로그 이븐 데이터와 부극성의 아날로그 이븐 데이터를 완충하여 상기 다수의 아날로그 쉬프트 레지스터로 출력하는 제 2 출력부를 구비하는 것을 특징으로 한다.

상기 액정표시장치의 구동장치에서 상기 제 1 디지털 아날로그 변환부는 상기 감마전압부로부터의 정극성 감마전압을 이용하여 상기 디지털 오드 데이터를 상기 정극성의 아날로그 오드 데이터로 디코딩하는 제 1 정극성 디코더와, 상기 감마 전압부로부터의 부극성 감마전압을 이용하여 상기 디지털 오드 데이터를 상기 부극성의 아날로그 오드 데이터로 디코딩하는 제 1 부극성 디코더를 구비하는 것을 특징으로 한다.

상기 액정표시장치의 구동장치에서 상기 제 2 디지털 아날로그 변환부는 상기 감마전압부로부터의 정극성 감마전압을 이용하여 상기 디지털 이븐 데이터를 상기 정극성의 아날로그 이븐 데이터로 디코딩하는 제 2 정극성 디코더와, 상기 감마 전압부로부터의 부극성 감마전압을 이용하여 상기 디지털 이븐 데이터를 상기 부극성의 아날로그 이븐 데이터로 디코딩하는 제 2 부극성 디코더를 구비하는 것을 특징으로 한다.

상기 액정표시장치의 구동장치는 상기 타이밍 제어부가 실장되는 데이터 인쇄회로기판과, 상기 액정패널과 상기 데이터 인쇄회로기판간에 접속되는 테이프 캐리어 패키지과, 상기 테이프 캐리어 패키지에 형성되어 상기 데이터 변환부로부터의 아날로그 데이터와 상기 제어신호 발생부로부터의 제어신호를 상기 다수의 아날로그 쉬프트 레지스터에 전달하는 신호배선을 더 구비하는 것을 특징으로 한다.

상기 액정표시장치의 구동장치에서 상기 다수의 아날로그 쉬프트 레지스터 각각은 상기 테이프 캐리어 패키지의 신호배선을 통해 상기 제어신호 발생부로부터 공급되는 클럭신호에 따라 스타트 펄스를 순차적으로 쉬프트시켜 샘플링신호를 발생하는 다수의 쉬프트 레지스터와, 상기 다수의 쉬프트 레지스터로부터의 샘플링신호에 따라 상기 신호배선을 통해 상기 데이터 변환부로부터 공급되는 상기 아날로그 오드 데이터와 상기 아날로그 이븐 데이터를 상기 액정패널에 순차적으로 공급하는 다수의 아날로그 스위치를 구비하는 것을 특징으로 한다.

상기 액정표시장치의 구동장치에서 상기 스타트 펄스는 소스 스타트 펄스(SSP)이고, 상기 클럭신호는 소스 쉬프트 클럭(SSC)인 것을 특징으로 한다.

상기 액정표시장치의 구동장치에서 다수의 아날로그 스위치 중 기수번째 아날로그 스위치에는 상기 아날로그 오드 데이터가 공급되고, 우수번째 아날로그 스위치에는 상기 아날로그 이븐 데이터가 공급되는 것을 특징으로 한다.

상기 액정표시장치의 구동장치에서 상기 다수의 아날로그 스위치 각각은 COG(Chip On Glass) 방식에 의해 상기 액정패널 상에 실장되는 것을 특징으로 한다.

상기 액정표시장치의 구동장치에서 상기 다수의 아날로그 스위치 각각은 상기 테이프 캐리어 패키지에 실장되는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 8을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 4를 참조하면, 본 발명의 실시 예에 따른 액정표시장치의 구동장치는 액정패널(102)과, 외부로부터 공급되는 데이터(R, G, B)를 디지털 데이터(Data)로 정렬하고 정렬된 디지털 데이터(Data)를 아날로그 데이터(AData)로 변환하는 타이밍 제어부(130)와, 액정패널(102)의 비표시영역에 실장되어 타이밍 제어부(130)로부터의 아날로그 데이터(AData)를 액정패널(102)에 순차적으로 공급하는 다수의 아날로그 쉬프트 레지스터(104)와, 액정패널(102)의 패드영역에 접속되는 다수의 테이프 캐리어 패키지(Tape Carrier Package; 이하, TCP라 함)(106)와, TCP(106)를 통해 다수의 아날로그 쉬프트 레지스터(104)와 접속되고 타이밍 제어부(130)가 실장된 데이터 인쇄회로기판(Printed Circuit Board; 이하, PCB라 함)(108)을 구비한다.

액정패널(102)에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널(102)에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 아날로그 데이터(AData)가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다.

데이터 PCB(108)는 타이밍 제어부(130)로부터의 출력되는 각종 제어신호들 및 아날로그 데이터(AData)와 파워부(도시하지 않음)로부터의 구동전압신호들을 다수의 아날로그 쉬프트 레지스터(104)로 중계하는 역할을 한다.

타이밍 제어부(130)는 외부로부터 공급되는 데이터(RGB)를 액정패널(102)의 구동에 알맞도록 디지털 데이터(Data)로 정렬하고, 정렬된 디지털 데이터(Data)를 아날로그 데이터(AData)로 변환하여 다수의 쉬프트 레지스터(104)로 공급한다. 또한, 타이밍 제어부(130)는 외부로부터 공급되는 각종 제어신호들에 기초하여 디지털 데이터(Data)를 아날로그 데이터(AData)로 변환하기 위한 데이터 제어신호들(SSP, SSC, SOE, POL, REV 등)을 발생하고, 액정패널(102)의 게이트 라인들을 구동하기 위한 게이트 제어신호들(GSP, GSC, GOE 등)을 발생한다.

이를 위해, 타이밍 제어부(130)는 도 5에 도시된 바와 같이 외부로부터 공급되는 데이터를 액정패널(102)에 알맞도록 디지털 데이터(Data)로 정렬하고, 오드 디지털 데이터(ODD Data) 및 이븐 디지털 데이터(EVNE Data)를 나누어 재배치하는 데이터 처리부(132)와, 외부로부터 입력되는 각종 제어신호를 이용하여 게이트 제어신호들(GSP, GSC, GOE 등) 및 데이터 제어신호들(SSP, SSC, SOE, POL, REV 등)을 생성하는 제어신호 생성부(134)와, 감마전압을 공급하는 감마 전압부(140)와, 감마 전압부(140)로부터 공급되는 감마전압을 이용하여 데이터 처리부(132)로부터 공급되는 오드 디지털 데이터(ODD Data)를 아날로그 오드 데이터(ODD AData)로 변환하는 제 1 디지털-아날로그 변환부(이하, DAC부라 함)(118)와, 제 1 DAC부(118)로부터의 아날로그 오드 데이터(ODD AData)를 완충하여 출력하는 제 1 출력 버퍼부(126)와, 감마 전압부(140)로부터 공급되는 감마전압을 이용하여 데이터 처리부(132)로부터 공급되는 이븐 디지털 데이터(EVEN Data)를 아날로그 이븐 데이터(EVEN AData)로 변환하는 제 2 DAC부(158)와, 제 2 DAC부(158)로부터의 아날로그 이븐 데이터(EVEN AData)를 완충하여 출력하는 제 2 출력 버퍼부(166)를 구비한다.

데이터 처리부(132)는 도시하지 않은 다수의 메모리를 이용하여 외부로부터 입력된 데이터(R, G, B)를 액정패널(102)의 구동에 알맞도록 오드 데이터(ODD Data) 및 이븐 데이터(EVEN Data)로 정렬하고, 정렬된 디지털 오드 데이터(ODD Data)를 제 1 DAC부(118)에 공급함과 아울러 디지털 이븐 데이터(EVEN Data)를 제 2 DAC부(158)에 공급한다.

제어신호 발생부(132)는 외부로부터 입력되는 유효 데이터 구간을 알리는 데이터 이네이블(Data Enable; DE) 신호, 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 데이터(RGB)의 전송 타이밍을 결정하는 도트 클럭(Dot Clock; DCLK)을 이용하여 데이터 제어신호들(SSP, SSC, SOE, REV, POL 등)을 발생하고, 게이트 제어신호들(GSC, GSP, GOE 등)을 발생하게 된다. 이러한, 게이트 제어신호들(GSC, GSP, GOE 등)은 도시하지 않은 게이트 구동 IC들로 공급된다. 또한, 데이터 제어신호들(SSP, SSC, SOE, POL 등) 중 소스 쉬프트 클럭(SSC) 및 소스 출력 이네이블(SOE)은 데이터 PCB(108) 및 TCP(106)를 경유하여 다수의 쉬프트 레지스터(104)로 공급되고, 극성제어신호(POL)는 제 1 및 제 2 DAC부(118, 158)에 공급된다.

감마 전압부(112)는 기준 감마전압 발생부(도시하지 않음)로부터 입력되는 다수개의 기준 감마전압을 그레이별로 세분화하여 제 1 및 제 2 DAC부(118, 158)에 공급한다.

제 1 DAC부(118)는 데이터 처리부(132)로부터의 디지털 오드 데이터(ODD Data)를 동시에 정극성 및 부극성의 아날로그 오드 데이터(ODD AData)로 변환하여 출력하게 된다. 이를 위하여, 제 1 DAC부(118)는 데이터 처리부(132)의 출력단에 공통 접속된 제 1 P(Positive) 디코딩부(120) 및 제 1 N(Negative) 디코딩부(122)와, 제 1 P 디코딩부(120) 및 제 1 N 디코딩부(122)의 출력신호를 선택하기 위한 제 1 멀티플렉서부(MUX; 124)를 구비한다.

제 1 P 디코딩부(120)는 P 디코더를 이용하여 데이터 처리부(132)로부터 입력되는 디지털 오드 데이터(Data)를 감마 전압부(112)로부터의 정극성 감마전압들을 이용하여 정극성의 아날로그 오드 데이터(ODD AData)로 변환하게 된다. 제 1 N 디코딩부(122)는 N 디코더를 이용하여 데이터 처리부(132)로부터 입력되는 디지털 오드 데이터(ODD Data)를 감마 전압부(112)로부터의 부극성 감마전압들을 이용하여 부극성의 아날로그 오드 데이터(ODD AData)로 변환하게 된다. 제 1 멀티플렉서부(124)는 멀티플렉서를 이용하여 제어신호 발생부(134)로부터의 극성제어신호(POL)에 응답하여 제 1 P 디코딩부(120)로부터 공급되는 정극성의 아날로그 오드 데이터(ODD AData) 또는 제 1 N 디코딩부(122)로부터 공급되는 부극성의 아날로그 오드 데이터(ODD AData)를 선택하여 출력하게 된다.

제 1 출력버퍼부(126)는 제 1 DAC부(118)로부터의 아날로그 오드 데이터(ODD AData)들을 신호완충하여 다수의 쉬프트 레지스터(104) 각각에 공급한다.



제 2 DAC부(158)는 데이터 처리부(132)로부터의 디지털 이븐 데이터(EVEN Data)를 동시에 정극성 및 부극성의 아날로그 이븐 데이터(EVEN AData)로 변환하여 출력하게 된다. 이를 위하여, 제 2 DAC부(158)는 데이터 처리부(132)의 출력단자에 공통 접속된 제 2 P(Positive) 디코딩부(160) 및 제 2 N(Negative) 디코딩부(162)와, 제 2 P 디코딩부(160) 및 제 2 N 디코딩부(162)의 출력신호를 선택하기 위한 제 2 멀티플렉서부(MUX; 164)를 구비한다.

제 2 P 디코딩부(160)는 P 디코더를 이용하여 데이터 처리부(132)로부터 입력되는 디지털 이븐 데이터(EVEN Data)를 감마 전압부(112)로부터의 정극성 감마전압들을 이용하여 정극성의 아날로그 이븐 데이터(EVEN AData)로 변환하게 된다. 제 2 N 디코딩부(162)는 N 디코더를 이용하여 데이터 처리부(132)로부터 입력되는 디지털 오드 데이터(ODD Data)를 감마 전압부(112)로부터의 부극성 감마전압들을 이용하여 부극성의 아날로그 이븐 데이터(EVEN AData)로 변환하게 된다. 제 2 멀티플렉서부(624)는 멀티플렉서를 이용하여 제어신호 발생부(134)로부터의 극성제어신호(POL)에 응답하여 제 2 P 디코딩부(160)로부터 공급되는 정극성의 아날로그 이븐 데이터(EVEN AData) 또는 제 2 N 디코딩부(162)로부터 공급되는 부극성의 아날로그 이븐 데이터(EVEN AData)를 선택하여 출력하게 된다.

제 2 출력버퍼부(166)는 제 2 DAC부(158)로부터의 아날로그 이븐 데이터(EVEN AData)들을 신호완충하여 다수의 쉬프트 레지스터(104) 각각에 공급한다.

다수의 TCP(106)는 탭(TAB; Tape Automated Bonding) 방식에 의해 액정패널(102)의 상단부에 마련된 데이터 패드들과 전기적으로 접속됨과 아울러 데이터 PCB(108)에 마련된 출력 패드들과 전기적으로 접속된다. 이러한, TCP(106)는 도 6에 도시된 바와 같이 타이밍 제어부(130)로부터 출력되는 아날로그 오드 데이터(ODD AData) 및 아날로그 이븐 데이터(EVEN AData)와, 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 다수의 쉬프트 레지스터(104)로 공급하기 위한 신호배선(133)이 형성된다.

이에 따라, 타이밍 제어부(130)로부터 출력되는 아날로그 오드 데이터(ODD AData) 및 아날로그 이븐 데이터(EVEN AData)와, 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)는 데이터 PCB(108) 및 다수의 TCP(106)의 신호배선(133)을 경유하여 다수의 쉬프트 레지스터(104)로 공급된다.

다수의 아날로그 쉬프트 레지스터(104) 각각은 타이밍 제어부(130)로부터 공급되는 아날로그 오드 데이터(ODD AData) 및 아날로그 이븐 데이터(EVEN AData)를 샘플링하여 액정패널(102)의 데이터라인들에 순차적으로 공급한다.

이를 위해, 다수의 아날로그 쉬프트 레지스터(104) 각각은 도 7에 도시된 바와 같이 타이밍 제어부(130)로부터 아날로그 오드 데이터(ODD AData) 및 아날로그 이븐 데이터(EVEN AData)가 공급되는 n개의 아날로그 스위치(172)를 포함하는 아날로그 샘플링부(170)와, 타이밍 제어부(130)로부터 공급되는 소스 스타트 펄스(SSP)를 순차적으로 쉬프트시켜 샘플링 신호를 순차적으로 발생하는 n개의 쉬프트 레지스터(SR1 내지 SRn)를 포함하는 쉬프트 레지스터부(150)를 구비한다.

이러한, 다수의 아날로그 쉬프트 레지스터(104) 각각은 COG(Chip On Glass) 방식에 의해 액정패널(102)의 비표시영역에 실장된다. 한편, 다수의 아날로그 쉬프트 레지스터(104) 각각은 다수의 TCP(106) 상에 실장되어 데이터 PCB(108)와 액정패널(102)간에 접속될 수 있다.

n개의 아날로그 스위치(172) 중 기수번째 아날로그 스위치(172) 각각의 입력단자는 아날로그 오드 데이터(ODD AData) 공급라인에 접속되고 출력단자는 액정패널(102)의 기수번째 데이터 라인에 접속되고, 우수번째 아날로그 스위치(172) 각각의 입력단자는 아날로그 이븐 데이터(ODD AData) 공급라인에 접속되고 출력단자는 액정패널(102)의 기수번째 데이터 라인에 접속된다.

n개의 쉬프트 레지스터(SR1 내지 SRn) 각각은 타이밍 제어부(130)로부터 공급되는 소스 스타트 펄스(SSP)를 타이밍 제어부(130)로부터 공급되는 소스 쉬프트 클럭(SSC)에 따라 순차적으로 쉬프트시켜 샘플링 신호를 생성하고 생성된 샘플링 신호를 다수의 아날로그 스위치(172) 각각에 공급한다.

이에 따라, 다수의 아날로그 쉬프트 레지스터(104) 각각은 도 8에 도시된 바와 같이 n개의 쉬프트 레지스터(SR1 내지 SRn)로부터 순차적으로 공급되는 샘플링신호에 따라 아날로그 오드 데이터(ODD AData) 공급라인 및 아날로그 이븐 데이터(ODD AData) 공급라인으로부터 공급되는 아날로그 오드 데이터(ODD AData) 및 아날로그 이븐 데이터(EVEN AData)를 순차적으로 샘플링하여 액정패널(102)의 데이터라인(DL1 내지 DLn)에 공급한다. 다시 말하여, n개의 아날로그 스위치(172) 중 기수번째 아날로그 스위치(172)는 다수의 쉬프트 레지스터(SR1 내지 SRn) 중 기수번째 쉬프트 레지스터(SR1, SR3 내지 SRn-1)로부터 순차적으로 공급되는 샘플링신호에 따라 아날로그 오드 데이터(ODD AData)를 샘플링하여 액정패널(102)의 기수번째 데이터 라인에 순차적으로 공급하고, 우수번째 쉬프트 레지스터(SR2, SR4 내지 SRn)로부터 순차적으로 공급되는 샘플링신호에 따라 아날로그 이븐 데이터(EVEN AData)를 샘플링하여 액정패널(102)의 우수번째 데이터 라인에 순차적으로 공급한다.

이와 같은, 본 발명의 실시 예에 따른 액정표시장치의 구동장치는 타이밍 제어부(130)의 내부에 집적화된 감마 전압부(112)의 R-String과, DAC부(118, 158) 및 출력 버퍼부(126, 166)를 이용하여 아날로그 데이터(AData)를 출력하고, 액정패널(102)에 실장된 다수의 아날로그 쉬프트 레지스터(104)를 이용하여 타이밍 제어부(130)로부터 공급되는 아날로그 데이터(AData)를 샘플링하여 액정패널(102)에 순차적으로 공급하여 액정패널(102)에 원하는 화상을 표시하게 된다.

이러한, 본 발명의 실시 예에 따른 액정표시장치의 구동장치는 타이밍 제어부(104) 내부의 감마 전압부(112)와 DAC부(118, 158)를 이용하여 액정패널(102)에 공급되는 아날로그 데이터(AData)를 생성함으로써 종래의 다수의 데이터 구동 IC들 간의 편차를 없앨 수 있다. 따라서, 본 발명의 실시 예에 따른 액정표시장치의 구동장치는 하나의 감마 전압부(112)만을 사용함으로써 동일한 디지털 데이터(Data)를 아날로그 데이터(AData)로 변환할 경우에 종래에서 발생되는 아날로그 데이터(AData)의 편차를 없앨 수 있다.

또한, 본 발명의 실시 예에 따른 액정표시장치의 구동장치는 데이터 라인들을 구동하기 위한 데이터 구동회로로 다수의 아날로그 쉬프트 레지스터(104)만을 사용함으로써 데이터 구동회로의 구조를 단순화시킬 수 있다. 그리고, 본 발명의 실시 예에 따른 액정표시장치의 구동장치는 다수의 아날로그 쉬프트 레지스터(104)의 개수보다 적은 TCP(106)를 사용하기 때문에 액정표시장치의 단가를 감소시킬 수 있다.

### 발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 액정표시장치의 구동장치는 외부로부터 공급되는 아날로그 데이터를 디지털 데이터로 변환하고, 내부 감마 전압부로부터 공급되는 정극성 및 부극성 감마전압을 이용하여 변환된 디지털 데이터를 정극성 아날로그 데이터와 부극성 아날로그 데이터를 변환하여 출력하는 타이밍 제어부와, 타이밍 제어부로부터 공급되는 정극성 아날로그 데이터와 부극성 아날로그 데이터를 샘플링하여 액정패널에 순차적으로 공급하는 다수의 아날로그 쉬프트 레지스터를 구비한다. 이에 따라, 본 발명은 데이터 라인들을 구동하기 위한 데이터 구동회로로 다수의 아날로그 쉬프트 레지스터만을 사용함으로써 데이터 구동회로의 구조를 단순화시킬 수 있다. 그리고, 본 발명은 다수의 아날로그 쉬프트 레지스터의 개수보다 적은 TCP를 사용하기 때문에 액정표시장치의 단가를 감소시킬 수 있다.

또한, 본 발명은 하나의 감마 전압부를 사용하여 디지털 데이터를 아날로그 데이터로 변환하기 때문에 종래에서와 같이 다수의 데이터 구동집적회로에 내장되는 다수의 감마 전압부간의 편차를 없애 액정패널에 공급되는 아날로그 데이터간의 편차를 없앨 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### (57) 청구의 범위

#### 청구항 1.

화상을 표시하는 액정패널과,

외부로부터 공급되는 데이터를 디지털 데이터로 변환하는 타이밍 제어부와,

상기 타이밍 제어부에 실장되어 감마전압을 공급하는 감마 전압부와,

상기 타이밍 제어부에 실장되어 상기 감마 전압부로부터의 감마전압을 이용하여 상기 디지털 데이터를 아날로그 데이터로 변환하는 데이터 변환부와,

상기 데이터 변환부로부터 공급되는 상기 아날로그 데이터를 상기 액정패널에 순차적으로 공급하는 다수의 아날로그 쉬프트 레지스터를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

#### 청구항 2.

제 1 항에 있어서,

상기 타이밍 제어부는,

상기 외부로부터의 데이터를 디지털 데이터로 변환하고, 변환된 디지털 데이터를 오드 및 이븐 데이터로 정렬하는 데이터 처리부와,

상기 데이터 변환부 및 상기 다수의 아날로그 쉬프트 레지스터를 제어하기 위한 제어신호들을 생성하는 제어신호 발생부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

#### 청구항 3.

제 2 항에 있어서,

상기 데이터 변환부는,

상기 감마 전압부로부터의 감마전압을 이용하여 상기 디지털 오드 데이터를 정극성의 아날로그 오드 데이터와 부극성의 아날로그 오드 데이터로 동시에 변환하는 제 1 디지털 아날로그 변환부와,

상기 제어신호 발생부로부터의 극성제어신호에 따라 상기 정극성의 아날로그 오드 데이터와 부극성의 아날로그 오드 데이터를 선택적으로 출력하는 제 1 선택부와,

상기 제 1 선택부로부터 선택되어져 출력되는 상기 정극성의 아날로그 오드 데이터와 부극성의 아날로그 오드 데이터를 완충하여 상기 다수의 아날로그 쉬프트 레지스터로 출력하는 제 1 출력부와,

상기 감마 전압부로부터의 감마전압을 이용하여 상기 디지털 이븐 데이터를 정극성의 아날로그 이븐 데이터와 부극성의 아날로그 이븐 데이터로 동시에 변환하는 제 2 디지털 아날로그 변환부와,

상기 제어신호 발생부로부터의 극성제어신호에 따라 상기 정극성의 아날로그 이븐 데이터와 부극성의 아날로그 이븐 데이터를 선택적으로 출력하는 제 2 선택부와,

상기 제 2 선택부로부터 선택되어져 출력되는 상기 정극성의 아날로그 이븐 데이터와 부극성의 아날로그 이븐 데이터를 완충하여 상기 다수의 아날로그 쉬프트 레지스터로 출력하는 제 2 출력부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

#### 청구항 4.

제 3 항에 있어서,

상기 제 1 디지털 아날로그 변환부는,

상기 감마전압부로부터의 정극성 감마전압을 이용하여 상기 디지털 오드 데이터를 상기 정극성의 아날로그 오드 데이터로 디코딩하는 제 1 정극성 디코더와,

상기 감마전압부로부터의 부극성 감마전압을 이용하여 상기 디지털 오드 데이터를 상기 부극성의 아날로그 오드 데이터로 디코딩하는 제 1 부극성 디코더를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

#### 청구항 5.

제 3 항에 있어서,

상기 제 2 디지털 아날로그 변환부는,

상기 감마전압부로부터의 정극성 감마전압을 이용하여 상기 디지털 이븐 데이터를 상기 정극성의 아날로그 이븐 데이터로 디코딩하는 제 2 정극성 디코더와,

상기 감마전압부로부터의 부극성 감마전압을 이용하여 상기 디지털 이븐 데이터를 상기 부극성의 아날로그 이븐 데이터로 디코딩하는 제 2 부극성 디코더를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

#### 청구항 6.

제 3 항에 있어서,

상기 타이밍 제어부가 실장되는 데이터 인쇄회로기판과,

상기 액정패널과 상기 데이터 인쇄회로기판간에 접속되는 테이프 캐리어 패키지과,

상기 테이프 캐리어 패키지에 형성되어 상기 데이터 변환부로부터의 아날로그 데이터와 상기 제어신호 발생부로부터의 제어신호를 상기 다수의 아날로그 쉬프트 레지스터에 전달하는 신호배선을 더 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

#### 청구항 7.

제 6 항에 있어서,

상기 다수의 아날로그 쉬프트 레지스터 각각은,



상기 테이프 캐리어 패키지의 신호배선을 통해 상기 제어신호 발생부로부터 공급되는 클럭신호에 따라 스타트 펄스를 순차적으로 쉬프트시켜 샘플링신호를 발생하는 다수의 쉬프트 레지스터와,

상기 다수의 쉬프트 레지스터로부터의 샘플링신호에 따라 상기 신호배선을 통해 상기 데이터 변환부로부터 공급되는 상기 아날로그 오드 데이터와 상기 아날로그 이븐 데이터를 상기 액정패널에 순차적으로 공급하는 다수의 아날로그 스위치를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

## 청구항 8.

제 7 항에 있어서,

상기 스타트 펄스는 소스 스타트 펄스(SSP)이고,

상기 클럭신호는 소스 쉬프트 클럭(SSC)인 것을 특징으로 하는 액정표시장치의 구동장치.

## 청구항 9.

제 7 항에 있어서,

다수의 아날로그 스위치 중 기수번째 아날로그 스위치에는 상기 아날로그 오드 데이터가 공급되고, 우수번째 아날로그 스위치에는 상기 아날로그 이븐 데이터가 공급되는 것을 특징으로 하는 액정표시장치의 구동장치.

## 청구항 10.

제 7 항에 있어서,

상기 다수의 아날로그 스위치 각각은 COG(Chip On Glass) 방식에 의해 상기 액정패널 상에 실장되는 것을 특징으로 하는 액정표시장치의 구동장치.

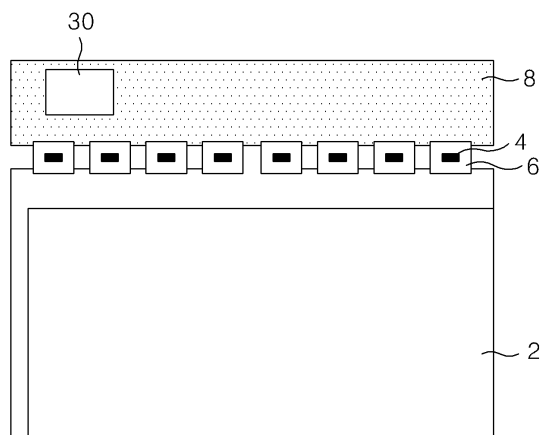
## 청구항 11.

제 7 항에 있어서,

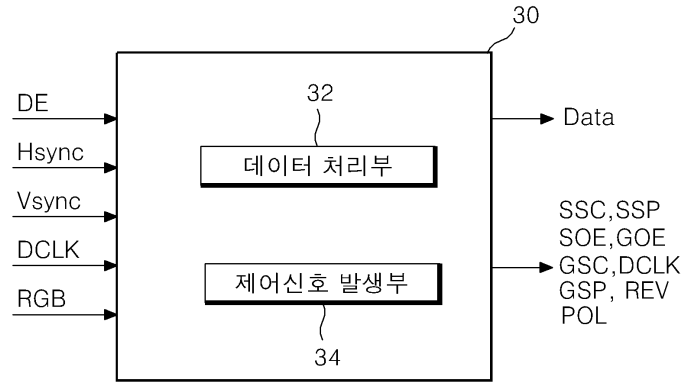
상기 다수의 아날로그 스위치 각각은 상기 테이프 캐리어 패키지에 실장되는 것을 특징으로 하는 액정표시장치의 구동장치.

## 도면

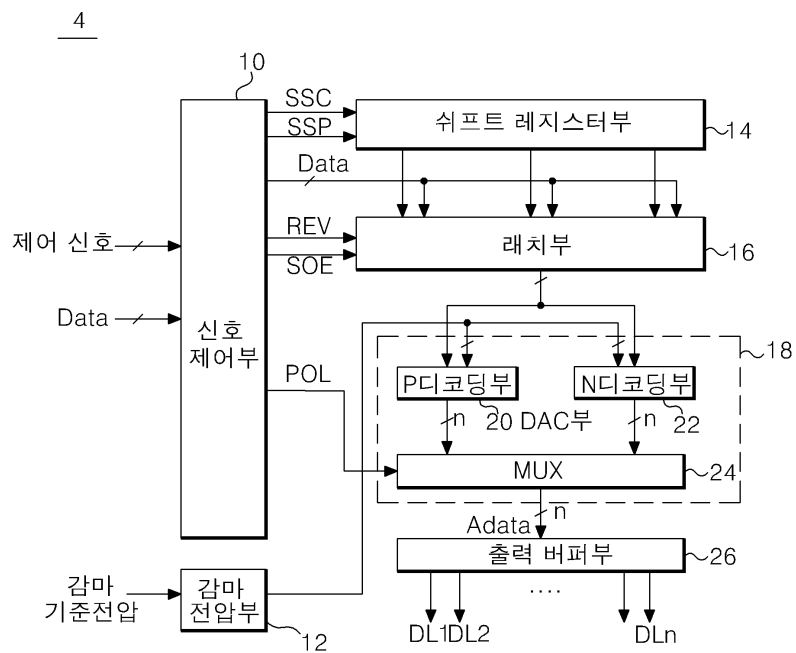
도면1



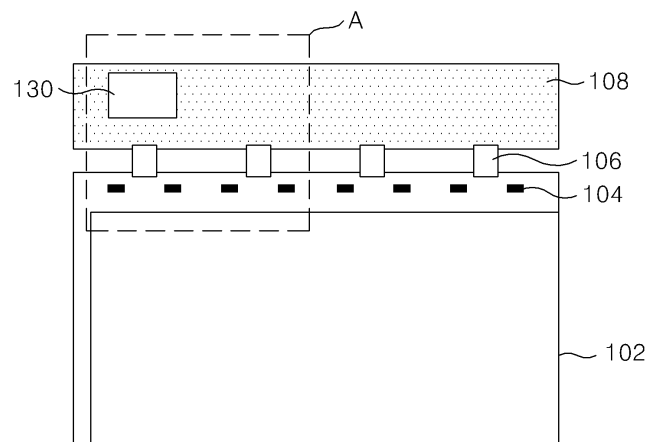
도면2



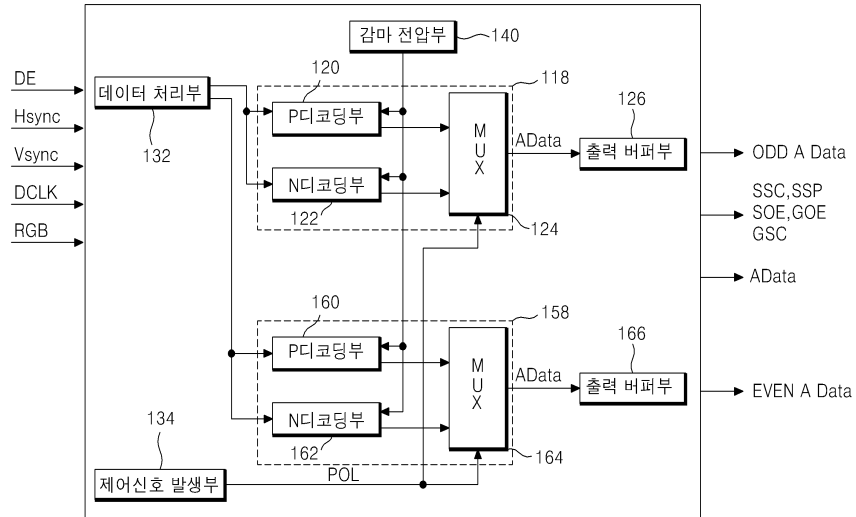
도면3



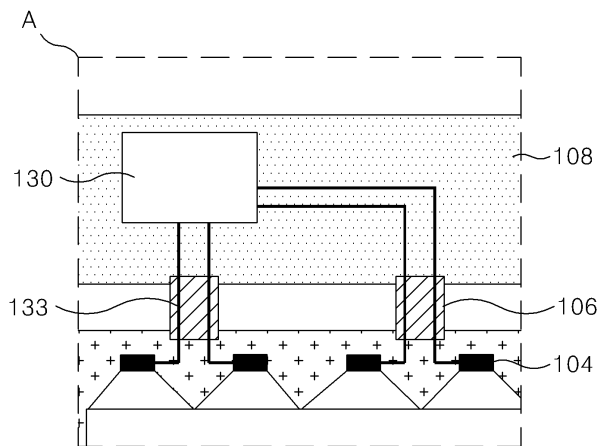
도면4



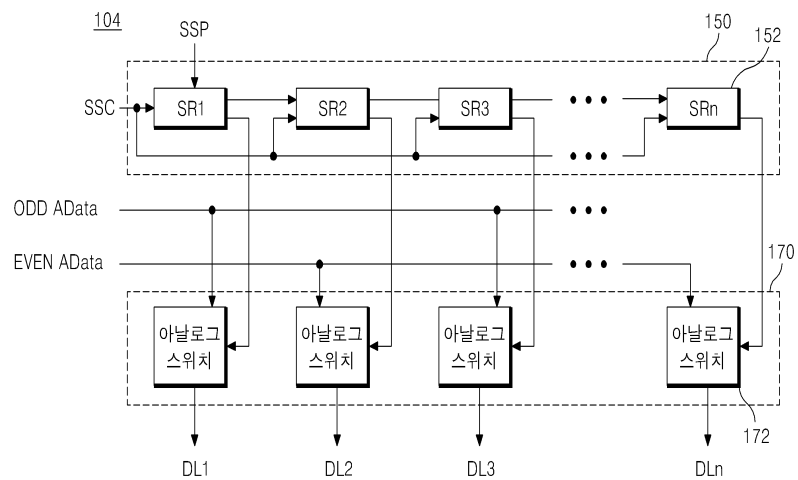
도면5



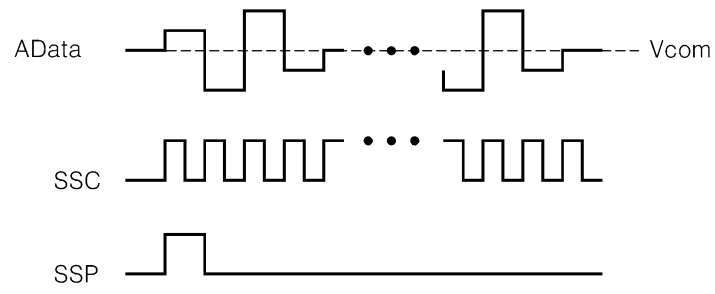
도면6



도면7



도면8



|                |                                  |         |            |
|----------------|----------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置的驱动装置                      |         |            |
| 公开(公告)号        | <a href="#">KR1020050060236A</a> | 公开(公告)日 | 2005-06-22 |
| 申请号            | KR1020030091802                  | 申请日     | 2003-12-16 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                         |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                        |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                        |         |            |
| [标]发明人         | NAM HYUNTAEK                     |         |            |
| 发明人            | NAM, HYUNTAEK                    |         |            |
| IPC分类号         | G02F1/133                        |         |            |
| 其他公开文献         | KR100987677B1                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>        |         |            |

#### 摘要(译)

目的：提供一种用于驱动LCD（液晶显示器）的装置，通过仅使用模拟移位寄存器作为数据驱动电路来简化数据驱动电路的结构。

