

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0014209
(43) 공개일자 2005년02월07일

(21) 출원번호 10-2003-0052723
(22) 출원일자 2003년07월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 조용진
서울특별시강남구개포4동현대아파트205동501호

이정일
서울특별시광진구자양1동229-68번지

정시화
경기도안양시동안구갈산동샘마을아파트204/1202

(74) 대리인 김용인
심창섭

심사청구 : 있음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 액티브층과 소오스/드레인 전극을 하나의 마스크로 일괄 식각하고, 소오스/드레인 전극과 소오스 불순물 영역을 연결하기 위한 콘택홀 형성공정을 생략함으로써 전체적인 마스크 수를 줄이도록 한 액정표시장치 및 그 제조 방법에 관한 것으로서, 절연 기판상에 일정한 간격을 갖고 형성되는 제 1, 제 2 액티브층과, 상기 제 1, 제 2 액티브층의 양측단에 일정한 간격을 갖고 형성되는 소오스 및 드레인 전극과, 상기 소오스 및 드레인 전극을 포함한 절연 기판의 전면에 형성되는 게이트 절연막과, 상기 소오스 및 드레인 전극 사이의 제 1, 제 2 액티브층상에 각각 형성되는 게이트 전극과, 상기 소오스 및 드레인 전극과 제 1, 제 2 액티브층의 표면이 소정부분 노출되도록 콘택홀을 갖고 절연 기판의 전면에 형성되는 절연막과, 상기 콘택홀 하측의 제 1, 제 2 액티브층에 형성되는 제 1, 제 2 소오스/드레인 영역과, 상기 콘택홀을 통해 상기 소오스 전극과 소오스 불순물 영역에 연결되어 형성되는 도전성 라인과, 상기 콘택홀을 통해 상기 드레인 전극과 드레인 불순물 영역에 연결되어 형성되는 화소전극을 포함하여 이루어짐을 특징으로 한다.

대표도

도 4

색인어

박막트랜지스터, 회절 노광, 마스크, 액정표시장치

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타낸 평면도

도 2a 내지 도 2e는 종래의 액정표시장치의 제조방법을 나타낸 공정단면도

도 3은 본 발명의 제 1 실시예에 의한 액정표시장치를 나타낸 평면도

도 4는 도 3의 IV-IV선에 따른 본 발명의 제 1 실시예에 의한 액정표시장치를 나타낸 단면도

도 5a 내지 도 5d는 본 발명의 제 1 실시예에 의한 액정표시장치의 제조방법을 나타낸 공정평면도

도 6a 내지 도 6d는 도 5a 내지 도 5d의 IV-IV선에 따른 본 발명의 제 1 실시예에 의한 액정표시장치의 제조방법을 나타낸 공정단면도

도 7은 본 발명의 제 2 실시예에 의한 액정표시장치를 나타낸 단면도

도 8a 내지 도 8e는 본 발명의 제 2 실시예에 의한 액정표시장치의 제조방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

51 : 절연 기판 52 : 다결정 실리콘층

53a,53b : 소오스 및 드레인 전극 54 : 게이트 절연막

55a : 게이트 전극 56 : LDD 영역

57 : 절연막 58 : 콘택홀

59 : 소오스/드레인 영역 60 : 도전성 라인

61 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히 전체적인 마스크 수를 줄이어 비용을 절감하는데 적당한 액정표시장치 및 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 저전압 구동, 저소비 전력, 풀 칼라 구현, 경박 단소 등의 특징으로 인해 계산기, 시계, 노트북, PC용 모니터 등에서, TV, 항공용 모니터, 개인 휴대 단말기, 휴대 전화 등으로 그 용도가 다양해지고 있다.

이와 같은 액정표시장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 유리 기판 (TFT 어레이 기판)에는, 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인 과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성된다.

그리고 제 2 유리 기판(칼라필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 칼라 색상을 표현하기 위한 R, G, B 칼라 필터층과 화상을 구현하기 위한 공통 전극이 형성된다.

이와 같은 상기 제 1, 제 2 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실(seal)재에 의해 합착되어 상기 두 기판사이에 액정이 주입된다.

이 때, 액정 주입 방법은 상기 실재에 의해 합착된 두 기판 사이를 진공 상태를 유지하여 액정 액에 상기 액정 주입구가 잠기도록 하면 삼투압 현상에 의해 액정이 두 기판 사이에 주입된다. 이와 같이 액정이 주입되면 상기 액정 주입구를 밀봉재로 밀봉하게 된다.

최근에는 합착하기 전에 제 1 또는 제 2 기판에 액정을 적당량 적하한 후 기판을 합착하는 액정 적하 방식으로 액정표시소자를 제조하는 방법도 제안되었다.

상기와 같은 액정표시장치에 사용되는 박막트랜지스터는 수소화된 비정질 실리콘(amorphous silicon)을 주로 사용하는데, 이는 저온 공정이 가능하여 저가의 유리 기판을 사용할 수 있기 때문이다.

그러나 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합 및 땀글링 본도(dangling bond)가 존재하여 빛 조사나 전기장 인가시 준 안정상태로 변화되어 박막트랜지스터로 활용시 안정성이 문제로 대두되고 있다.

특히, 비정질 실리콘은 빛 조사에 의해 특성이 저하되는 문제점이 있고, 표시화소 구동 소자의 전기적 특성과 신뢰성 저하로 인해 구동회로에 사용하기가 어렵다.

즉, 비정질 실리콘 박막트랜지스터는 TCP(Tape Carrier Package) 구동 IC를 이용하여 기판과 PCB(Printed Circuit Board)를 연결하므로, 구동 IC 및 실장비용이 원가에 많은 부분을 차지한다.

더욱이, 액정표시장치에서 액정패널의 해상도가 높아지면, 박막트랜지스터 어레이 기판의 게이트 배선 및 데이터 배선을 상기 TCP와 연결하는 기판 외부의 패드 피치(pitch)가 짧아져 TCP본딩 자체가 어려워진다.

그러나, 다결정 실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기판위에 구동회로를 만들 수 있어, 이 다결정 실리콘으로 기판에 직접 구동회로를 만들면 구동 IC 비용도 줄일 수 있고 실장도 간단해진다.

즉, 다결정 실리콘 박막트랜지스터는 비정질 실리콘 박막트랜지스터에 비하여 전자나 정공의 이동도가 높고 상보형(CMOS) 박막트랜지스터로 구현이 가능하다.

따라서, 구동회로 IC를 본딩으로 연결하는 대신에, 구동회로의 많은 부분을 TFT로 형성하여 화소부에 형성되는 박막트랜지스터와 동시에 제작할 수 있다.

최근 들어 레이저를 이용할 결정화 기술의 발전으로 비정질 실리콘 박막트랜지스터와 비슷한 온도에서 제작이 가능하기 때문에 대형 유리기판 상에 제작이 가능하게 된다.

이하, 첨부된 도면을 참고하여 종래의 박막트랜지스터 및 그 형성방법을 설명하면 다음과 같다.

도 1은 종래의 액정표시장치를 나타낸 평면도이다.

도 1에 도시한 바와 같이, 하부 기판(10)상에 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(11)이 배열되고, 상기 게이트 라인(11)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(12)이 배열된다.

그리고 상기 게이트 라인(11)과 데이터 라인(12)이 교차되어 정의된 각 화소영역(P)에는 매트릭스 형태로 형성되는 화소전극(16)과, 상기 게이트 라인(11)의 신호에 의해 스위칭되어 상기 데이터 라인(12)의 신호를 상기 각 화소전극(16)에 전달하는 복수개의 박막 트랜지스터가 형성된다.

여기서, 상기 박막 트랜지스터는 상기 게이트 라인(11)으로부터 돌출되어 형성되는 게이트 전극(13)과, 전면에 형성된 게이트 절연막(도면에는 도시되지 않음)과 상기 게이트 전극(13) 상층의 게이트 절연막위에 형성되는 반도체층(14)과, 상기 데이터 라인(12)으로부터 돌출되어 형성되는 소오스 전극(15a)과, 상기 소오스 전극(15a)에 대향되도록 드레인 전극(15b)을 구비하여 구성된다.

여기서, 상기 드레인 전극(15b)은 상기 화소전극(16)과 콘택홀(17)을 통해 전기적으로 연결된다.

한편, 상기와 같이 구성된 하부 기판(10)은 일정한 공간을 갖고 상부 기판(도시되지 않음)과 합착된다.

여기서, 상기 상부 기판에는 하부 기판(10)에 형성된 화소영역(P)과 각각 대응되는 개구부를 가지며 광 차단 역할을 수행하는 블랙 매트릭스(black matrix)층과, 칼라 색상을 구현하기 위한 적/녹/청(R/G/B) 컬러 필터층 및 상기 화소 전극(반사전극)(16)과 함께 액정을 구동시키는 공통전극을 포함하여 구성되어 있다.

이와 같은 하부 기판(10)과 상부 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실(seal)재에 의해 합착된 두 기판 사이에 액정이 주입된다.

도 2a 내지 도 2e는 종래의 액정표시장치의 제조방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와 같이, 절연 기판(21)상에 실리콘 산화물을 재료로 하는 버퍼층(22)을 형성하고, 상기 버퍼층(22)상에 상기 버퍼층(22)상에 플라즈마 CVD법으로 비정질 실리콘층을 형성한다.

이어, 상기 비정질 실리콘층에 엑시머 레이저 등의 에너지를 조사하여 다결정화하여 다결정 실리콘층을 형성한다.

한편, 상기 다결정화 공정을 진행하기 전에 탈수소 처리를 진행한다. 즉, 플라즈마 CVD법으로 형성된 비정질 실리콘층에는 대량(약 10%)의 수소가 함유되어 있기 때문에 약 430°C의 온도에서 2시간 정도에서 진행하여 비정질 실리콘층에 함유된 수소를 제거한다.

그리고 상기 다결정 실리콘층상에 제 1 포토레지스트(24)를 도포한 후, 노광 및 현상 공정으로 상기 제 1 포토레지스트(24)를 패터닝한다.

이어, 상기 패터닝된 제 1 포토레지스트(24)를 마스크로 이용하여 상기 다결정 실리콘층을 선택적으로 제거하여 액티브층(반도체층)(23)을 형성한다.

도 2b에 도시한 바와 같이, 상기 제 1 포토레지스트(24)를 제거하고, 상기 액티브층(23)을 포함한 절연 기판(21)의 전면에 실리콘 질화막 등을 증착하여 게이트 절연막(25)을 형성한다.

이어, 상기 게이트 절연막(25)상에 금속막을 증착하고, 상기 금속막상에 제 2 포토레지스트(27)를 도포한 후, 노광 및 현상공정으로 상기 제 2 포토레지스트(27)를 패터닝하여 게이트 영역을 정의한다.

여기서, 상기 금속막은 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo)등의 도전성 금속막을 스퍼터링(sputtering)법으로 증착하여 형성한다.

그리고 상기 패터닝된 제 2 포토레지스트(27)를 마스크로 이용하여 상기 금속막을 선택적으로 제거하여 게이트 전극(26)을 형성한다.

도 2c에 도시한 바와 같이, 상기 제 2 포토레지스트(27)를 제거하고, 상기 게이트 전극(26)을 마스크로 하여 상기 절연 기판(21)의 전면에 불순물 이온을 도핑하여 상기 게이트 전극(26) 양측의 액티브층(23)에 소오스/드레인 불순물 영역(28)을 형성한다.

도 2d에 도시한 바와 같이, 상기 게이트 전극(26)을 포함한 절연 기판(21)의 전면에 층간 절연막(29)을 형성하고, 포토 및 식각공정으로 상기 소오스/드레인 불순물 영역(28)의 표면이 소정부분 노출되도록 상기 층간 절연막(29) 및 게이트 절연막(25)을 선택적으로 제거하여 제 1 콘택홀(30)을 형성한다.

도 2e에 도시한 바와 같이, 상기 제 1 콘택홀(30)을 포함한 절연 기판(21)의 전면에 금속막을 증착하고, 포토 및 식각공정을 통해 상기 금속막을 선택적으로 제거하여 상기 제 1 콘택홀(30)을 통해 상기 소오스/드레인 불순물 영역(28)과 전기적으로 연결되는 소오스 전극(31a) 및 드레인 전극(31b)을 형성한다.

도 2f에 도시한 바와 같이, 상기 소오스 전극(31a) 및 드레인 전극(31b)을 포함한 절연 기판(21)의 전면에 보호막(32)을 형성하고, 포토 및 식각공정으로 상기 드레인 전극(31b)의 표면이 소정부분 노출되도록 상기 보호막(32)을 선택적으로 제거하여 제 2 콘택홀을 형성한다.

여기서, 상기 보호막(32)은 실리콘 질화물, 실리콘 산화물, BCB 또는 아크릴 수지 등의 재료를 이용하여 형성한다.

이어, 상기 제 2 콘택홀을 포함한 절연 기판(21)의 전면에 금속막을 증착하고, 포토 및 식각공정으로 금속막을 선택적으로 패터닝하여 상기 제 2 콘택홀을 통해 상기 드레인 전극(31b)과 연결되는 화소전극(33)을 형성함으로써 액정표

시장치의 어레이기판이 완성된다.

여기서 상기 금속막은 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide) 또는 ITZO(Indium-Tin-Zinc-Oxide), Al, AlNd, Cr, Mo 등을 CVD 방법 또는 스퍼터링 방법으로 증착한다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래의 액정표시장치 및 그의 제조방법에 있어서 다음과 같은 문제점이 있었다.

첫째, 박막트랜지스터를 NMOS 또는 PMOS로 형성할 경우, 액티브층, 게이트 라인 및 게이트 전극, 제 1 콘택홀, 데이터 라인 및 소오스/드레인 전극, 제 2 콘택홀, 화소전극을 형성하기 위하여 전체적으로 6장의 마스크를 사용함으로써 전체적인 공정 비용이 상승한다.

둘째, 박막트랜지스터를 CMOS를 형성할 경우에는 액티브층, 게이트 라인 및 게이트 전극, n-웰, p-웰, 제 1 콘택홀, 소오스/드레인 전극, 제 2 콘택홀, 화소전극을 형성하기 위하여 전체적으로 8장의 마스크를 사용함으로써 전체적인 공정 비용이 상승한다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 액티브층과 소오스/드레인 전극을 하나의 마스크로 일괄 식각하여 형성하고, 소오스/드레인 전극과 소오스 불순물 영역을 연결하기 위한 콘택홀 형성공정을 생략함으로써 전체적인 마스크 수를 줄이도록 한 액정표시장치 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 제 1 실시예에 의한 액정표시장치는 절연 기판상에 일정한 간격을 갖고 형성되는 제 1, 제 2 액티브층과, 상기 제 1, 제 2 액티브층의 양측단에 일정한 간격을 갖고 형성되는 소오스 및 드레인 전극과, 상기 소오스 및 드레인 전극을 포함한 절연 기판의 전면에 형성되는 게이트 절연막과, 상기 소오스 및 드레인 전극 사이의 제 1, 제 2 액티브층상에 각각 형성되는 게이트 전극과, 상기 소오스 및 드레인 전극과 제 1, 제 2 액티브층의 표면이 소정부분 노출되도록 콘택홀을 갖고 절연 기판의 전면에 형성되는 절연막과, 상기 콘택홀 하측의 제 1, 제 2 액티브층에 형성되는 제 1, 제 2 소오스/드레인 영역과, 상기 콘택홀을 통해 상기 소오스 전극과 소오스 불순물 영역에 연결되어 형성되는 도전성 라인과, 상기 콘택홀을 통해 상기 드레인 전극과 드레인 불순물 영역에 연결되어 형성되는 화소전극을 포함하여 이루어짐을 특징으로 한다.

또한, 본 발명의 제 2 실시예에 의한 액정표시장치는 절연 기판상에 일정한 간격을 갖고 형성되는 제 1, 제 2, 제 3 액티브층과, 상기 제 1, 제 2, 제 3 액티브층의 양측단에 각각 일정한 간격을 갖고 형성되는 소오스 및 드레인 전극과, 상기 소오스 및 드레인 전극을 포함한 절연 기판의 전면에 형성되는 게이트 절연막과, 상기 각 소오스 및 드레인 전극 사이의 제 1, 제 2, 제 3 액티브층상에 형성되는 게이트 전극과, 상기 제 1, 제 2 액티브층과 제 1, 제 2 액티브층상에 형성된 소오스 및 드레인 전극의 표면과 상기 제 3 액티브층과 제 3 액티브층상에 형성된 소오스/드레인 전극의 표면이 소정부분 노출되도록 제 1, 제 2 콘택홀을 갖고 절연 기판의 전면에 형성되는 절연막과, 상기 제 1 콘택홀 하측의 제 1, 제 2 액티브층에 형성되는 제 1 도전형 제 1, 제 2 소오스/드레인 영역과, 상기 제 2 콘택홀 하측의 제 3 액티브층에 형성되는 제 2 도전형 제 3 소오스/드레인 영역과, 상기 제 1, 제 2 콘택홀을 통해 상기 소오스 전극과 제 1, 제 2, 제 3 소오스 영역에 연결되어 형성되는 도전성 라인과, 상기 제 1, 제 2 콘택홀을 통해 상기 드레인 전극과 제 1, 제 2, 제 3 드레인 영역에 연결되어 형성되는 화소전극을 포함하여 이루어짐을 특징으로 한다.

또한, 본 발명의 제 1 실시예에 의한 액정표시장치의 제조방법은 절연 기판상에 다결정 실리콘층 및 금속막을 차례로 형성하는 단계, 상기 금속막 및 다결정 실리콘층을 선택적으로 제거하여 제 1, 제 2 액티브층을 형성하고 상기 제 1, 제 2 액티브층의 양측단상에 소오스 및 드레인 전극을 형성하는 단계, 상기 소오스 및 드레인 전극을 포함한 절연 기판의 전면에 게이트 절연막을 형성하는 단계, 상기 소오스 전극 및 드레인 전극 사이의 제 1, 제 2 액티브층상에 게이트 전극을 형성하는 단계, 상기 제 1, 제 2 액티브층과 소오스 및 드레인 전극의 표면이 소정부분 노출되도록 콘택홀을 갖는 절연막을 절연 기판의 전면에 형성하는 단계, 상기 콘택홀을 통해 상기 제 1, 제 2 액티브층에 소오스/드레인 영역을 형성하는 단계, 상기 콘택홀을 통해 상기 소오스 및 드레인 전극과 소오스/드레인 불순물 영역을 전기적으로 연결하는 도전성 라인 및 화소전극을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

또한, 본 발명의 제 2 실시예에 의한 액정표시장치의 제조방법은 절연 기판상에 다결정 실리콘층 및 금속막을 차례로 형성하는 단계, 상기 금속막 및 다결정 실리콘층을 선택적으로 제거하여 일정한 간격을 갖는 제 1, 제 2, 제 3 액티브층을 형성하고 상기 제 1, 제 2, 제 3 액티브층의 양측단상에 소오스 및 드레인 전극을 형성하는 단계, 상기 소오스 및 드레인 전극을 포함한 절연 기판의 전면에 게이트 절연막을 형성하는 단계, 상기 소오스 전극 및 드레인 전극 사이의

제 1, 제 2, 제 3 액티브층상에 각각 게이트 전극을 형성하는 단계, 상기 게이트 전극을 포함한 절연 기판의 전면에 절연막을 형성하는 단계, 상기 제 1, 제 2 액티브층 및 상기 제 1, 제 2 액티브층상에 형성된 소오스 및 드레인 전극의 표면이 소정부분 노출되도록 상기 절연막을 선택적으로 제거하여 제 1 콘택홀을 형성하는 단계, 상기 제 1 콘택홀을 통해 노출된 제 1, 제 2 액티브층에 제 1 도전형 제 1, 제 2 소오스/드레인 영역을 형성하는 단계, 상기 제 3 액티브층 및 상기 제 3 액티브층상에 형성된 소오스 및 드레인 전극의 표면이 소정부분 노출되도록 상기 절연막을 선택적으로 제거하여 제 2 콘택홀을 형성하는 단계, 상기 제 2 콘택홀을 통해 노출된 제 3 액티브층에 제 2 도전형 제 3 소오스/드레인 영역을 형성하는 단계, 상기 제 1, 제 2 콘택홀을 통해 상기 소오스 및 드레인 전극과 제 1, 제 2, 제 3 소오스/드레인 영역을 연결하는 도전성 라인 및 화소전극을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 액정표시장치 및 그 제조방법을 보다 상세히 설명하면 다음과 같다.

도 3은 본 발명의 제 1 실시예에 의한 액정표시장치를 나타낸 평면도이고, 도 4는 도 3의 IV-IV선에 따른 본 발명의 제 1 실시예에 의한 액정표시장치를 나타낸 단면도이다.

도 3 및 도 4에 도시한 바와 같이, 절연 기판(51)상의 일정영역에 형성되는 제 1, 제 2 액티브층(52a,52b)과, 상기 제 1, 제 2 액티브층(52a,52b)의 양측단에 일정한 간격을 갖고 소오스 및 드레인 전극(53a,53b)과, 상기 소오스 및 드레인 전극(53a,53b)을 포함한 절연 기판(51)의 전면에 형성되는 게이트 절연막(54)과, 상기 소오스 및 드레인 전극(53a,53b) 사이의 게이트 절연막(54)상에 형성되는 게이트 전극(55a)과, 상기 게이트 전극(55a) 양측의 제 1, 제 2 액티브층(52a,52b)에 형성되는 LDD 영역(56) 및 소오스/드레인 영역(59a,59b)과, 상기 소오스 및 드레인 전극(53a,53b)의 표면이 소정부분 노출되도록 콘택홀(58)을 갖고 절연 기판(51)의 전면에 형성되는 절연막(57)과, 상기 콘택홀(58)을 통해 상기 소오스 전극(53a) 및 소오스 영역(59a)을 연결하는 도전성 라인(60) 및 상기 드레인 전극(53b) 및 드레인 영역(59b)과 연결되는 화소전극(61)을 포함하여 이루어진다.

여기서, 상기 게이트 전극(55a)은 게이트 라인(55)으로부터 돌출되어 형성되어 있고, 상기 소오스 전극(53a)은 데이터 라인(53)으로부터 돌출되어 형성되어 있다.

또한, 상기 게이트 라인(55)과 일정한 간격을 갖고 동일한 방향으로 스토리지 커패시터 제 2 전극(55b)이 형성되어 있다.

또한, 상기 제 1, 제 2 액티브층(52a,52b)과 절연 기판(51) 사이에는 버퍼층(도시되어 있지 않음)이 형성되어 있다.

여기서, 상기 절연 기판(51)은 일정한 간격을 갖고 화소 TFT 영역, 스토리지 영역, NMOS 영역, 데이터 패드영역, 그리고 데이터 패드영역이 정의되어 있다.

따라서 상기 화소 TFT 영역에는 제 1 액티브층(52a)과 상기 제 1 액티브층(52a)의 양측단상에 일정한 간격을 갖고 소오스 및 드레인 전극(53a,53b)이 형성되어 있고, 상기 NMOS 영역에는 제 2 액티브층(52b)과 상기 제 2 액티브층(52b)의 양측단상에 일정한 간격을 갖고 소오스 및 드레인 전극(53a,53b)이 형성되어 있다.

그리고 상기 스토리지 영역에는 다결정 실리콘층(52)이 패터닝되어 있고, 상기 패터닝된 다결정 실리콘층(52)상에는 스토리지 커패시터 제 1 전극(53c)이 형성되어 있고, 상기 데이터 패드 영역에는 다결정 실리콘층(52)을 개재하여 데이터 패드(53c)가 형성되어 있으며, 상기 게이트 패드 영역에는 게이트 패드(55c)가 형성되어 있다.

도 5a 내지 도 5d는 본 발명의 제 1 실시예에 의한 액정표시장치의 제조방법을 나타낸 평면도이고, 도 6a 내지 도 6d는 도 5a 내지 도 5d의 IV-IV선에 따른 본 액정표시장치의 제조방법을 나타낸 공정단면도이다.

도 5a 및 도 6a에 도시한 바와 같이, 절연 기판(박막 어레이 기판)(51)상에 실리콘 산화물을 재료로 하는 버퍼층(도시되지 않음)을 형성하고, 상기 버퍼층상에 비정질 실리콘층을 형성한다.

여기서, 상기 절연 기판(51)에는 화소 TFT 영역, 스토리지 영역, NMOS 영역, 데이터 패드영역, 그리고 데이터 패드영역으로 정의되어 있다.

상기 비정질 실리콘층은 상기 버퍼층상에 실란 가스를 사용하는 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure CVD), 스퍼터(sputter) 등의 방법을 이용하여 300 ~ 400°C에서 비정질 실리콘(Amorphous Silicon)을 증착하여 형성한다.

이어, 상기 비정질 실리콘층에 레이저 등의 에너지를 조사하여 다결정화하여 다결정 실리콘층을 형성한다.

여기서, 상기 비정질 실리콘층의 다결정화 공정은 비정질 실리콘층내의 수소를 감소시키기 위하여 질소 분위기에서 약 430°C의 온도로 약 90분간 열처리하여 실시한 후 레이저 등의 에너지를 조사하여 결정화한다.

한편, 상기 비정질 실리콘층의 결정화 방법은 다음과 같은 방법으로 행해진다.

먼저, 엑시머 레이저 어닐(Excimer Laser Annealing : ELA) 방법은 비정질 실리콘층을 증착한 후 전면에 엑시머 레이저를 가해서 다결정 실리콘을 형성하는 방법이다.

여기서, 상기 엑시머 레이저로 한정하는 것은 아니고 기타 어떠한 레이저를 사용할 수도 있다.

이어, 고상 결정화(solid phase crystallization : 이하 SPC라 칭한다) 방법은 비정질 실리콘층을 증착한 후 고온에서 장시간 열처리하여 다결정 실리콘을 형성하는 방법이다.

그리고 금속유도 결정화(metal induced crystallization : MIC) 방법은 비정질 실리콘층 상에 금속을 선택적으로 증착한 후 열처리하여 다결정 실리콘을 형성하는 방법으로, 대면적의 유리기판을 사용할 수 있다.

또한, 상기 비정질 실리콘층에 니켈 등의 전이금속 입자를 입사시킨 후 자외선(UV)을 조사시키면서 전계를 인가하여 비정질 실리콘층을 다결정 실리콘층으로 결정화하여 박막의 특성을 향상시킬 수도 있다.

즉, 니켈 등의 금속이 포함된 비정질 실리콘층에 자외선 및 전계를 동시에 인가할 경우 상기 금속유도 결정화 방법보다도 결정화 시간 및 결정화 온도를 낮출 수 있다.

한편, 본 발명의 실시예에서는 비정질 실리콘층을 결정화시킨 다결정 실리콘층을 사용하고 있지만, 불순물이 도핑된 다결정 실리콘층을 CVD 또는 스퍼터링 방법으로 증착하여 사용할 수도 있다.

이어, 상기 다결정 실리콘층상에 금속막을 증착하고, 상기 금속막상에 포토레지스트를 도포한 후, 투과영역 및 차단영역 그리고 슬릿영역이 정의된 회절 마스크(도시되지 않음)를 이용하여 노광 공정을 실시하고, 상기 노광된 포토레지스트를 현상하여 포토레지스트 패턴을 형성한다.

여기서, 상기 포토레지스트 패턴은 회절 마스크에 의해 중앙부와 양측면부의 두께가 다르게 되어 있다.

즉, 상기 투과영역과 슬릿영역에 의해 포토레지스트의 노광량이 다르게 되어 상기 노광된 포토레지스트를 현상할 때 중앙부와 양측면의 두께가 다르게 된다.

여기서, 상기 금속막은 알루미늄(Al), 구리(Cu), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti) 또는 탄탈륨(Ta)의 금속이나, MoW, MoTa 또는 MoNb의 몰리브덴 합금(Mo alloy) 등을 CVD 또는 스퍼터링법으로 증착하여 형성한다.

그리고, 상기 포토레지스트 패턴을 마스크로 이용하여 상기 금속막 및 다결정 실리콘층을 선택적으로 제거하여 상기 화소 TFT 영역 및 NMOS 영역에 각각 제 1, 제 2 액티브층(52a,52b)을 형성한다.

이어, 상기 포토레지스트 패턴을 애싱처리하여 상기 포토레지스트 패턴의 폭 과 두께를 줄이고, 상기 애싱 처리된 포토레지스트 패턴을 마스크로 이용하여 상기 잔류하는 금속막을 선택적으로 제거하여 상기 데이터 라인(53) 및 상기 데이터 라인(53)으로부터 돌출되고 상기 제 1, 제 2 액티브층(52a,52b)의 양측단에 소오스 및 드레인 전극(53a,53b)을 형성한다.

따라서 상기 화소 TFT 영역에는 제 1 액티브층(52a)과 상기 제 1 액티브층(52a)의 양측단상에 일정한 간격을 갖고 소오스 및 드레인 전극(53a,53b)이 형성되어 있고, 상기 NMOS 영역에는 제 2 액티브층(52b)과 상기 제 2 액티브층(52b)의 양측단상에 일정한 간격을 갖고 소오스 및 드레인 전극(53a,53b)이 형성되어 있다.

그리고 상기 스토리지 영역에는 다결정 실리콘층(52)이 패터닝되어 있고, 상기 패터닝된 다결정 실리콘(52)층상에는 스토리지 커패시터 제 1 전극(53c)이 형성되어 있고, 상기 NMOS 영역에는 제 2 액티브층(52b)과 소오스 및 드레인 전극(53a,53b)이 형성되어 있다.

또한, 상기 데이터 패드영역에는 패터닝된 다결정 실리콘층(52)을 개재하여 데이터 패드(53d)가 형성되어 있다.

도 5b 및 도 6b에 도시한 바와 같이, 상기 소오스 및 드레인 전극(53a,53b)을 포함한 절연 기판(51)의 전면에 게이트 절연막(54)을 형성하고, 상기 게이트 절연막(54)상에 금속막을 증착한다.

이어, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 상기 소오스 및 드레인 전극(53a,53b) 사이의 게이트 절연막(54)상에 상기 데이터 라인(53)과 교차하는 게이트 라인(55) 및 상기 게이트 라인(55)에서 돌출되는 게이트 전극(55a), 스토리지 커패시터 제 2 전극(55b), 게이트 패드(55c)를 각각 형성한다.

여기서, 상기 금속막은 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo)등의 도전성 금속막을 스퍼터링(sputtering)법으로 증착하여 형성한다.

또한, 상기 스토리지 커패시터 제 2 전극(55b)은 상기 게이트 라인(55)과 동일한 방향을 갖으면서 일정한 간격을 갖고 형성되어 있다.

그리고 상기 게이트 전극(55a)을 마스크로 이용하여 상기 절연 기판(51)의 전면에 저농도 n형 또는 p형 불순물 이온을 선택적으로 주입하여 상기 게이트 전극(55a) 양측의 제 1, 제 2 액티브층(52a,52b)내에 LDD(Lightly Doped Drain) 영역(56)을 형성한다.

도 5c 및 도 6c에 도시한 바와 같이, 상기 게이트 전극(55a)을 포함한 절연 기판(51)의 전면에 절연막(57)을 형성하고, 상기 소오스 및 드레인 전극(53a,53b) 그리고 상기 스토리지 커패시터 제 2 전극(55b) 및 게이트 패드(55c)의 표면이 소정부분 노출되도록 상기 절연막(57) 및 게이트 절연막(54)을 선택적으로 제거하여 콘택홀(58)을 형성한다.

여기서, 상기 절연막(57)은 질화 실리콘 또는 산화 실리콘 등의 무기절연물질 또는 아크릴계의 유기화합물, 테프론, BCB, 사이토프 또는 PFCB 등의 유전상수가 작은 유기절연물로 형성한다.

그리고 상기 절연 기판(51)의 전면에 고농도 n형 또는 p형 불순물 이온을 주입하여 상기 게이트 전극(55a) 양측의 제 1, 제 2 액티브층(52a,52b)에 소오스 영역(59a) 및 드레인 영역(59b)을 형성한다.

도 5d 및 도 6d에 도시한 바와 같이, 상기 콘택홀(58)을 포함한 절연 기판(51)의 전면에 투명한 금속막을 증착하고, 포토 및 식각 공정을 통해 상기 투명한 금속막을 선택적으로 제거하여 상기 소오스 전극(53a) 및 소오스 영역(59a)에 연결되는 도전성 라인(60)과 상기 드레인 영역(59b)과 드레인 전극(53b) 및 스토리지 커패시터 제 2 전극(55b)에 연결되는 화소전극(61)을 형성한다.

여기서, 상기 투명한 금속막은 ITO(Indium - Tin - Oxide), IZO(Indium - Zinc - Oxide) 또는 ITZO(Indium - Tin - Zinc - Oxide) 등을 CVD 방법 또는 스퍼터링 방법으로 증착한다.

한편, 상기 제 2 액티브층(52b)에 형성되는 소오스 및 드레인 전극(53a,53b) 및 게이트 전극(55a) 그리고 데이터 패드(53d) 및 게이트 패드(55c)에도 각 상기 투명한 금속막에 의해 도전성 라인들이 형성되어 있다.

도 7은 본 발명의 제 2 실시예에 의한 액정표시장치를 나타낸 단면도이다.

도 7에 도시한 바와 같이, 절연 기판(71)상에 일정한 간격을 갖고 형성되는 제 1, 제 2, 제 3 액티브층(72a,72b,72c)과, 상기 제 1, 제 2, 제 3 액티브층(72a,72b,72c)의 양측단상에 각각 형성되는 소오스 및 드레인 전극(73a,73b)과, 상기 소오스 및 드레인 전극(73a,73b)을 포함한 절연 기판(71)의 전면에 형성되는 게이트 절연막(74)과, 상기 소오스 및 드레인 전극(73a,73b) 사이의 제 1, 제 2, 제 3 액티브층(72a,72b,72c)상에 형성되는 게이트 전극(75)과, 상기 제 1, 제 2, 제 3 액티브층(72a,72b,72c)과 상기 제 1, 제 2, 제 3 액티브층(72a,72b,72c)의 양측단상에 형성된 소오스 및 드레인 전극(73a,73b)의 표면이 소정부분 노출되도록 제 1, 제 2 콘택홀을 갖고 형성되는 절연막(76)과, 상기 제 1, 제 2 콘택홀을 의해 노출된 제 1, 제 2 액티브층(72a,72b)에 각각 형성되는 제 1 도전형 제 1, 제 2 소오스/드레인 영역(79a,79b,80a,80b) 및 상기 제 3 액티브층(72c)에 형성되는 제 2 도전형 제 3 소오스/드레인 영역(83a,83b)과, 상기 제 1, 제 2, 제 3 액티브층(72a,72b,72c)과 상기 소오스 및 드레인 전극(73a,73b)에 각각 연결되는 도전성 라인(84) 및 화소전극(85)을 포함하여 구성되어 있다.

여기서, 상기 도전성 라인(84)은 상기 제 1 액티브층(72a)에 형성된 제 1 소오스 영역(79a)과 소오스 전극(73a)을 연결하고, 상기 화소전극(85)은 제 1 드레인 영역(79b)과 드레인 전극(73b)을 연결하고 있다.

또한, 상기 제 1, 제 2, 제 3 액티브층(72a,72b,72c)과 절연 기판(71) 사이에는 버퍼층(도시되어 있지 않음)이 형성되어 있다.

여기서, 상기 절연 기판(71)은 일정한 간격을 갖고 화소 TFT 영역, 스토리지 영역, CMOS 영역, 데이터 패드영역, 그리고 데이터 패드영역이 정의되어 있다.

따라서 상기 화소 TFT 영역에는 제 1 액티브층(72a)과 상기 제 1 액티브층(72a)의 양측단상에 일정한 간격을 갖고 소오스 및 드레인 전극(73a,73b)이 형성되어 있고, 상기 CMOS 영역에는 제 2, 제 3 액티브층(72b,72c)과 상기 제 2, 제 3 액티브층(72b,72c)의 양측단상에 일정한 간격을 갖고 소오스 및 드레인 전극(73a,73b)이 형성되어 있다.

그리고 상기 스토리지 영역에는 다결정 실리콘층(72)이 패터닝되어 있고, 상기 패터닝된 다결정 실리콘층(72)상에는 스토리지 커패시터 제 1 전극(73c) 및 게이트 절연막(74)을 개재하여 스토리지 커패시터 제 2 전극(75a)이 형성되어 있고, 상기 데이터 패드 영역에는 다결정 실리콘층(72)을 개재하여 데이터 패드(73d)가 형성되어 있으며, 상기 게이트 패드 영역에는 게이트 절연막(74)을 개재하여 게이트 패드(75b)가 형성되어 있다.

도 8a 내지 도 8e는 본 발명의 제 2 실시예에 의한 액정표시장치의 제조방법을 나타낸 공정단면도이다.

도 8a에 도시한 바와 같이, 절연 기판(박막 어레이 기판)(71)상에 실리콘 산화물을 재료로 하는 버퍼층(도시되지 않음)을 형성하고, 상기 버퍼층상에 비정질 실리콘층을 형성한다.

여기서, 상기 절연 기판(71)에는 화소 TFT 영역, 스토리지 영역, CMOS 영역, 데이터 패드영역, 그리고 데이터 패드 영역이 정의되어 있다.

여기서, 상기 비정질 실리콘층은 상기 버퍼층상에 실란 가스를 사용하는 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure CVD), 스퍼터(sputter) 등의 방법을 이용하여 300 ~ 400°C에서 비정질 실리콘(Amorphous Silicon)을 증착하여 형성한다.

이어, 상기 비정질 실리콘층에 레이저 등의 에너지를 조사하여 다결정화하여 다결정 실리콘층을 형성한다.

여기서, 상기 비정질 실리콘층의 다결정화 공정은 비정질 실리콘층내의 수소를 감소시키기 위하여 질소 분위기에서 약 430°C의 온도로 약 90분간 열처리하여 실시한 후 레이저 등의 에너지를 조사하여 결정화한다.

한편, 상기 비정질 실리콘층의 결정화 방법은 다음과 같은 방법으로 행해진다.

먼저, 엑시머 레이저 어닐(Excimer Laser Annealing : ELA) 방법은 비정질 실리콘층을 증착한 후 전면에서 엑시머 레이저를 가해서 다결정 실리콘을 형성하는 방법이다.

여기서, 상기 엑시머 레이저로 한정하는 것은 아니고 기타 어떠한 레이저를 사용할 수도 있다.

이어, 고상 결정화(solid phase crystallization : 이하 SPC라 칭한다) 방법은 비정질 실리콘층을 증착한 후 고온에서 장시간 열처리하여 다결정 실리콘을 형성하는 방법이다.

그리고 금속유도 결정화(metal induced crystallization : MIC) 방법은 비정질 실리콘층 상에 금속을 선택적으로 증착한 후 열처리하여 다결정 실리콘을 형성하는 방법으로, 대면적의 유리기판을 사용할 수 있다.

또한, 상기 비정질 실리콘층에 니켈 등의 전이금속 입자를 입사시킨 후 자외선(UV)을 조사시키면서 전계를 인가하여 비정질 실리콘층을 다결정 실리콘층으로 결정화하여 박막의 특성을 향상시킬 수도 있다.

즉, 니켈 등의 금속이 포함된 비정질 실리콘층에 자외선 및 전계를 동시에 인가할 경우 상기 금속유도 결정화 방법보다도 결정화 시간 및 결정화 온도를 낮출 수 있다.

한편, 본 발명의 실시예에서는 비정질 실리콘층을 결정화시킨 다결정 실리콘층을 사용하고 있지만, 불순물이 도핑된 다결정 실리콘층을 CVD 또는 스퍼터링 방법으로 증착하여 사용할 수도 있다.

이어, 상기 다결정 실리콘층상에 금속막을 증착하고, 상기 금속막상에 포토레지스트를 도포한 후, 투과영역 및 차단영역 그리고 슬릿영역이 정의된 회절 마스크(도시되지 않음)를 이용하여 노광 공정을 실시하고, 상기 노광된 포토레지스트를 현상하여 포토레지스트 패턴을 형성한다.

여기서, 상기 포토레지스트 패턴은 회절 마스크에 의해 중앙부와 양측면부의 두께가 다르게 되어 있다.

즉, 상기 투과영역과 슬릿영역에 의해 포토레지스트의 노광량이 다르게 되어 상기 노광된 포토레지스트를 현상할 때 중앙부와 양측면의 두께가 다르게 된다.

여기서, 상기 금속막은 알루미늄(Al), 구리(Cu), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti) 또는 탄탈륨(Ta)의 금속이나, MoW, MoTa 또는 MoNb의 몰리브덴 합금(Mo alloy) 등을 CVD 또는 스퍼터링법으로 증착하여 형성한다.

그리고, 상기 포토레지스트 패턴을 마스크로 이용하여 상기 금속막 및 다결정 실리콘층을 선택적으로 제거하여 상기 화소 TFT 영역에 제 1 액티브층(72a)을 형성함과 동시에 CMOS 영역에 제 2, 제 3 액티브층(72b,72c)을 형성한다.

이어, 상기 포토레지스트 패턴을 애싱처리하여 상기 포토레지스트 패턴의 폭 과 두께를 줄이고, 상기 애싱 처리된 포토레지스트 패턴을 마스크로 이용하여 상기 잔류하는 금속막을 선택적으로 제거하여 상기 제 1, 제 2, 제 3 액티브층(72a,72b,72c)의 각 양측단상에 소오스 및 드레인 전극(73a,73b)을 형성한다.

즉, 상기 화소 TFT 영역에는 제 1 액티브층(72a)과 상기 제 1 액티브층(72a)의 양측단상에 일정한 간격을 갖고 소오스 및 드레인 전극(73a,73b)이 형성되어 있고, 상기 제 2, 제 3 액티브층(72b,72c)의 양측단상에 일정한 간격을 갖고 소오스 및 드레인 전극(73a,73b)이 형성되어 있다.

그리고 상기 스토리지 영역에는 다결정 실리콘층(72)이 패터닝되어 있고, 상기 패터닝된 다결정 실리콘층(72)상에는 스토리지 커패시터 제 1 전극(73c)이 형성되어 있다.

또한, 상기 데이터 패드영역에는 다결정 실리콘층(72)을 개재하여 데이터 패드(73d)가 형성되어 있다.

도 8b에 도시한 바와 같이, 상기 각 소오스 및 드레인 전극(73a,73b)을 포함한 절연 기판(71)의 전면에 게이트 절연막(74)을 형성하고, 상기 게이트 절연막(74)상에 금속막을 증착한다.

이어, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 상기 각 소오스 및 드레인 전극(73a,73b) 사이의 제 1, 제 2, 제 3 액티브층(72a,72b,72c)상에 각각 게이트 전극(75)을 형성한다.

여기서, 상기 각 게이트 전극(75)을 형성하기 위한 금속막은 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo)등의 도전성 금속막을 스퍼터링(sputtering)법으로 증착하여 형성한다.

한편, 상기 금속막을 선택적으로 제거하여 게이트 전극(75)을 형성할 때 게이트 패드 영역에는 게이트 패드(75a)가 형성되고, 상기 스토리지 영역에는 스토리지 커패시터 제 2 전극(75b)이 형성된다.

도 8c에 도시한 바와 같이, 상기 게이트 전극(75)을 포함한 절연 기판(71)의 전면에 절연막(76)을 형성하고, 상기 절연막(76)상에 제 1 포토레지스트(77)를 도포한다.

여기서, 상기 절연막(76)은 질화 실리콘 또는 산화 실리콘 등의 무기절연물질 또는 아크릴계의 유기화합물, 테프론, BCB, 사이토프 또는 PFCB 등의 유전상수가 작은 유기절연물로 형성한다.

이어, 노광 및 현상 공정으로 상기 제 1 포토레지스트(77)를 패터닝하고, 상기 패터닝된 제 1 포토레지스트(77)를 마스크로 이용하여 상기 제 1, 제 2 액티브층(72a,72b) 및 소오스 및 드레인 전극(73a,73b)의 표면이 소정부분 노출되도록 상기 절연막(76)을 선택적으로 제거하여 제 1 콘택홀(78)을 형성한다.

이때 상기 제 1 콘택홀(78)을 형성할 때 상기 스토리지 커패시터 제 1 전극(73c) 및 게이트 패드(75b)의 표면도 소정부분 노출된다.

그리고, 상기 패터닝된 제 1 포토레지스트(77)를 마스크로 이용하여 상기 제 1 콘택홀(78)을 통해 노출된 제 1, 제 2 액티브층(72a,72b)에 선택적으로 n형 또는 p형 불순물 이온을 주입하여 제 1 소오스/드레인 영역(79a,79b) 및 제 2 소오스/드레인 영역(80a,80b)을 형성한다.

도 8d에 도시한 바와 같이, 상기 제 1 포토레지스트(77)를 제거하고, 상기 절연 기판(71)의 전면에 제 2 포토레지스트(81)를 도포한 후, 노광 및 현상공정으로 상기 제 2 포토레지스트(81)를 패터닝한다.

이어, 상기 패터닝된 제 2 포토레지스트(81)를 마스크로 이용하여 상기 제 3 액티브층(72c) 및 그 양측단에 형성된 소오스 및 드레인 전극(73a,73b)의 표면이 소정부분 노출되도록 상기 절연막(76)을 선택적으로 제거하여 제 2 콘택홀(82)을 형성한다.

여기서, 상기 제 2 콘택홀(82)을 형성하기 위해 상기 절연막(76)을 선택적으로 제거할 때 상기 데이터 패드(73d)의 표면이 소정부분 노출되도록 한다.

이어, 상기 제 2 포토레지스트(81)를 마스크로 이용하여 상기 제 3 액티브층(72c)에 n형 또는 p형 불순물 이온을 선택적으로 주입하여 상기 제 3 게이트 전극(75c) 양측의 제 3 액티브층(72c)에 제 3 소오스/드레인 영역(83a,83b)을 형성한다.

여기서, 상기 제 3 액티브층(72c)에 형성되는 제 3 소오스/드레인 영역(83a,83b)은 상기 제 1, 제 2 액티브층(72a,72b)에 형성되는 제 1 소오스/드레인 영역(79a,79b) 및 제 2 소오스/드레인 영역(80a,80b)과 다른 도전형을 갖는다. 즉, 상기 제 1 소오스/드레인 영역(79a,79b) 및 제 2 소오스/드레인 영역(80a,80b)에 p형 불순물 이온이 주입되면 상기 제 3 소오스/드레인 영역(83a,83b)에는 n형 불순물 이온이 주입된다.

도 8e에 도시한 바와 같이, 상기 제 1, 제 2 콘택홀(78,82)을 포함한 절연 기판(71)의 전면면에 투명한 금속막을 형성한다.

여기서, 상기 투명한 금속막은 ITO(Indium - Tin - Oxide), IZO(Indium - Zinc - Oxide) 또는 ITZO(Indium - Tin - Zinc - Oxide) 등을 CVD 방법 또는 스퍼터링 방법으로 증착한다.

이어, 포토 및 식각 공정을 통해 상기 제 1, 제 2 콘택홀(78,82)을 통해 상기 제 1, 제 2, 제 3 액티브층(72a,72b,72c)에 형성된 소오스 및 드레인 전극(73a,73b)과 제 1, 제 2, 제 3 소오스/드레인 영역(79a,79b,80a,80b,83a,83b) 그리고 게이트 전극(75)에 각각 연결되는 도전성 라인(84) 및 화소전극(85)을 형성한다.

여기서, 상기 도전성 라인(84)은 상기 제 1 액티브층(72a)에 형성된 제 1 소오스 영역(79a)과 소오스 전극(73a)을 연결하고, 상기 화소전극(85)은 상기 드레인 영역(79b)과 드레인 전극(73b) 및 스토리지 커패시터 제 1 전극(73c)에 각각 연결되어 있다.

또한, 상기 제 2, 제 3 액티브층(72b,73c)에 각각 형성된 제 2 소오스 및 드레인 영역(80a,80b)과 상기 제 3 소오스 및 드레인 영역(83a,83b)에 상기 투명한 금속막에 의해 각각 전극이 형성되어 있다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 액정표시장치 및 그 제조방법은 다음과 같은 효과가 있다.

첫째, 액티브층과 소오스 전극 및 드레인 전극을 하나의 마스크 공정으로 형성함으로써 전체적인 마스크 수를 줄일 수 있기 때문에 비용을 낮출 수 있다.

둘째, 소오스 전극 및 드레인 전극이 평면 구조상 게이트 전극 하부에 위치하므로 층간 절연막에 별도의 콘택홀을 형성하는 공정을 생략할 수 있어 전체적인 비용을 낮출 수 있다.

셋째, 구동영역에 형성되는 박막트랜지스터를 CMOS로 형성할 경우에도 액티브층과 소오스 및 드레인 전극을 하나의 마스크 공정을 형성하고, 소오스/드레인 영역을 형성할 때 절연막을 마스크로 n형 또는 p형 불순물 이온을 주입함으로써 전체적인 마스크 공정을 줄일 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판상에 일정한 간격을 갖고 형성되는 제 1, 제 2 액티브층과,

상기 제 1, 제 2 액티브층의 양측단에 일정한 간격을 갖고 형성되는 소오스 및 드레인 전극과,

상기 소오스 및 드레인 전극을 포함한 절연 기판의 전면면에 형성되는 게이트 절연막과,

상기 소오스 및 드레인 전극 사이의 제 1, 제 2 액티브층상에 각각 형성되는 게이트 전극과,

상기 소오스 및 드레인 전극과 제 1, 제 2 액티브층의 표면이 소정부분 노출되도록 콘택홀을 갖고 절연 기판의 전면에 형성되는 절연막과,

상기 콘택홀 하측의 제 1, 제 2 액티브층에 형성되는 제 1, 제 2 소오스/드레인 영역과,

상기 콘택홀을 통해 상기 소오스 전극과 소오스 불순물 영역에 연결되어 형성되는 도전성 라인과,

상기 콘택홀을 통해 상기 드레인 전극과 드레인 불순물 영역에 연결되어 형성되는 화소전극을 포함하여 이루어짐을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서, 상기 절연 기판과 액티브층 사이에 형성되는 버퍼층을 더 포함하여 이루어짐을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서, 상기 도전성 라인과 화소전극은 동일 물질인 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서, 상기 도전성 라인 및 화소전극은 투명 금속막인 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1 항에 있어서, 상기 절연막은 질화 실리콘 또는 산화 실리콘 등의 무기절연물질 또는 아크릴계의 유기화합물, 테프론, BCB, 사이토프 또는 PFCB 등의 유전상수가 작은 유기절연물질인 것을 특징으로 하는 액정표시장치.

청구항 6.

제 1 항에 있어서, 상기 소오스/드레인 영역은 LDD 구조를 갖는 것을 특징으로 하는 액정표시장치.

청구항 7.

절연 기판상에 일정한 간격을 갖고 형성되는 제 1, 제 2, 제 3 액티브층과,

상기 제 1, 제 2, 제 3 액티브층의 양측단에 각각 일정한 간격을 갖고 형성되는 소오스 및 드레인 전극과,

상기 소오스 및 드레인 전극을 포함한 절연 기판의 전면에 형성되는 게이트 절연막과,

상기 각 소오스 및 드레인 전극 사이의 제 1, 제 2, 제 3 액티브층상에 형성 되는 게이트 전극과,

상기 제 1, 제 2 액티브층과 제 1, 제 2 액티브층상에 형성된 소오스 및 드레인 전극의 표면과 상기 제 3 액티브층과 제 3 액티브층상에 형성된 소오스/드레인 전극의 표면이 소정부분 노출되도록 제 1, 제 2 콘택홀을 갖고 절연 기판의 전면에 형성되는 절연막과,

상기 제 1 콘택홀 하측의 제 1, 제 2 액티브층에 형성되는 제 1 도전형 제 1, 제 2 소오스/드레인 영역과,

상기 제 2 콘택홀 하측의 제 3 액티브층에 형성되는 제 2 도전형 제 3 소오스/드레인 영역과,

상기 제 1, 제 2 콘택홀을 통해 상기 소오스 전극과 제 1, 제 2, 제 3 소오스 영역에 연결되어 형성되는 도전성 라인과,

상기 제 1, 제 2 콘택홀을 통해 상기 드레인 전극과 제 1, 제 2, 제 3 드레인 영역에 연결되어 형성되는 화소전극을 포함하여 이루어짐을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서, 상기 도전성 라인 및 화소전극은 투명 금속막인 것을 특징으로 하는 액정표시장치.

청구항 9.

제 7 항에 있어서, 상기 제 1 도전형은 n형, 제 2 도전형은 p형인 것을 특징으로 하는 액정표시장치.

청구항 10.

절연 기판상에 다결정 실리콘층 및 금속막을 차례로 형성하는 단계;

상기 금속막 및 다결정 실리콘층을 선택적으로 제거하여 제 1, 제 2 액티브층을 형성하고 상기 제 1, 제 2 액티브층의 양측단상에 소오스 및 드레인 전극을 형성하는 단계;

상기 소오스 및 드레인 전극을 포함한 절연 기판의 전면에 게이트 절연막을 형성하는 단계;

상기 소오스 전극 및 드레인 전극 사이의 제 1, 제 2 액티브층상에 게이트 전극을 형성하는 단계;

상기 제 1, 제 2 액티브층과 소오스 및 드레인 전극의 표면이 소정부분 노출되도록 콘택홀을 갖는 절연막을 절연 기판의 전면에 형성하는 단계;

상기 콘택홀을 통해 상기 제 1, 제 2 액티브층에 소오스/드레인 영역을 형성하는 단계;

상기 콘택홀을 통해 상기 소오스 및 드레인 전극과 소오스/드레인 불순물 영역을 전기적으로 연결하는 도전성 라인 및 화소전극을 형성하는 단계를 포함하여 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 11.

제 10 항에 있어서, 상기 제 1, 제 2 액티브층과 소오스 전극 및 드레인 전극을 형성하는 단계는

상기 금속막상에 포토레지스트를 도포하고, 회절 마스크를 이용하여 노광한 후 현상하여 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 이용하여 상기 금속막 및 다결정 실리콘층을 선택적으로 제거하여 액티브층을 형성하는 단계;

상기 포토레지스트 패턴을 애싱처리하여 폭과 두께를 줄이는 단계;

상기 애싱처리된 포토레지스트 패턴을 마스크로 이용하여 상기 금속막을 선택적으로 제거하여 소오스 및 드레인 전극을 형성하는 단계로 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

청구항 12.

제 10 항에 있어서, 상기 다결정 실리콘층을 형성하기 전에 절연 기판의 전면에 버퍼층을 형성하는 단계를 더 포함하여 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 13.

제 10 항에 있어서, 상기 다결정 실리콘층은 절연 기판상에 비정질 실리콘층을 증착한 후 레이저를 가해서 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14.

제 10 항에 있어서, 상기 다결정 실리콘층은 절연 기판상에 비정질 실리콘층을 증착한 후 고온에서 장시간 열처리하는 고상 결정화로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15.

제 10 항에 있어서, 상기 다결정 실리콘층은 절연 기판상에 비정질 실리콘층을 증착한 후 비정질 실리콘층상에 금속을 증착하고 열처리하여 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16.

제 10 항에 있어서, 상기 다결정 실리콘층은 절연 기판상에 비정질 실리콘층을 형성한 후 전면에 자외선 및 전계를 인가하여 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17.

제 10 항에 있어서, 상기 절연막은 질화 실리콘 또는 산화 실리콘 등의 무기절연물질 또는 아크릴계의 유기화합물, 테프론, BCB, 사이토프 또는 PFCB 등의 유전상수가 작은 유기절연물로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18.

제 10 항에 있어서, 상기 도전성 라인은 투명 금속막으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 19.

제 10 항에 있어서, 상기 각 게이트 전극을 마스크로 이용하여 상기 게이트 전극 양측의 제 1, 제 2 액티브층에 LDD 영역을 형성하는 단계를 더 포함하여 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 20.

절연 기판상에 다결정 실리콘층 및 금속막을 차례로 형성하는 단계;

상기 금속막 및 다결정 실리콘층을 선택적으로 제거하여 일정한 간격을 갖는 제 1, 제 2, 제 3 액티브층을 형성하고 상기 제 1, 제 2, 제 3 액티브층의 양측단상에 소오스 및 드레인 전극을 형성하는 단계;

상기 소오스 및 드레인 전극을 포함한 절연 기판의 전면에 게이트 절연막을 형성하는 단계;

상기 소오스 전극 및 드레인 전극 사이의 제 1, 제 2, 제 3 액티브층상에 각각 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함한 절연 기판의 전면에 절연막을 형성하는 단계;

상기 제 1, 제 2 액티브층 및 상기 제 1, 제 2 액티브층상에 형성된 소오스 및 드레인 전극의 표면이 소정부분 노출되도록 상기 절연막을 선택적으로 제거하여 제 1 콘택홀을 형성하는 단계;

상기 제 1 콘택홀을 통해 노출된 제 1, 제 2 액티브층에 제 1 도전형 제 1, 제 2 소오스/드레인 영역을 형성하는 단계;

상기 제 3 액티브층 및 상기 제 3 액티브층상에 형성된 소오스 및 드레인 전극의 표면이 소정부분 노출되도록 상기 절연막을 선택적으로 제거하여 제 2 콘택홀을 형성하는 단계;

상기 제 2 콘택홀을 통해 노출된 제 3 액티브층에 제 2 도전형 제 3 소오스/드레인 영역을 형성하는 단계;

상기 제 1, 제 2 콘택홀을 통해 상기 소오스 및 드레인 전극과 제 1, 제 2, 제 3 소오스/드레인 영역을 연결하는 도전성 라인 및 화소전극을 형성하는 단계를 포함하여 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 21.

제 20 항에 있어서, 상기 제 1, 제 2, 제 3 액티브층과 소오스 전극 및 드레인 전극을 형성하는 단계는

상기 금속막상에 포토레지스트를 도포하고, 회절 마스크를 이용하여 노광한 후 현상하여 포토레지스트 패턴을 형성하는 단계;

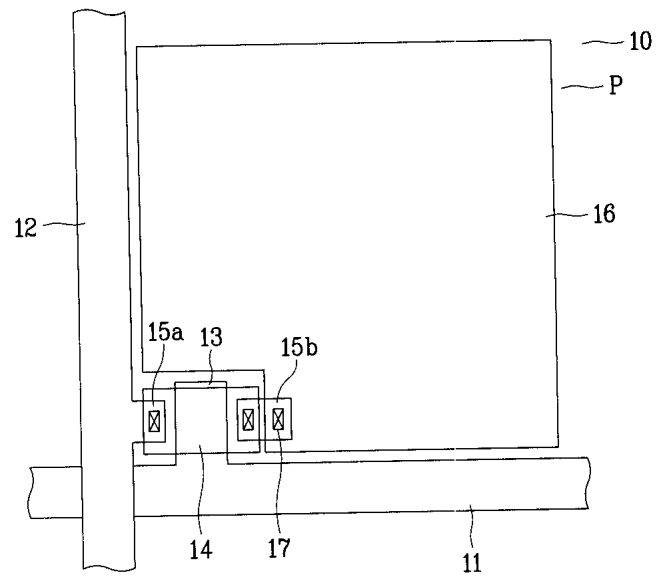
상기 포토레지스트 패턴을 마스크로 이용하여 상기 금속막 및 다결정 실리콘층을 선택적으로 제거하여 일정한 간격을 갖는 제 1, 제 2, 제 3 액티브층을 형성하는 단계;

상기 포토레지스트 패턴을 애싱 처리하여 폭과 두께를 줄이는 단계;

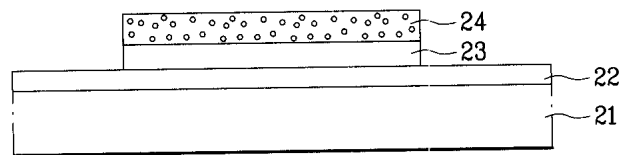
상기 애싱 처리된 포토레지스트 패턴을 마스크로 이용하여 상기 금속막을 선택적으로 제거하여 상기 제 1, 제 2, 제 3 액티브층의 양측단에 각각 소오스 및 드레인 전극을 형성하는 단계로 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

도면

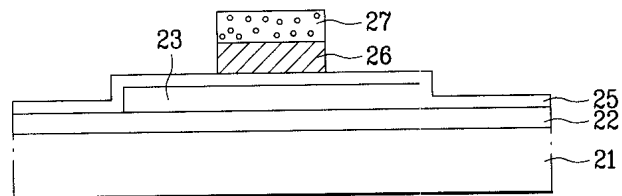
도면1



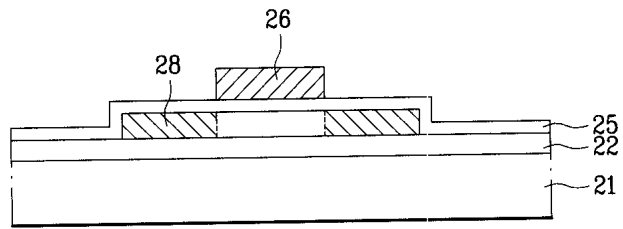
도면2a



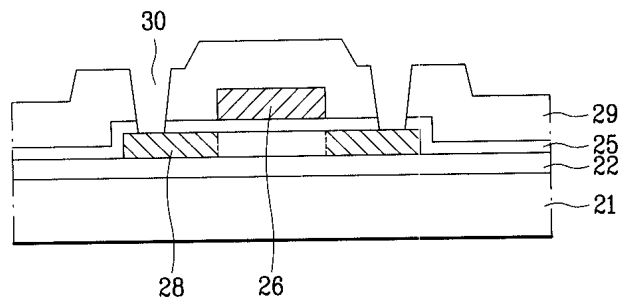
도면2b



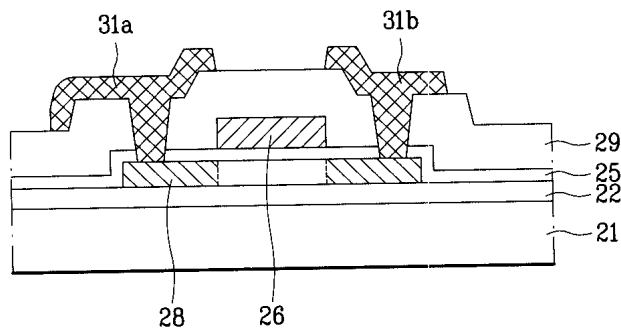
도면2c



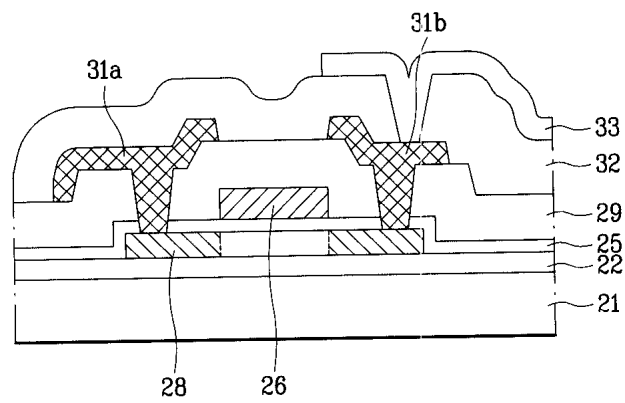
도면2d



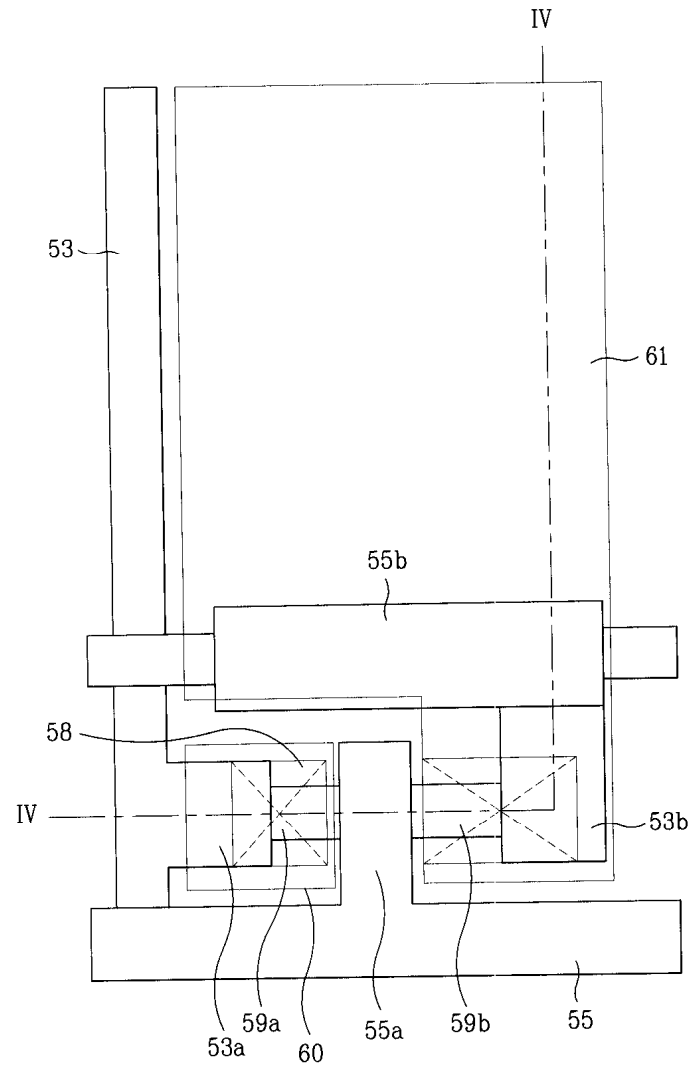
도면2e



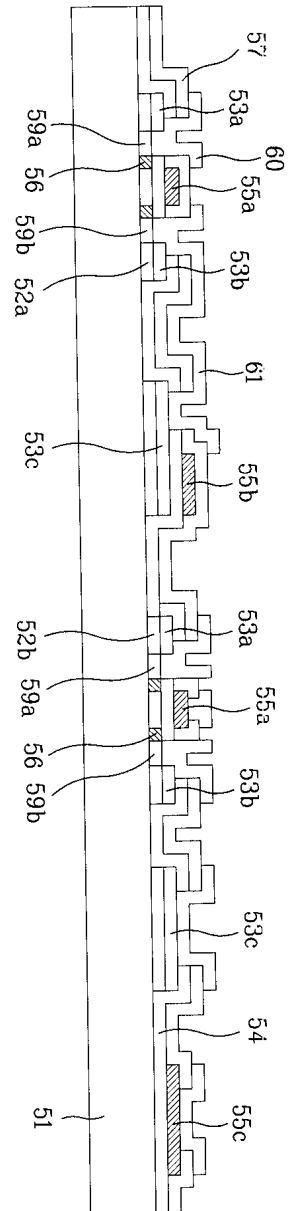
도면2f



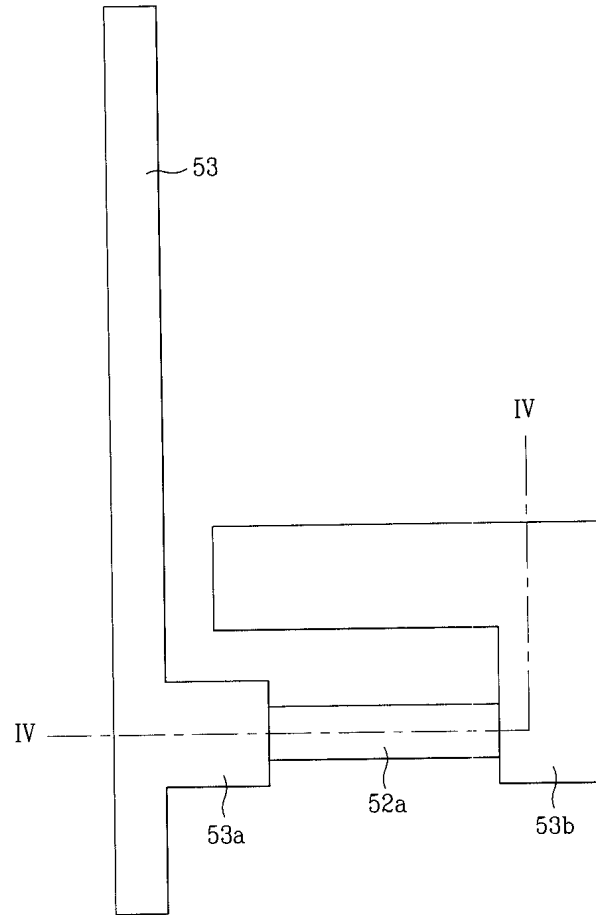
도면3



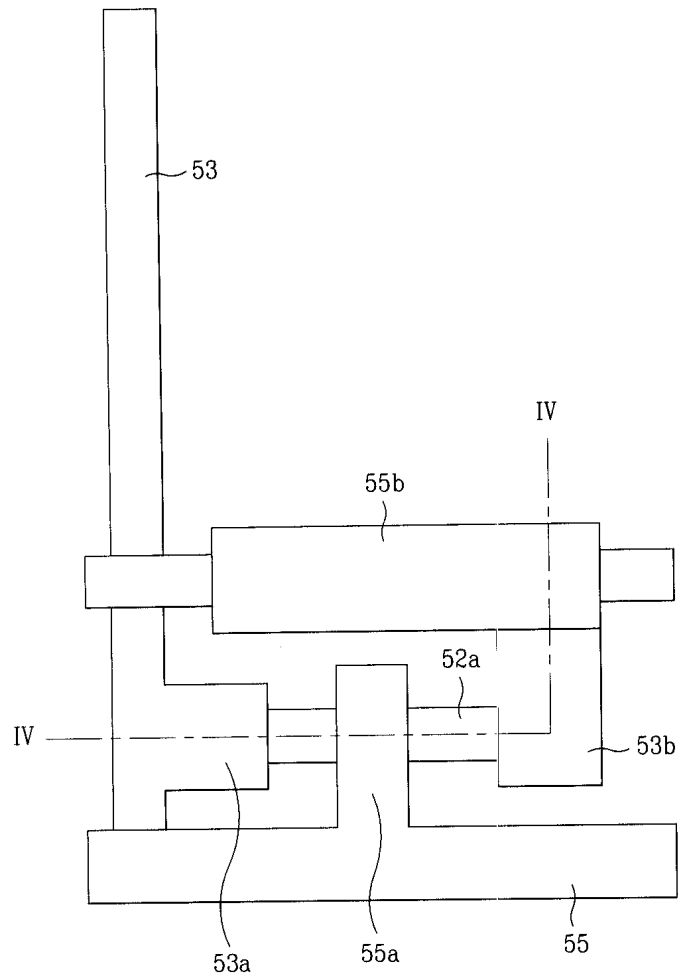
도면4



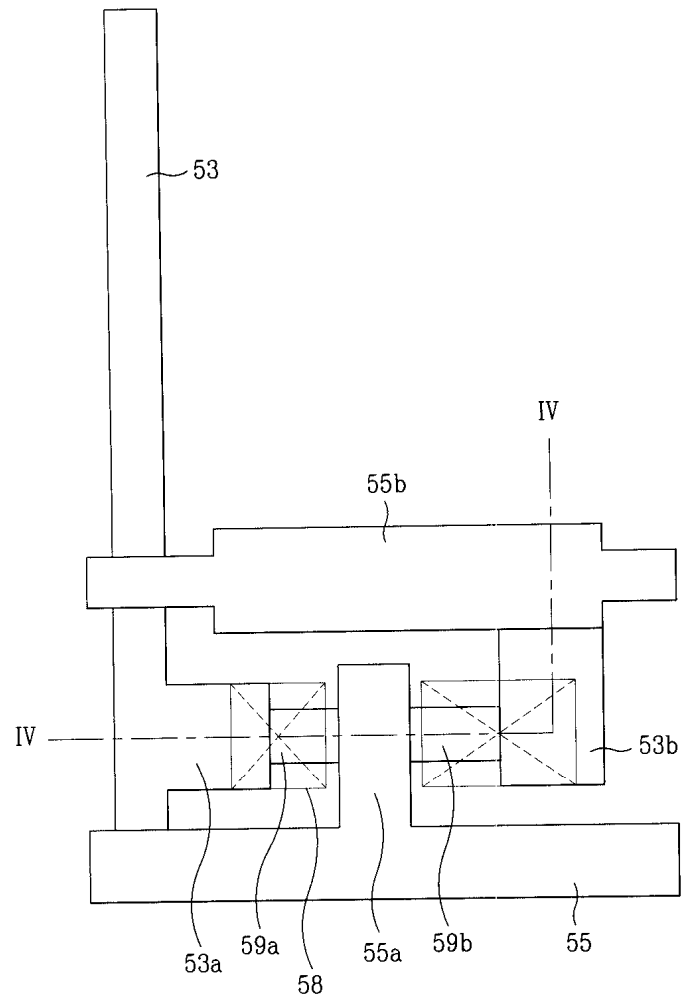
도면5a



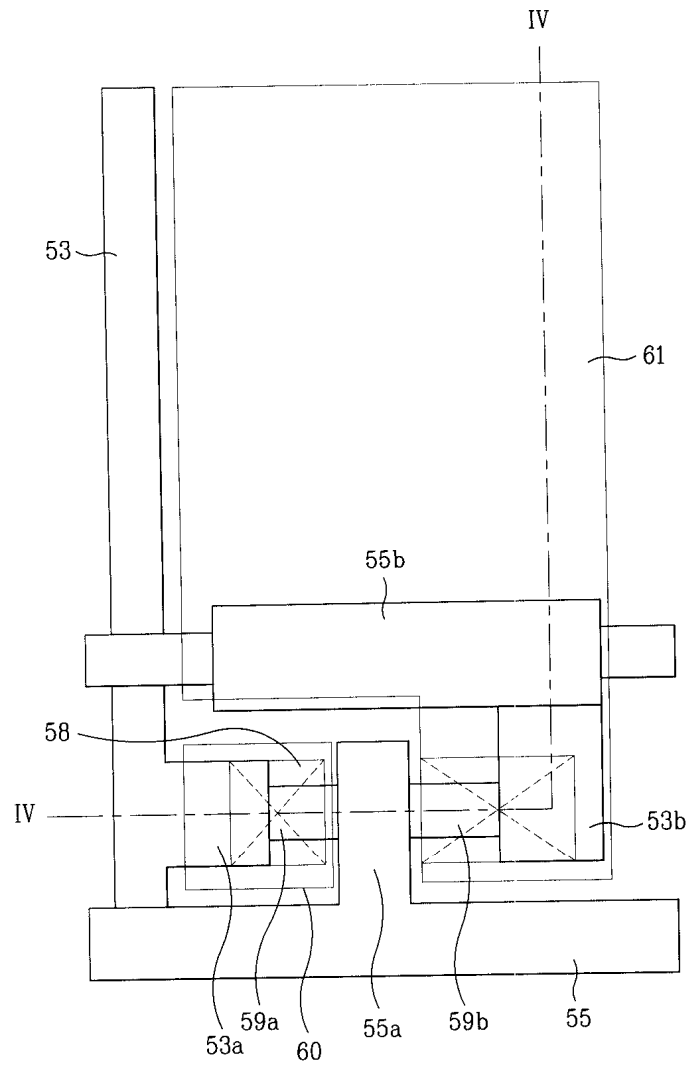
도면5b



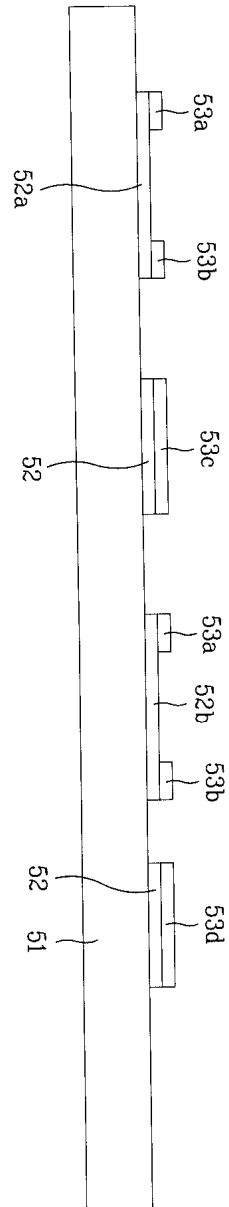
도면5c



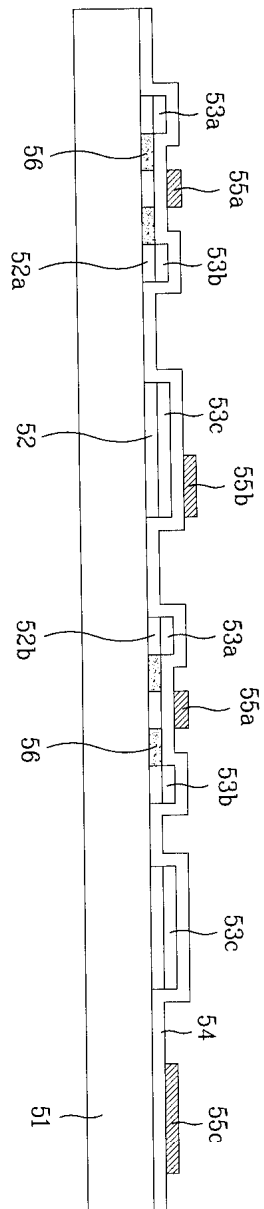
도면5d



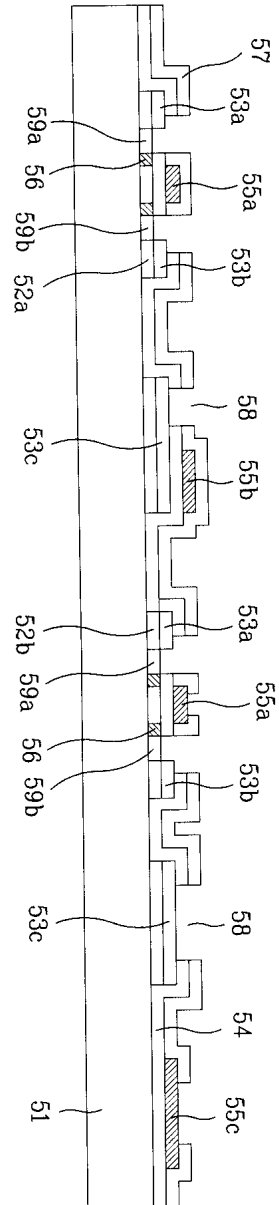
도면6a



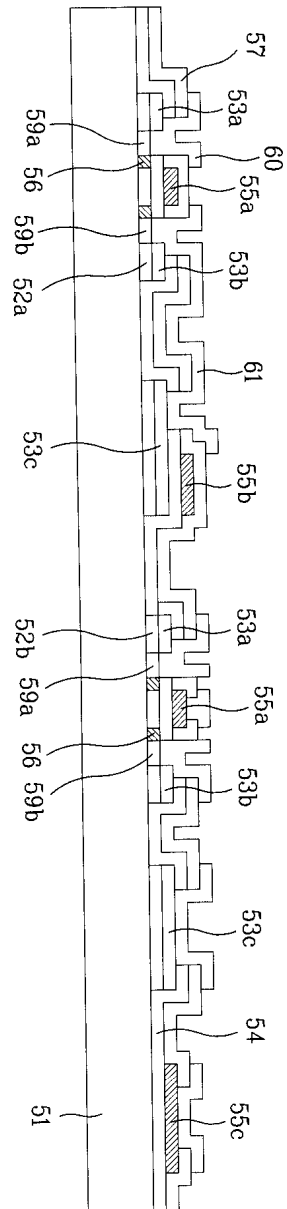
도면6b



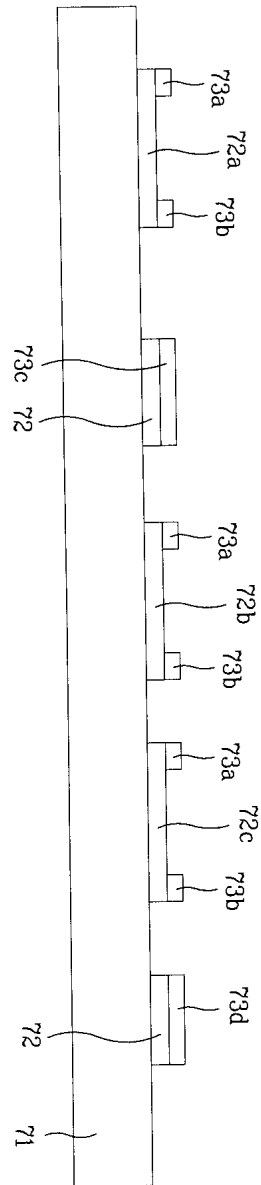
도면6c



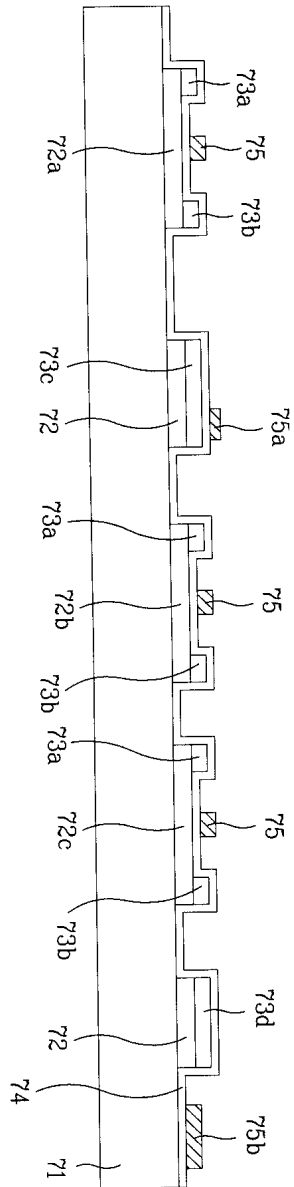
도면6d



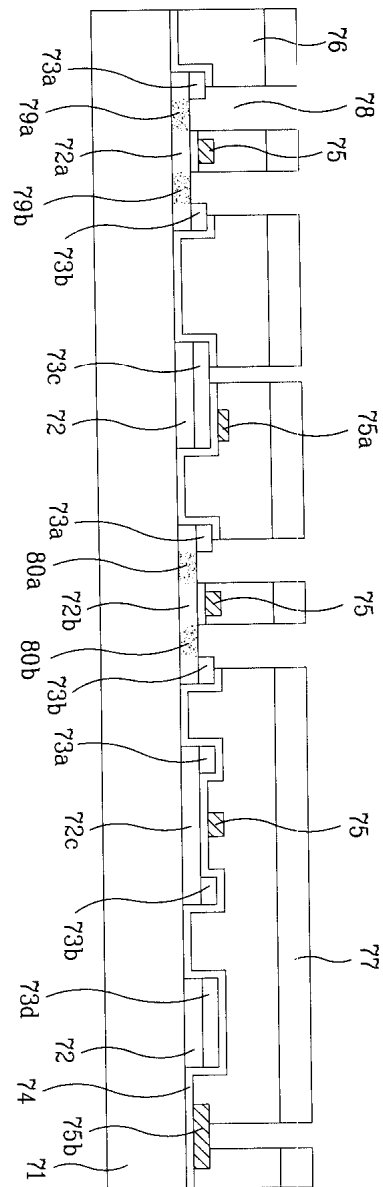
도면7a



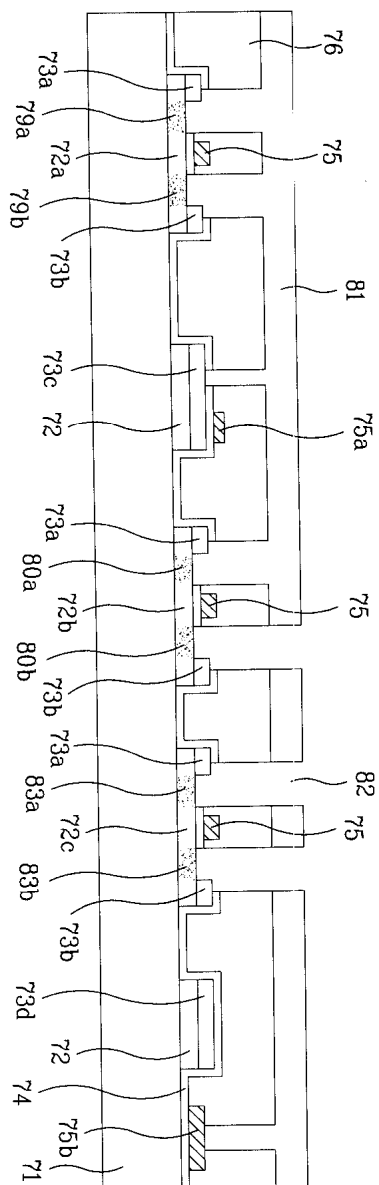
도면7b



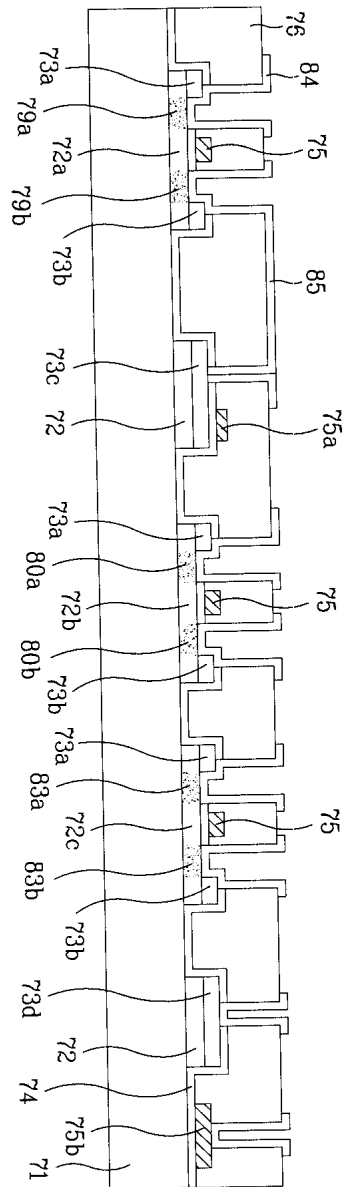
도면7c



도면7d



도면7e



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020050014209A	公开(公告)日	2005-02-07
申请号	KR1020030052723	申请日	2003-07-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO JONGJIN 조용진 LEE JUNGIL 이정일 JEONG SEEHWA 정시화		
发明人	조용진 이정일 정시화		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136227 G02F2001/136231 G02F2001/13625 H01L27/124 H01L27/1288		
代理人(译)	金勇 新昌		
其他公开文献	KR100556348B1		
外部链接	Espacenet		

摘要(译)

另外，本发明的批处理蚀刻作为掩膜，有源层和源/漏电极，以及源极/液晶通过消除漏接触孔形成用于连接所述电极和所述源极杂质区域，以降低整体掩膜显示器和数量步骤第一有源层以规则间隔形成在绝缘基板上；源电极和漏电极以规则间隔形成在第一有源层和第二有源层的两侧；形成在绝缘基板的整个表面上，包括源极和漏极电极和分别形成在所述有源层和所述源极和漏极电极之间的源极和漏极电极和第一和第二对第一和第二栅电极上的栅极绝缘膜绝缘膜形成在绝缘基板的前表面上并具有接触孔，使得有源层的表面在预定部分处暴露；第一导电层，形成在第一有源层上，并通过接触孔连接到源电极和源极杂质区；并且像素电极连接到漏极杂质区。4 指数方面 薄膜晶体管，衍射曝光，掩模，液晶显示器

