(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 10-2005-0004431
(43) 공개일자 2005년01월12일

(21) 출원번호 10-2003-0044605
(22) 출원일자 2003년07월02일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김기종
서울특별시강남구수서동746,까치마을아파트1007-311

(74) 대리인 김용인
심창섭

심사청구 : 있음

(54) 액정표시장치의 아날로그 버퍼회로

요약

본 발명은 데이터 드라이버의 안정적인 구동과 함께 소비전력을 줄이도록 한 액정표시장치의 아날로그 버퍼회로에 관한 것으로서, 입력단과 출력단 사이에 직렬로 연결되는 제 1 캐패시터 및 인버터와, 상기 입력단과 제 1 캐패시터 사이에 연결되어 상기 제 1 캐패시터를 리세트시키는 제 1 리세트 스위치와, 상기 제 1 캐패시터와 제 1 리세트 스위치 사이의 제 1 노드에 연결되는 제 1 피드백 스위치와, 상기 제 1 캐패시터와 인버터 사이의 제 2 노드와 상기 인버터와 출력단 사이의 제 3 노드 사이에 직렬로 연결되는 제 2 캐패시터 및 제 2 피드백 스위치와, 상기 제 2 노드와 제 3 노드 사이에 연결되어 상기 인버터를 리세트시키는 제 2 리세트 스위치와, 상기 제 2 캐패시터와 제 2 피드백 스위치 사이의 제 4 노드에 연결되어 상기 제 2 캐패시터를 리세트시키는 제 3 리세트 스위치를 포함하여 구성됨을 특징으로 한다.

대표도

도 7

색인어

인버터, 캐패시터, 피드백 스위치, 리세트 스위치

명세서

도면의 간단한 설명

도 1a는 일반적인 비정질 실리콘 박막트랜지스터 액정표시장치를 나타낸 개략도

도 1b는 일반적인 다결정 실리콘 박막트랜지스터 액정표시장치를 나타낸 개략도

도 2는 일반적인 액정표시장치의 구동회로 블록 구성도

도 3은 도 2의 데이터 드라이버를 나타낸 개략적인 구성 블록도

도 4는 도 2의 게이트 드라이버를 나타낸 개략적인 구성도

도 5는 종래의 액정표시장치의 아날로그 버퍼회로를 나타낸 개략적인 회로도

도 6은 종래의 액정표시장치의 아날로그 버퍼회로의 문제점을 설명하기 위한 도면

도 7은 본 발명의 제 1 실시예에 의한 액정표시장치의 아날로그 버퍼회로를 나타낸 개략적인 회로도

도 8은 본 발명의 제 2 실시예에 의한 액정표시장치의 아날로그 버퍼회로를 나타낸 개략적인 회로도

도 9는 본 발명의 제 2 실시예에 의한 액정표시장치의 아날로그 버퍼회로 동 작을 설명하기 위한 시뮬레이션

도면의 주요 부분에 대한 부호의 설명

51 : 제 1 캐패시터 52 : 인버터

53 : 제 1 리세트 스위치 54 : 제 1 피드백 스위치

55 : 제 2 캐패시터 56 : 제 2 피드백 스위치

57 : 제 2 리세트 스위치 58 : 제 3 리세트 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동회로에 관한 것으로, 특히 소비전력을 줄이는데 적당한 액정표시장치의 아날로그 버퍼회로에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)을 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이 하는 텔레비전, 및 컴퓨터의 모니터 등 으로 다양하게 개발되고 있다.

이와 같은 액정표시장치는 크게 영상신호를 표시하는 액정표시패널과 외부에서 상기 액정표시패널에 구동신호를 인가하는 구동회로로 구분할 수 있다.

상기 액정표시 패널은, 도면에는 도시되지 않았지만, 일정한 공간을 갖고 합착된 두 개의 투명 기판(유리 기판) 사이에 액정이 주입된 표시장치로서, 상기 두개의 투명 기판 중 하나에는 일정 간격으로 배열된 복수개의 게이트 라인과, 상기 게이트 라인에 수직한 방향으로 일정한 간격을 갖고 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 매트릭스 형태의 각 화소 영역에 형성된 복수개의 화소전극과, 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 화소전극에 인가하는 복수개의 박막트랜지스터가 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된다. 그리고 나머지 기판에는 칼라필터층, 공통전극 및 블랙 매트릭스층이 형성된다.

따라서, 게이트 라인에 순차적으로 턴 온 신호를 인가하면 그 때마다 해당 라인의 화소 전극에 데이터 신호가 인가되므로 영상이 표시된다.

또한, 이와 같이 합착된 두 기판의 배면에 균일한 광원을 제공하는 백 라이트가 형성된다. 상기 백 라이트의 광원으로 사용되고 있는 CCFL(Cold Cathode Fluorescent Lamp)는 그 특성면에서 휘도와 수명이 반비례 관계에 있다. 즉, 휘도를 높이기 위해 고전류로 구동하는 경우 수명이 줄어드는 반면, 수명을 늘리기 위해서는 저전류로 구동해야하므로 높은 휘도를 달성하기 어렵다는 문제점이 있다.

그러나 실제로 제품 적용 측면에서는 대부분의 경우 고휘도와 장수명이 동시 에 요구되어 진다.

이러한 요구에 대응하고자 일반적인 액정표시장치의 화면 상태에서 어느 정도의 휘도로 구동을 하다가 특별히 고휘도가 요구되어지는 화면을 구동할 때 일시적으로 백 라이트의 램프에 고전류를 인가하여 실제 디스플레이 소자의 휘도에 대한 능동 영역을 넓혀주는 기술을 적용하고 있다.

또한, 액정표시장치의 경우 화면에 디스플레이되는 화상에 따라서 사용되는 전류의 양이 달라진다. 예를 들면, 전압의 인가와 함께 액정 분자가 전계의 방향으로 재배열되어 입사한 빛을 차단하는 노멀 화이트(Normally white) 모드의 경우 일반적으로 화면에 밝은 픽셀의 수가 많아질수록 패널이 소모하는 전력이 작아지는 반면, 어두운 픽셀 수가 많아질수록 패널이 소모하는 전력이 커지는 경향이 있다. 이러한 경향을 이용하여 패널이 소모하는 전력에 따라 이와 연동하는 램프의 전류값을 제어해주는 방법을 주로 사용하고 있다.

이러한 기술을 적용하는 경우 패널이 소비하는 전류를 검출하고, 이를 백 라이트를 구동하는 인버터의 휘도 제어신호의 가변 범위에 맞도록 변형해야하는 등의 추가적인 회로를 구현해야만 한다.

도 1a는 일반적인 비정질 실리콘 박막트랜지스터 액정표시장치를 나타낸 개략도이고, 도 1b는 일반적인 다결정 실리콘 박막트랜지스터 액정표시장치를 나타낸 개략도이다.

도 1a에 도시한 바와 같이, 비정질 실리콘 박막트랜지스터 액정표시장치(이하, a-Si TFT-LCD라고 한다)는 기판(1) 상에 구성된 박막트랜지스터 어레이(3)와, 상기 박막트랜지스터 어레이(3)를 구동하기 위한 데이터 드라이버(6) 및 게이트 드라이버(8)와, 상기 박막트랜지스터 어레이(3)와 데이터 드라이버(6) 및 게이트 드라이버(8)를 접속하기 위한 PCB 기판(4)을 구비하고 있다.

상기와 같이 구성된 a-Si TFT-LCD는 낮은 전계 이동도에 의해 기판(1)의 외부에 데이터 드라이버(6) 및 게이트 드라이버(8)를 구성함으로써 외부와 연결하기 위한 신호선의 수가 증가한다.

이에 반하여 다결정 실리콘 박막트랜지스터 액정표시장치(Poly-Si TFT-LCD)는 도 1b에 도시한 바와 같이, 기판(2) 상에 구성되는 TFT 어레이(5)와, 상기 TFT 어레이(5)를 구동하기 위한 데이터 드라이버(7) 및 게이트 드라이버(9)를 구비하고 있다.

이와 같이 Poly-Si TFT-LCD는 데이터 드라이버(7) 및 게이트 드라이버(9)와 같은 구동회로를 기판(2)내에 내장함으로써 외부와 연결해 주는 신호선의 수를 대폭으로 줄여 제품의 신뢰성을 향상시키어 생산성을 향상시킬 수 있다.

또한, 높은 전계 이동도로 인해 a-Si TFT보다 더 작은 크기의 Poly-Si TFT를 픽셀 스위치로 사용함으로써 고개구율화가 용이하다라는 장점이 있다. 이런 이유로 현재 Poly-Si TFT-LCD에 대한 연구가 활발히 연구되고 있다.

도 2는 일반적인 액정표시장치의 구동회로 블록 구성도이다.

도 2에 도시한 바와 같이, 복수개의 게이트 라인(G)과 데이터 라인(D)이 서로 수직한 방향으로 배열되어 매트릭스 형태의 화소영역을 갖는 액정표시패널(21)과, 상기 액정표시패널(21)에 구동 신호와 데이터 신호를 공급하는 구동회로부(22) 와, 상기 액정표시패널(21)에 일정한 광원을 제공하는 백 라이트(28)로 구분된다.

여기서, 상기 구동회로부(22)는, 상기 액정표시패널(21)의 각 데이터 라인에 데이터 신호를 입력하는 데이터 드라이버(21b)와 상기 액정표시패널(21)의 각 게이트 라인(G)에 게이트 구동 펄스를 인가하는 게이트 드라이버(21a)와, 액정표시패널의 구동 시스템(27)으로부터 입력되는 디스플레이 데이터(R, G, B)와 수직 및 수평동기신호(Vsync, Hsync) 그리고 클럭신호(DCLK) 등 제어신호를 입력받아 상기 액정표시패널(21)의 각 데이터 드라이버(21b)와 게이트 드라이버(21a)가 화면을 재생하기에 적합한 타이밍으로 각 디스플레이 데이터와 클럭 및 제어신호를 포맷하여 출력하는 타이밍 콘트롤러(23)와, 상기 액정표시패널(21) 및 각부에 필요한 전압을 공급하는 전원 공급부(24)와, 상기 전원 공급부(24)로부터 전원을 인가 받아 상기 데이터 드라이버(21b)에서 입력되는 디지털 데이터를 아날로그 데이터로 변환할 때 필요한 기준전압을 공급하는 감마 기준전압부(25)와, 상기 전원 공급부(24)로부터 출력된 전압을 이용하여 액정표시패널(21)에 사용되는 정전압(V_{DD}), 게이트 고전압(V_{GH}), 게이트 저전압(V_{GL}), 기준전압(V_{ref}) 및 공통전압(Vcom) 등을 출력하는 DC/DC 변환부(26)와, 상기 백 라이트(28)를 구동하는 인버터(29)를 구비하여 구성된다.

이와 같이 구성된 일반적인 액정표시장치의 구동회로의 동작은 다음과 같다.

즉, 타이밍 콘트롤러(23)가 액정표시패널의 구동 시스템(27)으로부터 입력되는 디스플레이 데이터(R, G, B)와 수직 및 수평동기신호(Vsync, Hsync) 그리고 클 럭신호(DCLK) 등 제어신호를 입력받아 상기 액정표시패널(21)의 각 데이터 드라이버(21b)와 게이트 드라이버(21a)가 화면을 재생하기에 적합한 타이밍으로 각 디스플레이 데이터와 클럭 및 제어신호를 제공하므로, 상기 게이트 드라이버(21a)가 상기 액정표시패널(21)의 각 게이트 라인(G)에 게이트 구동 펄스를 인가하고 이에 동기되어 상기 데이터 드라이버(21b)가 상기 액정표시패널(21)의 각 데이터 라인(D)에 데이터 신호를 입력하여 입력된 영상신호를 디스플레이 한다.

이 때, 백 라이트(28)는 입력되는 영상신호의 휘도에 관계없이 일정한 밝기의 백 라이트를 제공한다.

도 3은 도 2의 데이터 드라이버를 나타낸 개략적인 구성 블록도이다.

도 3에 도시한 바와 같이, 쉬프트 레지스터부(31)와, 샘플링 래치부(32)와, 홀딩 래치부(33)와, D/A(Digital/Analog) 컨버터부(34)와, 그리고 출력 버퍼부(35)로 구성된다.

먼저, 상기 쉬프트 레지스터부(31)는 수평동기신호 펄스(HSYNC)를 소오스 펄스 클럭(HCLK)에 의해 쉬프트시켜 래치 인에이블(enable) 클럭을 샘플링 래치부(32)로 출력한다.

이어, 상기 샘플링 래치부(32)는 쉬프트 레지스터부(31)에서 출력되는 래치 인에이블 클럭에 따라 디지털 R, G, B 데이터를 칼럼(column) 라인별로 샘플링하여 래치시킨다.

이어, 상기 홀딩 래치부(33)는 상기 샘플링 래치부(32)에서 래치된 R, G, B 데이터를 로드 신호(LD)에 의해 동시에 전달받아 래치시킨다.

이어, 상기 D/A 컨버터부(34)는 홀딩 래치부(33)에 저장된 디지털 R, G, B 데이터를 아날로그 R, G, B 데이터로 변환한다.

그리고 상기 출력 버퍼부(35)는 아날로그 신호로 변환된 R, G, B 데이터에 해당되는 신호의 전류를 증폭하여 액정표시패널의 데이터 라인으로 출력한다.

상기와 같이 구성된 데이터 드라이버 회로는 1수평 주기동안에 디지털 R, G, B 데이터를 샘플 앤 홀딩(sample amp; holding)후에 아날로그 R, G, B 데이터로 변환하고 이를 전류 증폭하여 출력하게 되는데, 상기 홀딩 래치부(33)가 n번째 칼럼 라인에 해당하는 R, G, B 데이터를 홀딩하고 있다면, 상기 샘플링 래치부(32)는 n+1번째 칼럼 라인에 해당하는 R, G, B 데이터를 샘플링하게 된다.

도 4는 도 2의 게이트 드라이버를 나타낸 개략적인 구성도이다.

도 4에 도시한 바와 같이, 쉬프트 레지스터부(41)와, 레벨 쉬프터부(42), 그리고 출력 버퍼부(43)로 구성된다.

먼저, 상기 쉬프트 레지스터부(41)는 수직동기신호 펄스(Vsync)를 게이트 펄스 클럭(VCLK)에 의해 쉬프트시켜 주사라인을 순차적으로 인에이블시킨다.

이어, 상기 레벨 쉬프터부(42)는 주사라인에 인가되는 신호를 순차적으로 레벨 쉬프트시켜 출력 버퍼부(43)로 출력한다.

따라서 상기 출력 버퍼부(43)와 연결된 복수개의 주사라인들은 순차적으로 인에이블된다.

이하, 첨부된 도면을 참고하여 종래의 액정표시장치의 아날로그 버퍼회로를 설명하면 다음과 같다.

도 5는 종래의 액정표시장치의 아날로그 버퍼회로를 나타낸 개략적인 회로도이다.

도 5에 도시한 바와 같이, 입력단(input)과 출력단(output)을 구비한 회로에서 상기 입력단(input)과 출력단(output) 사이에 직렬로 연결되는 캐패시터(44) 및 인버터(45)와, 상기 입력단(input)과 캐패시터(44) 사이의 제 1 노드(P1)에 연결되어 상기 캐패시터(44)를 리세트시키는 제 1 리세트 스위치(reset switch)(46)와, 상기 캐패시터(44)와 인버터(45) 사이의 제 2 노드(P2)와 상기 인버터(45)와 출력단(output) 사이의 제 3 노드(P3)에 연결되어 상기 인버터(45)를 리세트시키는 제 2 리세트 스위치(47)와, 상기 제 2 노드(P2)와 제 3 노드(P3) 사이에 연결되는 피드백 스위치(48)를 포함하여 구성되어 있다.

상기와 같이 구성된 종래의 액정표시장치의 아날로그 버퍼회로의 동작을 설명하면 다음과 같다.

먼저, 상기 인버터(45)의 출력단에 초기화를 위해 제 1, 제 2 리세트 스위치(46,47)를 구성한 후, 상기 제 1, 제 2 리세트 스위치(46,47)를 닫아 상기 인버터(45)의 입출력을 전원 전압의 중간 전위로 초기화한다.

이어, 외부의 DAC(도시되지 않음)로부터 영상신호인 아날로그 데이터 전압을 입력단(input)에 입력한다. 이때 입력 전압과 인버터가 초기화된 중간 전압의 차이 분에 상당하는 전압이 상기 캐패시터(44)에 저장된다.

그리고 상기 피드백 스위치(48)를 닫음으로써 입력단(input)에 입력된 아날로그 데이터 전압이 상기 인버터(45)를 거쳐 출력단(output)을 통해 모니터링 된 다.

따라서 종래의 액정표시장치의 아날로그 버퍼회로는 단순히 인버터(45)만을 사용함으로써 OP 앰프를 사용하는 일반적인 회로보다 소비전력을 줄일 수 있다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래의 액정표시장치의 아날로그 버퍼회로는 다음과 같은 문제점이 있었다.

첫째, 도 5에 도시된 아날로그 버퍼에서의 인버터는 입력 전압이 출력 라인에 충전된 이후에도 중간 전압 유지하여야 하므로 스탠바이 전류가 항상 존재하게 되어 전력 소모가 발생하게 된다.

둘째, 증폭기를 이용한 아날로그 버퍼 기능은 가능하기 때문에 D/A 컨버터 및 아날로그 버퍼를 각각 별도로 구성해야만 한다.

셋째, 도 6과 같이 출력단을 통해 출력된 데이터가 오실레이션(oscillation)에 의한 동작이 불안하다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 데이터 드라이버의 안정적인 구동과 함께 소비전력을 줄이도록 한 액정표시장치의 아날로그 버퍼회로를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 액정표시장치의 아날로그 버퍼회로는 입력단과 출력단 사이에 직렬로 연결되는 제 1 캐패시터 및 인버터와, 상기 입력단과 제 1 캐패시터 사이에 연결되어 상기 제 1 캐패시터를 리세트시키는 제 1 리세트 스위치와, 상기 제 1 캐패시터와 제 1 리세트 스위치 사이의 제 1 노드에 연결되는 제 1 피드백 스위치와, 상기 제 1 캐패시터와 인버터 사이의 제 2 노드와 상기 인버터와 출력단 사이의 제 3 노드 사이에 직렬로 연결되는 제 2 캐패시터 및 제 2 피드백 스위치와, 상기 제 2 노드와 제 3 노드 사이에 연결되어 상기 인버터를 리세트시키는 제 2 리세트 스위치와, 상기 제 2 캐패시터와 제 2 피드백 스위치 사이의 제 4 노드에 연결되어 상기 제 2 캐패시터를 리세트시키는 제 3 리세트 스위치를 포함하여 구성됨을 특징으로 한다.

여기서, 상기 제 1 피드백 스위치와 제 3 리세트 스위치는 외부의 기준전압과 연결되어 있다.

또한, 상기 입력단 및 피드백 사이의 제 1, 제 2 캐패시터의 비를 조정함으로써 출력 전압을 조정한다.

또한, 본 발명의 다른 실시예에 의한 액정표시장치의 아날로그 버퍼회로는 제 1, 제 2 아날로그 기준전압을 데이터 라인에 출력하기 위해 입력단과 출력단 사이에 직렬로 연결되는 제 1 캐패시터 및 인버터와, 상기 제 1 캐패시터와 인버터 사이의 제 1 노드에 직렬로 연결되는 제 2 내지 제 5 캐패시터와, 상기 제 2 캐패시터와 제 3 캐패시터 사이 및 제 3 캐패시터와 제 4 캐패시터 사이 및 제 4 캐패시터와 제 5 캐패시터 사이의 제 2 내지 제 4 노드에 일측단이 연결되고 상기 입력단에 각각 타측단이 연결되는 제 6 내지 제 8 캐패시터와, 상기 인버터와 제 1 캐패시터 사이의 제 1 노드와 상기 인버터와 출력단 사이의 제 5 노드에 직렬로 연결되는 제 9 캐패시터 및 피드백 스위치와, 상기 제 1 캐패시터와 인버터 사이의 제 6 노드와 상기 제 5 노드 사이에 연결되어 상기 인버터를 리세트시키는 제 1 리세트 스위치와, 상기 제 9 캐패시터와 피드백 스위치 사이의 제 7 노드에 연결되어 상기 제 9 캐패시터를 리세트시키는 제 2 리세트 스위치를 포함하여 구성됨을 특징으로 한다.

여기서, 상기 입력단은 8개의 디지털 화소 데이터 중 최상위 4비트를 입력으로 받아 MSB 디코더에 의해 결정된 제 1, 제 2 아날로그 기준전압을 최하위 4비트의 값에 제 1, 제 2 아날로그 기준전압 중 어느 한쪽을 선택하여 샘플링하는 제 1 내지 제 4 스위치로 구성되어 있다.

또한, 상기 제 1 아날로그 기준전압과 제 2 아날로그 기준전압은 서로 다른 전압이다.

또한, 상기 제 2 아날로그 기준전압은 상기 제 1 아날로그 기준전압보다 높은 전압이다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 액정표시장치의 아날로그 버퍼회로를 상세히 설명하면 다음과 같다.

도 7은 본 발명의 제 1 실시예에 의한 액정표시장치의 아날로그 버퍼회로를 나타낸 개략적인 회로도이다.

도 7에 도시한 바와 같이, 입력단(input)과 출력단(output) 사이에 직렬로 연결되는 제 1 캐패시터(51) 및 인버터(52)와, 상기 입력단(input)과 제 1 캐패시터(51) 사이에 연결되어 상기 제 1 캐패시터(51)를 리세트시키는 제 1 리세트 스위치(reset switch)(53)와, 상기 제 1 캐패시터(51)와 제 1 리세트 스위치(53) 사이 의 제 1 노드(P1)에 연결되는 제 1 피드백 스위치(54)와, 상기 제 1 캐패시터(51)와 인버터(52) 사이의 제 2 노드(P2)와 상기 인버터(52)와 출력단(output) 사이의 제 3 노드(P3) 사이에 직렬로 연결되는 제 2 캐패시터(55) 및 제 2 피드백 스위치(56)와, 상기 제 2 노드(P2)와 제 3 노드(P3) 사이에 연결되어 상기 인버터(52)를 리세트시키는 제 2 리세트 스위치(57)와, 상기 제 2 캐패시터(55)와 제 2 피드백 스위치(56) 사이의 제 4 노드(P4)에 연결되어 상기 제 2 캐패시터(55)를 리세트시키는 제 3 리세트 스위치(58)를 포함하여 구성되어 있다.

여기서 상기 제 3 리세트 스위치(58)와 제 1 피드백 스위치(54)는 각각 외부 기준전압(Vref)에 연결되어 있다.

상기와 같이 구성된 본 발명에 의한 액정표시장치의 아날로그 버퍼회로는 제 1, 제 2, 제 3 리세트 스위치(53,57,58)가 닫힐 경우 입력단(input)을 통해 입력되는 아날로그 데이터 전압과 인버터(52) 입력부와의 차이에 해당하는 전압이 제 1, 제 2 캐패시터(51,55)에 각각 저장된다.

이어, 상기 제 1, 제 2 피드백 스위치(54,56)가 닫힐 경우 상기 제 1, 제 2 캐패시터(51,55)에 저장된 전압 즉, 아날로그 데이터 전압과 인버터(52) 입력부와의 차이에 해당하는 전압이 인버터(52)에서 출력된다.

그리고 상기 출력단(output)을 통해 출력된 신호를 모니터링하여 디지털/아날로그 변환기의 영상신호로 피드백(feed back)하는 것으로 출력 전압의 제어를 실현한다.

따라서 본 발명의 액정표시장치의 아날로그 버퍼회로는 인버터(52)로부터 피 드백된 아날로그 데이터 전압을 저장하는 제 2 캐패시터(55)를 구성함으로써 제 2 피드백 스위치(56)가 닫혔을 때 인버터(52) 출력이 직접 연결되지 않는 구조이므로 소비전력이 적고, 오실레이션(oscillation)이 적은 안정적인 동작을 할 수 있다.

또한, 입력 및 피드백간의 제 1, 제 2 캐패시터(51,55)의 비를 조정함으로써 출력 전압을 조정할 수 있고, 리세트 시 소자 불균일에 의해 옵셋 에러(offset error)를 제거할 수 있다.

도 8은 본 발명의 제 2 실시예에 의한 액정표시장치의 아날로그 버퍼회로를 나타낸 개략적인 회로도이다.

도 8에 도시한 바와 같이, MSB 디코더(도시되지 않음)에서 출력되는 제 1, 제 2 아날로그 기준전압(Vr1,Vr2)을 데이터 라인에 출력하기 위해 입력단(input)과 출력단(output) 사이에 직렬로 연결되는 제 1 캐패시터(61) 및 인버터(62)와, 상기 제 1 캐패시터(61)와 인버터(62) 사이의 제 1 노드(P1)에 직렬로 연결되는 제 2 내지 제 5 캐패시터(63,64,65,66)와, 상기 제 2 캐패시터(63)와 제 3 캐패시터(64) 사이 및 제 3 캐패시터(64)와 제 4 캐패시터(65) 사이 및 제 4 캐패시터(65)와 제 5 캐패시터(66) 사이의 제 2 내지 제 4 노드(P2,P3,P4)에 일측단이 연결되고 상기 입력단에 각각 타측단이 연결되는 제 6 내지 제 8 캐패시터(67,68,69)와, 상기 인버터(62)와 제 1 캐패시터(61) 사이의 제 1 노드(P1)와 상기 인버터(63)와 출력단(output) 사이의 제 5 노드(P5) 사이에 직렬로 연결되는 제 9 캐패시터(70) 및 피드백 스위치(71)와, 상기 제 1 캐패시터(61)와 인버터(62) 사이의 제 6 노드(P6)와 상기 제 5 노드(P5) 사이에 연결되어 상기 인버터(62)를 리세트시키는 제 1 리세트 스위치(72)와, 상기 제 9 캐패시터(70)와 피드백 스위치(71) 사이의 제 7 노드(P7)에 연결되어 상기 제 9 캐패시터(70)를 리세트시키는 제 2 리세트 스위치(73)를 포함하여 구성되어 있다.

상기와 같이 구성된 본 발명에 의한 액정표시장치의 아날로그 버퍼회로에서 입력단(input)은 예를 들어 8비트의 디지털 화소 데이터 중 최상위 4비트를 입력으로 받아 MSB 디코더에 의해 결정된 제 1, 제 2 아날로그 기준전압(Vr1, Vr2)(여기서, Vr2 > Vr1이다)을 최하위 4비트 b3, b2, b1, b0의 값에 제 1, 제 2 아날로그 기준전압(Vr1,Vr2) 중 어느 한쪽을 선택하여 샘플링하는 제 1 내지 제 4 스위치(sw0,sw1,sw2,sw3)로 구성되어 있다.

상기와 같이 구성된 본 발명의 제 2 실시예에 의한 액정표시장치의 구동회로는 제 1 캐패시터를 입력 디지털 데이터에 따라 제 1,제 2 아날로그 기준전압(Vr1,Vr2)과 스위칭할 수 있는 C-스트링(C-string) 형태로 구성함으로써 디지털/아날로그 변환기(DAC) 기능과 아날로그 버퍼를 동시에 구현할 수 있다.

예를 들면, 외부의 MSB 디코더에서 8비트의 디지털 화소 데이터 중 최상위 4비트에 의하여 결정되는 제 1, 제 2 아날로그 기준전압(Vr1,Vr2)을 최하위 4비트인 D3, D2, D1, D0의 값이 0이면 제 1 아날로그 기준전압(Vr1)을 샘플링하고, 1이면 제 2 아날로그 기준전압(Vr2)을 샘플링한다.

또한, 아날로그 출력 전압의 크기를 제 1 캐패시터와 제 2 캐패시터의 용량 크기에 의해 조절할 수 있다.

도 9는 본 발명의 제 2 실시예에 의한 액정표시장치의 아날로그 버퍼회로의 동작을 설명하기 위한 시뮬레이션이다.

도 9에서와 같이, 리세트(reset) 동안 제 1 내지 제 4 스위치(sw0~sw3) 및 제 2 리세트 스위치(73)는 제 1 아날로그 기준전압(Vr1)에 연결되고, 피드백 스위치(71)는 오픈, 제 1 리세트 스위치(72)는 연결된다.

그리고 피드백(feedback) 기간에 제 1 내지 제 4 스위치(sw0~sw3)는 최하위 4비트인 b0 ~ b3에 의하여 제 1 아날로그 기준전압(Vr1) 혹은 제 2 아날로그 기준전압(Vr2)을 선택적으로 샘플링하고, 상기 제 2 리세트 스위치(73) 및 제 1 리세트 스위치(72)는 오픈, 상기 피드백 스위치(71)는 연결되어 DAC 출력이 버퍼링(buffering)되어 출력된다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 액정표시장치의 아날로그 버퍼회로는 다음과 같은 효과가 있다.

첫째, 인버터 피드백 캐패시터를 추가함으로써 리세트 스위치가 닫혔을 때 인버터의 입출력이 직접 연결되지 않도록 하여 소비전력을 줄일 수 있고, 안정적인 동작을 행할 수가 있다.

둘째, 리세트시 소자 불균일에 의한 옵셋 에러를 제거할 수 있다.

셋째, 아날로그 출력 전압 크기를 제 1 캐패시터와 제 2 캐패시터의 용량 크기의 비를 바꿈으로써 임의의 크기로 조절할 수 있다.

넷째, 제 1 캐패시터를 디지털 데이터에 따라 Vr1, Vr2와 스위칭 할 수 있는 C-스트링(C-string) 형태로 구성함으로써 디지털/아날로그 변환기(DAC) 기능과 아날로그 버퍼를 동시에 구현할 수 있다.

(57) 청구의 범위

청구항 1.

입력단과 출력단 사이에 직렬로 연결되는 제 1 캐패시터 및 인버터와,

상기 입력단과 제 1 캐패시터 사이에 연결되어 상기 제 1 캐패시터를 리세트시키는 제 1 리세트 스위치와,

상기 제 1 캐패시터와 제 1 리세트 스위치 사이의 제 1 노드에 연결되는 제 1 피드백 스위치와,

상기 제 1 캐패시터와 인버터 사이의 제 2 노드와 상기 인버터와 출력단 사이의 제 3 노드 사이에 직렬로 연결되는 제 2 캐패시터 및 제 2 피드백 스위치와,

상기 제 2 노드와 제 3 노드 사이에 연결되어 상기 인버터를 리세트시키는 제 2 리세트 스위치와,

상기 제 2 캐패시터와 제 2 피드백 스위치 사이의 제 4 노드에 연결되어 상기 제 2 캐패시터를 리세트시키는 제 3 리세트 스위치를 포함하여 구성됨을 특징으로 하는 액정표시장치의 아날로그 버퍼회로.

청구항 2.

제 1 항에 있어서, 상기 제 1 피드백 스위치와 제 3 리세트 스위치는 외부의 기준전압과 연결되는 것을 특징으로 하는 액정표시장치의 아날로그 버퍼회로.

청구항 3.
제 1 항에 있어서, 상기 입력단 및 피드백 사이의 제 1, 제 2 캐패시터의 비를 조정함으로써 출력 전압을 조정하는 것을 특징으로 하는 액정표시장치의 아날 로그 버퍼회로.

청구항 4.
제 1, 제 2 아날로그 기준전압을 데이터 라인에 출력하기 위해 입력단과 출력단 사이에 직렬로 연결되는 제 1 캐패시터 및 인버터와,

상기 제 1 캐패시터와 인버터 사이의 제 1 노드에 직렬로 연결되는 제 2 내지 제 5 캐패시터와,

상기 제 2 캐패시터와 제 3 캐패시터 사이 및 제 3 캐패시터와 제 4 캐패시터 사이 및 제 4 캐패시터와 제 5 캐패시터 사이의 제 2 내지 제 4 노드에 일측단이 연결되고 상기 입력단에 각각 타측단이 연결되는 제 6 내지 제 8 캐패시터와,

상기 인버터와 제 1 캐패시터 사이의 제 1 노드와 상기 인버터와 출력단 사이의 제 5 노드에 직렬로 연결되는 제 9 캐패시터 및 피드백 스위치와,

상기 제 1 캐패시터와 인버터 사이의 제 6 노드와 상기 제 5 노드 사이에 연결되어 상기 인버터를 리세트시키는 제 1 리세트 스위치와,

상기 제 9 캐패시터와 피드백 스위치 사이의 제 7 노드에 연결되어 상기 제 9 캐패시터를 리세트시키는 제 2 리세트 스위치를 포함하여 구성됨을 특징으로 하는 액정표시장치의 아날로그 버퍼회로.

청구항 5.
제 4 항에 있어서, 상기 입력단은 복수개의 디지털 화소 데이터 중 최상위 비트를 입력으로 받아 MSB 디코더에 의해 결정된 제 1, 제 2 아날로그 기준전압을 최하위 비트의 값에 의해 상기 제 1, 제 2 아날로그 기준전압 중 어느 한쪽을 선택 하여 샘플링하는 제 1 내지 제 4 스위치로 구성됨을 특징으로 하는 액정표시장치의 아날로그 버퍼회로.

청구항 6.
제 4 항에 있어서, 상기 제 1 커패시터를 C-스트링 형태로 구성함으로써 D/A 컨버터와 아날로그 버퍼를 동시에 구현하는 것을 특징으로 하는 액정표시장치의 아날로그 버퍼회로.

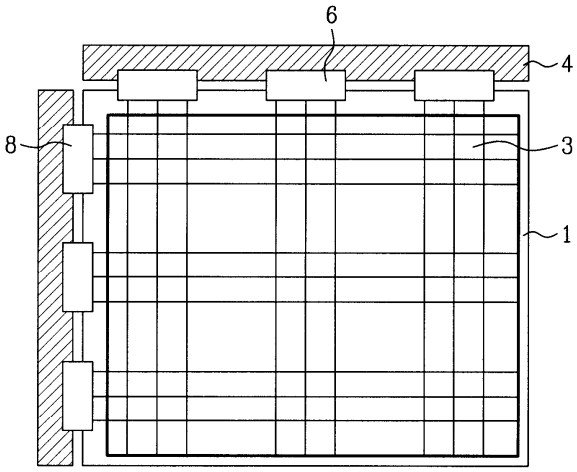
청구항 7.
제 4 항에 있어서, 상기 제 2 커패시터는 C-스트링 형태에 따라 값을 특정한 값이 되게 하는 것을 특징으로 하는 액정표시장치의 아날로그 버퍼회로.

청구항 8.
제 4 항에 있어서, 상기 제 1 아날로그 기준전압과 제 2 아날로그 기준전압은 서로 다른 전압인 것을 특징으로 하는 액정표시장치의 아날로그 버퍼회로.

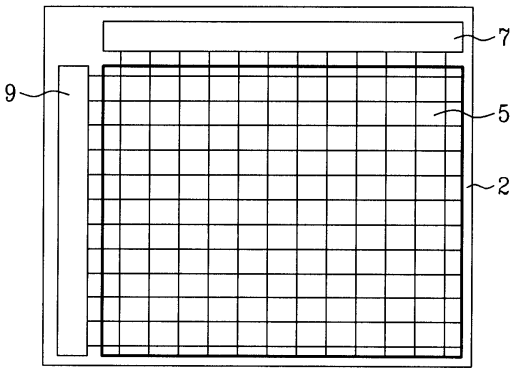
청구항 9.
제 4 항에 있어서, 상기 제 2 아날로그 기준전압은 상기 제 1 아날로그 기준전압보다 높은 전압인 것을 특징으로 하는 액정표시장치의 아날로그 버퍼회로.

도면

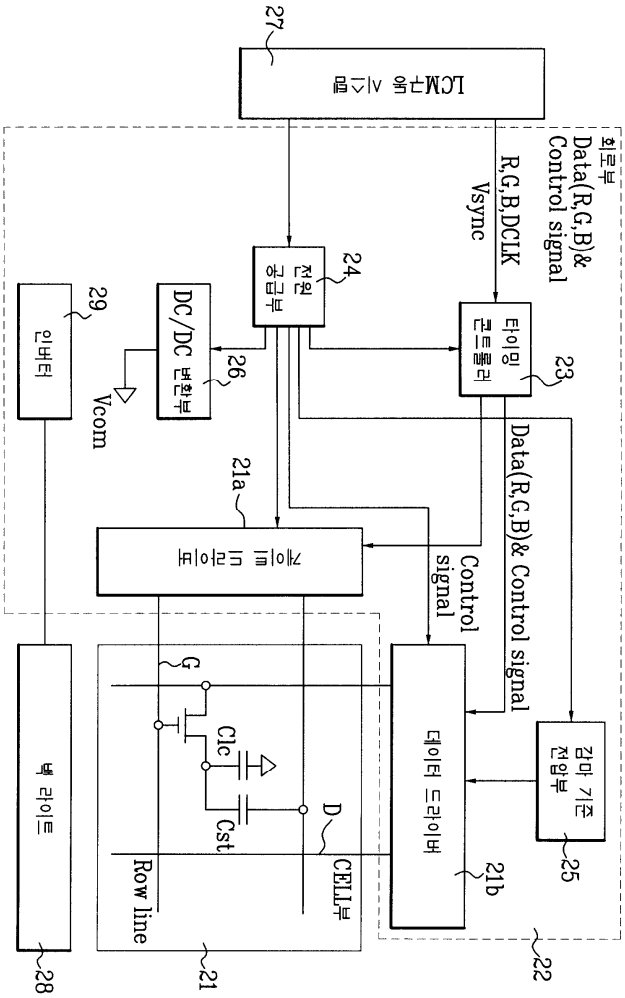
도면1a



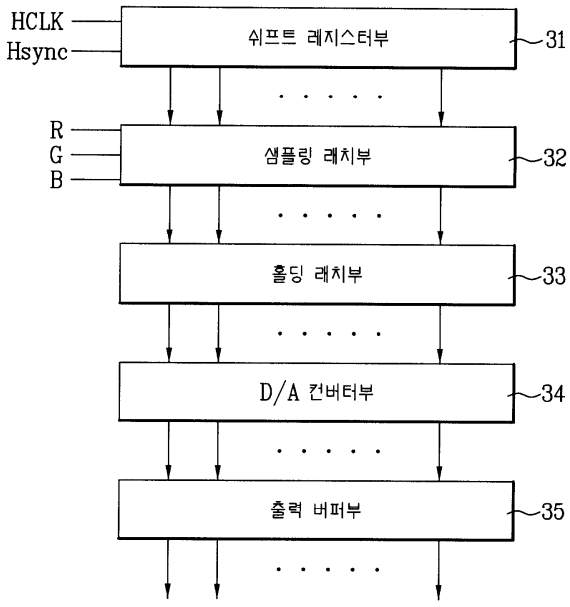
도면1b



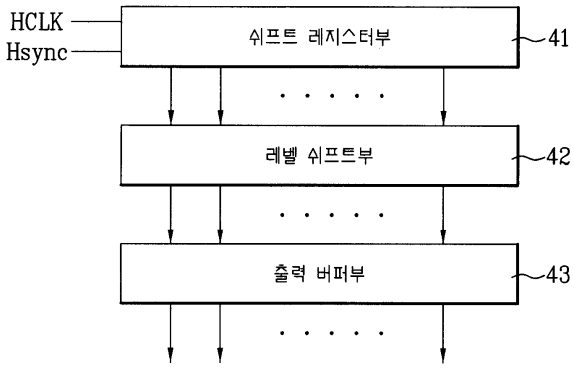
도면2


LCM구동 시스템
27
회로부
Data(R,G,B)&
Control signal
R,G,B,DCLK
Vsync
전원 공급부
24
타이밍 콘트롤러
23
인버터
29
DC/DC 변환부
26
Vcom
21a
게이트 드라이브
Control signal
Data(R,G,B)& Control signal
G
Clc
Cst
D
CELL부
Row line
데이터 드라이버
21b
감마 기준 전압부
25
백 라이트
28
21
22

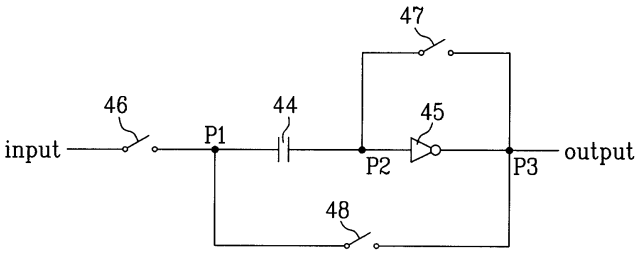
도면3


HCLK
Hsync
쉬프트 레지스터부
31
R
G
B
샘플링 래치부
32
홀딩 래치부
33
D/A 컨버터부
34
출력 버퍼부
35

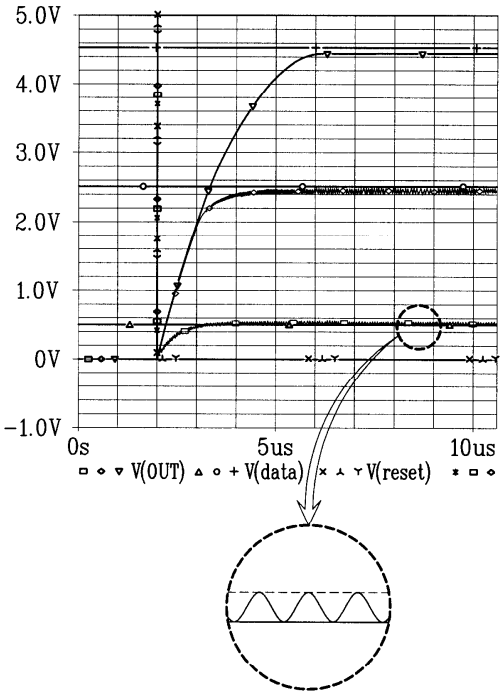
도면4


HCLK
Hsync
쉬프트 레지스터부
41
레벨 쉬프트부
42
출력 버퍼부
43

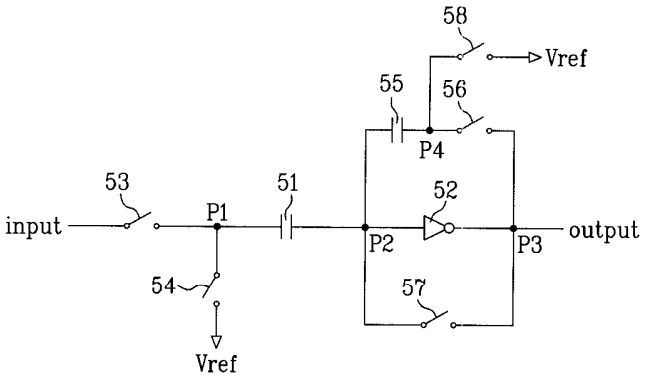
도면5


47
46
44
45
input
P1
P2
P3
output
48

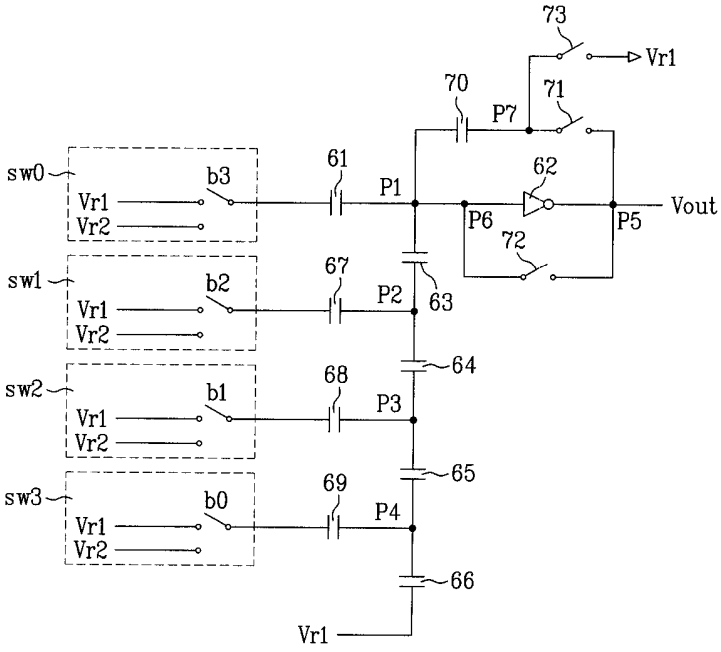
도면6


5.0V
4.0V
3.0V
2.0V
1.0V
0V
-1.0V
0s
5us
10us
V(OUT)
V(data)
V(reset)

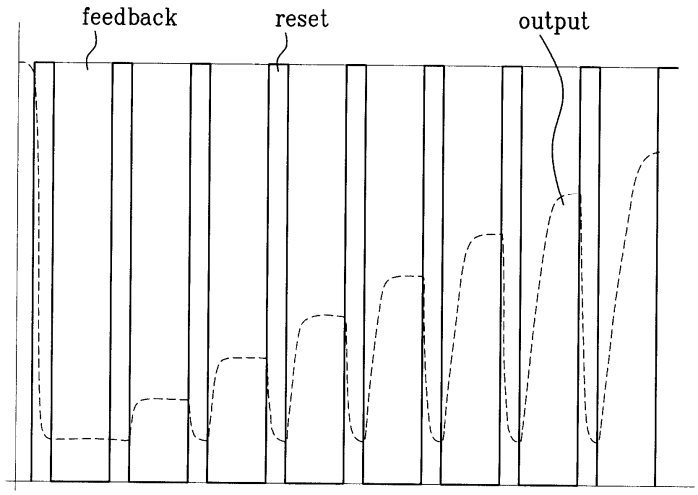
도면7


58
Vref
55
56
P4
53
51
52
input
P1
P2
P3
output
54
57
Vref

도면8


73
Vr1
70
P7
71
sw0
b3
61
62
Vr1
Vr2
P1
P6
P5
Vout
72
sw1
b2
67
P2
63
Vr1
Vr2
64
sw2
b1
68
P3
Vr1
Vr2
65
sw3
b0
69
P4
Vr1
Vr2
66
Vr1

도면9


feedback
reset
output

专利名称(译)	液晶显示装置的模拟缓冲电路		
公开(公告)号	KR1020050004431A	公开(公告)日	2005-01-12
申请号	KR1020030044605	申请日	2003-07-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KEEJONG		
发明人	KIM,KEEJONG		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/027 G09G2330/021 G09G2310/0291 G09G3/3696 G09G3/3688		
代理人(译)	金勇 新昌		
其他公开文献	KR100546710B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器的alalog缓冲电路，用于通过数据驱动器的稳定驱动来降低功耗。并且包括第二电容器，第二节点和第二重置开关，以及第三重置开关。第二电容器存储模拟数据电压，该模拟数据电压串联连接在第一复位开关之间的第二节点之间的第三节点之间，第一复位开关连接在第一电容器和串联连接在输入端子和输出端子与输入端子和输入端子之间的逆变器之间。第一电容器并重新设置第一电容器和第一反馈开关，连接到第一复位开关和第一电容器之间的第一节点以及第一电容器和逆变器以及逆变器和输出端子，并从逆变器和第二电容器反馈反馈开关。第二节点和第二复位开关连接在第三节点之间并重新设置逆变器。第三复位开关连接到第二反馈开关和第二电容器之间的第四节点，并重新设置第二电容器。逆变器，电容器，反馈开关，复位开关。