

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/133

(11) 공개번호 10-2004-0010369
(43) 공개일자 2004년01월31일

(21) 출원번호 10-2003-0050922
(22) 출원일자 2003년07월24일

(30) 우선권주장 JP-P-2002-00216674 2002년07월25일 일본(JP)

(71) 출원인 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 센다미찌루
일본기후쥬기후시기따지마1-6-15
아끼마이사오
일본기후쥬오가끼시노기노모리쥬5-97엔케이케이-하나미쥬202

(74) 대리인 장수길
이중희
구영창

심사청구 : 있음

(54) 표시 장치

요약

화소부의 주변 회로의 구성을 간단히 하여, 그 만큼 패널의 프레임 면적을 저감시킴과 함께, 배선 수를 저감하는 것을 과제로 한다. 드레인 신호선(2)을 통하여, 디지털 영상 신호를 각 화소부에 직렬 전송한다. 이 디지털 영상 신호를 화소 선택 트랜지스터 GT0 GT3에 의해 샘플링하여 직렬/병렬 변환한 후, DA 변환부에서 아날로그 영상 신호로 변환한다. 이 DA 변환부는 화소 전극(19)과 가중치가 부여된 용량비를 갖고 용량 결합된 복수의 용량 전극(41 44)과, 디지털 영상 신호에 따라서 주기적인 클럭 신호를 복수의 용량 전극(41 44)에 공급하는 클럭 공급부로 이루어진다. 그 아날로그 영상 신호는 화소 전극(19)에 인가된다.

대표도

도 1

색인어

화소 전극, 영상 신호, 데이터 유지부, 액정 표시 장치, 용량비

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치를 도시한 회로 구성도.

도 2는 도 1의 시프트 레지스터 SR의 회로도.

도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 동작을 설명하는 타이밍도.

도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치의 동작을 설명하는 타이밍도.

도 5는 본 발명의 제1 실시예에 따른 액정 표시 장치의 동작을 설명하는 다른 타이밍도.

도 6은 본 발명의 제2 실시예에 따른 액정 표시 장치를 도시한 회로 구성도.

도 7은 반사형 액정 표시 장치의 디바이스 구조를 도시한 단면도.

도 8은 반사형 액정 표시 장치의 다른 디바이스 구조를 도시한 단면도.

도 9는 본 발명의 제3 실시예에 따른 일렉트로 루미네센스 표시 장치를 도시한 회로 구성도.

도 10은 종래예에 따른 액정 표시 장치의 다른 회로 구성도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 트랜스미션 게이트

2 : 드레인 신호선

5 8 : 스테틱형 메모리 회로

19 : 화소 전극

21 : 액정

32 : 대향 전극

41 44 : 용량 전극

SR : 시프트 레지스터

C0 C3, CS0 CS3 : 용량

GT0 GT3 : 화소 선택 트랜지스터

RT : 리세트용 트랜지스터

ST0 ST3 : 클럭 공급용 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것으로, 특히 디지털 영상 신호를 아날로그 영상 신호로 변환하는 DA 변환부를 구비한 표시 장치에 관한 것이다.

최근, 휴대 가능한 표시 장치, 예를 들면 휴대 텔레비전, 휴대 전화 등이 시장의 필요성에 의해 요구되고 있다. 이러한

요구에 부응하여 표시 장치의 소형화, 경량화, 소비 전력 절약화에 대응하기 위한 연구 개발이 활발히 행해지고 있다.

도 10은 종래예에 따른 액정 표시 장치의 일 표시 화소의 회로 구성도를 도 시한다. 절연성 기판(도시 생략) 상에 게이트 신호선(51), 드레인 신호선(61)이 교차하여 형성되어 있으며, 그 교차부 근방에 양 신호선(51, 61)에 접속된 화소 선택 박막 트랜지스터(72)가 구비되어 있다. 이하, 박막 트랜지스터를 TFT라 한다. 화소 선택 TFT(72)의 소스(11s)는 액정(21)의 표시 전극(80)에 접속되어 있다.

또한, 표시 전극(80)의 전압을 1필드 기간동안 유지하기 위한 보조 용량(85)이 제공되어 있으며, 이 보조 용량(85)의 한쪽 단자(86)는 화소 선택 TFT(72)의 소스(11s)에 접속되고, 다른 쪽 전극(87)에는 각 표시 화소에 공통의 전위가 인가되어 있다.

여기서, 게이트 신호선(51)에 주사 신호(H 레벨)가 인가되면, 화소 선택 TFT(72)는 온 상태로 되고, 드레인 신호선(61)으로부터 아날로그 영상 신호가 표시 전극(80)에 전달됨과 함께, 보조 용량(85)에 유지된다. 표시 전극(80)에 인가된 영상 신호 전압이 액정(21)에 인가되고, 그 전압에 따라서 액정(21)이 배향됨으로써 액정 표시를 얻을 수 있다. 따라서, 동화상, 정지 화상에 관계없이 액정 표시를 행할 수 있다.

그런데, 드레인 신호선(61)에 입력되는 아날로그 영상 신호는, 입력 디지털 영상 신호를 DA 변환기에 의해 디지털·아날로그 변환하여 얻어진다. 종래, 표시 패널 내부에 DA 변환기를 내장하는 액정 표시 장치에서는, 화소 주변부의 드라이버 회로에 근접하여 DA 변환기를 배치하고 있었다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 액정 표시 장치에서는, 드라이버 회로에 근접하여 DA 변환기 가 배치되어 있기 때문에, 화소부의 주변 회로가 복잡하게 되어, 표시 패널의 프레임 면적이 증가한다는 문제가 있었다. 특히, 계조 전압을 외부로부터 입력하는 경우, 단자 수가 계조의 수만큼 증가된다.

또한, DA 변환기에 의해 변환된 아날로그 데이터를, 화소 선택 TFT(72)를 통하여 화소부에 기입하기 때문에, 그 (최대 진폭 전압 + V_{th}) 이상의 전압을 주사 신호로서 공급해야 한다. V_{th} 는 화소 선택 TFT(72)의 임계값 전압이다. 이 때문에, 액정 표시 장치의 저전압화 및 저소비 전력화를 행하는 것이 곤란하였다.

발명의 구성 및 작용

본 발명의 표시 장치는, 복수의 화소부를 구비하는 표시 장치로서, 각 화소부에 직렬 전송되는 디지털 영상 신호를 병렬 신호로 변환하는 직렬/병렬 변환부와, 각 화소부 내에 형성되며, 상기 병렬 신호를 아날로그 영상 신호로 변환하는 DA 변환부와, 이 아날로그 영상 신호가 공급되는 화소 전극을 구비하는 것을 특징으로 한다.

이러한 구성에 의하면, DA 변환부를 화소부 내에 구비하였으므로, 화소부의 주변 회로의 구성이 간단해져서, 그 만큼 표시 패널의 프레임 면적을 저감시킬 수 있다. 또, 디지털 영상 신호를 외부로부터 각 화소부에 직렬 전송하고, 이 디지털 영상 신호를 직렬/병렬 변환한 후, DA 변환하도록 구성하였으므로, 디지털 영상 신호를 병렬 전송하는 경우에 비하여, 데이터 전송을 위한 배선의 수가 삭감되고, 각 화소부에 차지하는 배선 면적도 축소되어, 그 결과, 다계조, 고정밀의 표시 장치를 얻을 수 있다.

다음에, 본 발명의 제1 실시예에 따른 표시 장치에 대하여 도면을 참조하면서 설명한다. 도 1은 이 액정 표시 장치의 회로도이다. 도 1에서, 설명의 편의상 하나의 화소부만을 도시하고 있지만, 실제로는 이 화소부가 행렬 상에 복수 배치되어 있다.

드레인 드라이버(도시 생략)로부터 디지털 영상 신호가 직렬 전송되고, 트랜스미션 게이트(1)를 통하여 드레인 신호선(2)에 공급된다. 트랜스미션 게이트(1)는 제어 클럭 CP 및 *CP(CP의 반전 클럭)에 의해 온 오프가 제어되어 있다.

화소 선택 트랜지스터 GT0 GT3의 드레인온, 각 드레인 신호선(2)에 공통으로 접속되어 있다. 화소 선택 트랜지스터 GT0 GT3의 각 게이트에는 디지털 영상 신호를 소정의 타이밍에서 샘플링하기 위해 샘플링 펄스 SP0 SP3가 각각 공급되어 있다.

이 샘플링 펄스 SP0 SP3는, 시프트 레지스터 SR에 의해 작성된다. 시프트 레지스터 SR는 시프트 클럭 CLK 및 *CLK(*CLK은 CLK의 반전 클럭)이 인가된 클럭드 인버터(111, 112) 및 인버터(113)에 의해 구성할 수 있다. 이 시프트 레지스터 SR는 입력 클럭 AP을 시프트 클럭 CLK 및 *CLK에 따라서 순차적으로 시프트하고, 시프트 레지스터의 각

단으로부터, 샘플링 펄스 SP0 SP3가 얻어진다.

화소 선택 트랜지스터 GT0 GT3의 각 소스에는 화소 선택 트랜지스터 GT0 GT3를 통하여 기입된 디지털 영상 신호의 각 비트 데이터를 유지하기 위한 용량 CS0 CS3이 접속되어 있다.

용량 CS0 CS3에 유지된 각 비트 데이터는, 다음단에 형성된 클럭 공급용 트랜지스터 ST0 ST3의 게이트에 공급된다. 클럭 공급용 트랜지스터 ST0 ST3의 소스에는 픽셀 신호(Pixel Signal, 주기적인 클럭)가 공급되어 있다. 그리고, 클럭 공급용 트랜지스터 ST0 ST3의 드레인에는, 화소 전극(19)과 용량 결합한 용량 전극(41, 42, 43, 44)에 접속되어 있다.

따라서, 화소 전극(19)과 용량 전극(41, 42, 43, 44)의 사이에는 용량 C0, C1, C2, C3이 형성되어 있다. 화소 전극(19)과 대향 전극(32) 사이에는 액정(21)이 봉입되어 있다.

즉, 클럭 공급용 트랜지스터 ST0 ST3는, 드레인 신호선(2)으로부터 화소 선택 트랜지스터 GT0 GT3를 통해서 용량 CS0 CS3에 유지된 디지털 영상 신호에 따라서 온 오프한다. 예를 들면, 클럭 공급용 트랜지스터 ST0가 온 상태로 되면, 픽셀 신호가 클럭 공급용 트랜지스터 ST0를 통하여 용량 전극(41)에 인가된다. 이것에 의해, 화소 전극(19)에는 클럭의 전압 진폭 VP-P 및 용량값 C0에 따른 전압 변화 ΔV가 발생된다.

수학식 1

$$\Delta V = C_0 \cdot VP - P / (CLC + C_0)$$

여기서, CLC는 화소 전극(19)과 대향 전극(32) 사이의 용량값이다. 따라서, 용량 C0, C1, C2, C3을 디지털 영상 신호의 비트에 대응시켜 가중치를 부여하면, 이 디지털 영상 신호를 아날로그 변환한 전압으로 화소 전극(19)에 공급할 수 있다.

상기 ΔV는 일반적으로 다음의 수학식으로 표현할 수 있다.

수학식 2

$$\Delta V = \sum C \cdot VP - P / (CLC + \sum C)$$

수학식 3

$$\sum C = n_0 \cdot C_0 + n_1 \cdot C_1 + n_2 \cdot C_2 + n_3 \cdot C_3$$

(n0, n1, n2, n3)은 디지털 영상 신호 데이터이며, 각 비트는 '1' 또는 '0'이다. 여기서, 각 결합 용량은 예를 들면, C1=2C0, C2=2²C0, C3=2³C0이 되도록 대향 면적 혹은 전극 간 거리가 설정되고, 용량값의 가중치가 부여되어 있다.

또, 화소 전극(19)에 리세트 신호를 공급하는 리세트용 트랜지스터 RT가 구비되어 있다. 이것에 의해, 후술하는 바와 같이 액정(21)에 대하여 교대로 반전 전압을 가하는 반전 구동 방식을 실현할 수 있다.

다음에, 상술한 구성의 액정 표시 장치의 동작에 대하여 도면을 참조하면서 설명한다.

도 3 및 도 4는 액정 표시 장치의 타이밍도를 나타낸다. 먼저 도 3을 참조하여, 직렬/병렬 변환의 동작에 대하여 설명한다. 제어 클럭 CP이 하이 레벨로 상승하면, 트랜스미션 게이트(1)가 온 상태로 되고, 디지털 영상 신호 데이터가 트랜스미션 게이트(1)를 통하여 드레인 신호선(2)에 직렬 데이터로서 시계열적으로 공급된다. 디지털 영상 신호 데이터의 각 비트 데이터는, 샘플링 펄스 SP0 SP3에 의해 샘플링되고, 화소 선택 트랜지스터 GT0 GT3를 통하여 병렬 데이터로 변환되어 용량 CS0 CS3에 유지된다. 도 3의 예에서는, (1, 0, 1, 0)의 4비트의 디지털 영상 신호 Data가 유지된다.

다음에, 병렬 변환 후의 AD 변환 동작에 대하여 설명한다. 픽셀 신호는, 트랜지스터 ST0 ST3를 개재하여 용량 전극(41 44)에 공급되는 신호로서, 소정의 주기로 0V와 3V를 반복한다. 리세트 제어 신호는, 리세트용 트랜지스터 RT의 게이트에 공급되는 신호이다. 리세트 제어 신호는, 픽셀 신호가 반전하기 직전에 하이 상태로 되는 펄스 신호이다. 대향 전극(32)은 예를 들면 3V의 직류 레벨로 고정되어 있다.

여기에서는, 드레인 신호선(2)에 공급된 직렬의 디지털 영상 신호가, 상술한 직렬/병렬 변환 동작에 의해, 예를 들면 4비트의 병렬 신호(1, 0, 0, 0)로 변환되는 것으로 한다. 그렇게 하면, 화소 선택 트랜지스터 GT0 GT3를 통하여 용량 CS0 CS3 중, '1'의 데이터가 공급되는 CS0가 충전되고, CS1 CS3이 방전되어, (1, 0, 0, 0)의 데이터가 유지된다. 이것에 의해, 클럭 공급용 트랜지스터 ST0가 온 상태, ST1 ST3이 오프 상태로 되어, 픽셀 신호가 클럭 공급용 트랜지스터 ST0를 통하여 용량 전극(41)에 인가된다.

픽셀 신호가 0V로부터 3V로 변화하면 용량 전극(41)은 화소 전극(19)과 용량 결합하고 있으므로, 화소 전극(19)의 전압은, 대향 전극(32)과 동일한 전위의 3V로부터, 용량 전극(41)과 화소 전극(19)의 용량값에 따른 전위 ΔV 만큼 상승한다. 마찬가지로, 4비트의 다른 데이터가 입력되면, 각 비트의 '1' '0'에 따라서 트랜지스터 ST0 ST3가 온, 오프 상태로 되고, 화소 전극(19)의 전위는 4비트의 디지털 영상 신호에 따른 전위가 된다. 4비트의 디지털 영상 신호는 용량 CS0 CS3에 유지된다. 이들 용량 CS0 CS3에 충전된 전하가 트랜지스터의 누설 등에 의해 방전되고, 트랜지스터 ST0 ST3의 임계값보다도 낮아지면, 데이터로서 소실되므로 그 전에 데이터를 리프레시할 필요가 있다.

이와 같이, 용량 CS0 CS3을 갖는 데이터 유지부에 데이터를 유지함으로써, 정지 화상을 표시할 때에, 데이터 유지부의 리프레시에 필요한 최저한의 주파수까지 프레임 레이트를 저하시킬 수 있으므로, 표시 장치의 소비 전력을 삭감시킬 수 있다. 또, 종래와 같이 드라이버 주변부에 DAC를 구비하지 않고, 화소 내에 용량 결합에 의해 DAC를 내장시켰기 때문에, 표시 장치의 프레임을 보다 좁게 할 수 있다.

다음에, 리세트 신호가 'H' 레벨로 되면, 리세트용 트랜지스터 RT가 온 상태로 되고, 화소 전극(19)의 전압을 대향 전극(32)의 전위와 동일한 전위, 즉 3V로 리세트한다. 리세트 신호가 'L' 레벨로 되돌아간 후, 픽셀 신호가 3V로부터 0V로 변화한다. 이것에 의해, 화소 전극(19)의 전압은 용량 결합에 의해 3V로부터 ΔV 만큼 하강한다. 이와 같이, 화소 전극(19)의 전압은 대향 전극(32)에 대하여 반전하도록 변화하므로, 액정(21)의 열화를 초래하지 않고 구동할 수 있다.

데이터 유지부의 리프레시 주기는, 픽셀 신호의 주기와 완전히 동기시키지 않고, 독립된 주기로 할 수 있다. 각각 데이터 유지부의 리프레시의 필요성과, 액정의 열화를 고려한 픽셀 신호의 반전 필요성을 만족시키는 범위에서, 각각 가장 느린 주기로 설정하면, 보다 소비 전력을 삭감할 수 있어 바람직하다. 단, 데이터의 리프레시에 의해 회로 동작하면, 회로 내의 배선끼리의 기생 용량 등에 의해서 화상에 노이즈가 생길 우려가 있기 때문에, 각각의 주기를 될 수 있는 한 느리게 설정하면서, 양자를 동기시키는 것이 가장 바람직하다.

도 5는 액정 표시 장치의 다른 타이밍도를 나타낸다. 도 5 역시, 병렬 변환 후의 AD 변환 동작의 타이밍을 나타내고 있다. 이 경우에, 대향 전극(32)은 교류 구동되어 있다. 픽셀 신호는 기준 클럭을 분주하고, 그것을 지연시켜 작성되고, 0V와 3V의 전압 진폭을 갖고 있다. 대향 전극(32)과 픽셀 신호는 위상의 어긋남이 있다.

또한, 리세트용 트랜지스터 RT는, 리세트 제어 신호에 따라서, 화소 전극(19)의 전압을 리세트 신호 #1 또는 리세트 신호 #2의 신호 레벨로 리세트한다. 도 5에서는 리세트 신호 #1가 선택된 경우를 나타내고 있다. 리세트 신호 #1은 대향 전극보다 선행하고, 리세트 제어 신호가 하이 상태로 되기 직전 혹은 동시에 변동하는 신호이다. 지금, 대향 전극이 0V이고, 리세트 제어 신호가 하이 상태로 되면, 화소 전극은 2V로 리세트된다.

그리고, 리세트 제어 신호가 로우 상태로 되돌아가, 픽셀 신호가 반전하여 0V로 되면, 용량 전극(41 44)과 화소 전극과의 용량 결합에 의해, 화소 전극의 전위가 2V로부터 ΔV 강하한다. 이하 마찬가지로, 이 타이밍도로부터 명백한 바와 같이, 화소 전극(19)은 대향 전극(32)에 대하여 교대로 반전하도록 구동된다.

다음에, 본 발명의 제2 실시예에 따른 표시 장치에 대하여 도면을 참조하면서 설명한다. 도 6은 제2 실시예에 따른 표시 장치의 회로도이다. 도 6에서 설명의 편의상 하나의 화소부만을 나타내고 있지만, 실제의 표시 장치에서는 이 화소부가 행렬 상에 복수 배치되어 있다. 또한, 제1 실시예를 설명한 도 1과 동일한 구성 부분에 대해서는 동일 부호를 붙이고, 그 설명은 생략한다.

본 실시예에서는, 제1 실시예에서의 데이터 유지용의 용량 CS0 CS3 대신에, 스택형 메모리 회로(5 8)를 구비한 점이 크게 다르다. 스택형 메모리 회로(5 8)는, 정귀환된 2개의 인버터 회로에 의해 구성할 수 있다. 제1 실시예에서는, 데이터 유지에 리프레시 동작이 필요하지만, 본 실시예에서는, 스택형 메모리 회로이므로, 데이터의 유지를 보다 확실하게 행할 수 있다. 또, 정지 화상 표시할 때, 외부 회로나 각 드라이버 회로를 정지시키고, 데이터 유지부에 유지된 데이터를 표시하면 되므로, 제1 실시예에 비하여 더욱 저소비 전력으로 할 수 있다. 단, 제1 실시예에 비하여

소자 수가 많고, 회로가 복잡하며, 필요한 면적도 커진다. 또, 이 표시 장치의 동작에 대해서는 제1 실시예와 마찬가지로 하기 때문에 설명을 생략한다.

다음에, 본 발명의 반사형 액정 표시 장치에의 적용 예에 대하여 설명한다. 반사형 액정 표시 장치의 디바이스 구조에 대하여 도 7을 참조하면서 설명한다.

도 7에 도시한 바와 같이, 한쪽의 절연성 기판(10) 상에, 다결정 실리콘으로 이루어지고 아일런드화된 반도체층(11) 상에 게이트 절연막(12)이 형성되어 있다. 반도체층(11)의 상측에는, 게이트 절연막(12)을 개재하여 게이트 전극(13)이 형성된다. 게이트 전극(13)의 양측에 위치하는 하층의 반도체층(11)에는, 소스(11s) 및 드레인(11d)이 형성되어 있다. 이러한 구조의 박막 트랜지스터는, 화소 선택 트랜지스터 GT0 GT3나 리세트용 트랜지스터 RT에 이용된다. 도 7에서는 리세트용 트랜지스터 RT에 대응시켜 도시되어 있다.

게이트 전극(13) 및 게이트 절연막(12) 상에는 층간 절연막(14)이 퇴적되고, 그 드레인(11d)에 대응한 위치에 콘택트홀(15)이 형성되어 있으며, 그 콘택트홀(15)을 개재하여 드레인(11d)은 드레인 전극(16)에 접속되어 있다. 또한, 소스(11s)는 층간 절연막(14) 상에 구비된 평탄화 절연막(17)에 형성된 콘택트홀(18)도 개재하여 화소 전극(19)에 접속되어 있다. 또한, 박막 트랜지스터와 떨어져서 층간 절연막(14) 상에 알루미늄(Al) 등으로 이루어지는 용량 전극(41, 42, 43)이 형성되어 있으며, 상측의 화소 전극(19)과 용량 결합함으로써, 용량 C1, C2, C3이 형성된다.

평탄화 절연막(17) 상에 형성된 각 화소 전극(19)은 알루미늄(Al) 등의 반사 재료로 이루어져 있다. 각 화소 전극(19) 및 평탄화 절연막(17) 상에는 액정(21)을 배향하는 폴리이미드 등으로 이루어지는 배향막(20)이 형성되어 있다.

다른 쪽의 절연성 기판(30) 상에는, 적(R), 녹(G), 청(B)의 각 색을 나타내는 컬러 필터, IT0(Indium Tin Oxide) 등의 투명 도전성막으로 이루어지는 대향 전극(32), 및 액정(21)을 배향하는 배향막(33)이 순서대로 형성되어 있다. 컬러 표시로 하지 않은 경우에는 컬러 필터는 불필요하다.

이렇게 하여 형성된 한쌍의 절연성 기판(10, 30)의 주변을 접착성 시일재에 의해 접착하고, 그것에 의하여 형성된 공간에 액정(21)을 충전하여, 반사형 액정 표시 장치가 완성된다.

도 8은 반사형 액정 표시 장치의 다른 디바이스 구조를 도시한 도면이다. 이 구조에서는, 화소 전극(19)은 층간 절연막(14) 상에 구비된 전극(19A)에, 평탄화 절연막(17)에 형성된 콘택트홀(18A)을 개재하여 접속된다. 그리고, 게이트 절연막(12) 상에 용량 전극(41, 42, 43)이 형성된다. 이것에 의해, 용량 전극(41, 42, 43)은 전극(19A)을 개재하여 화소 전극(19)과 용량 결합된다.

다음에, 본 발명의 제3 실시예에 따른 표시 장치에 대하여 도면을 참조하면서 설명한다. 도 9는 제3 실시예에 따른 표시 장치의 회로도이다. 도 9에서, 설명의 편의상 하나의 화소부만을 나타내고 있지만, 실제의 표시 장치에서는 이 화소부가 행렬 상에 복수 배치되어 있다. 또한, 제1 실시예를 설명한 도 1과 동일한 구성 부분에 대해서는 동일 부호를 붙이고, 그 설명은 생략한다.

본 실시예는, 본 발명을 일렉트로 루미네스 표시 장치에 적용한 예이다. 각 화소에 구비된 부유 전극(45)과 복수의 용량 전극(41 44)이 용량 결합하고, 부유 전극(45)의 전위를 변동시키는 점은, 상기 제1 및 제2 실시예와 마찬가지로이다. 또한, EL 구동 트랜지스터(46), 정전류원(47), EL 소자(48)를 갖는다. EL 소자(48)는 소자에 흐르는 전류의 크기에 따른 휘도로 발광하는 발광 소자이다. 본 실시예에서, 부유 전극(45)은 EL 구동 트랜지스터(46)의 게이트에 접속되어 있다. EL 구동 트랜지스터는 부유 전극(45)의 전위에 따라서 도전율이 변화하도록 임계값이 설정되고, 부유 전극(45)의 전위에 따른 크기의 전류가 정전류원(47)으로부터 EL 소자(48)에 공급되고, 그것에 따른 휘도로 EL 소자(48)가 발광한다. 물론, EL 소자(48)를 LED 등, 그 밖의 발광 소자로 치환함으로써, 전류 구동형의 표시 장치에 용이하게 적용할 수 있다.

발명의 효과

본 발명의 표시 장치에 따르면, 화소부에 디지털 영상 신호를 아날로그 영상 신호로 변환하는 DA 변환기를 구비하였으므로, 화소부의 주변 회로의 구성이 간단해져서, 그 만큼 프레임의 면적을 저감시킬 수 있다. 또, 디지털 영상 신호를 외부로부터 각 화소부에 직렬 전송하고, 이 디지털 영상 신호를 직렬/병렬 변환한 후, DA 변환하도록 구성하였으므로, 디지털 영상 신호를 병렬 전송하는 경우에 비하여 데이터 전송을 위한 배선의 수가 삭감되고, 각 화소부에 차지하는 배선 면적도 축소되어 그 결과, 다계조, 고정밀의 표시 장치를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

복수의 화소부를 구비하는 표시 장치로서,

각 화소부에 직렬 전송되는 디지털 영상 신호를 병렬 신호로 변환하는 직렬/병렬 변환부와,

각 화소부 내에 형성되며, 상기 병렬 신호를 아날로그 영상 신호로 변환하는 DA 변환부와,

상기 아날로그 영상 신호가 공급되는 화소 전극

을 구비하는 것을 특징으로 하는 표시 장치.

청구항 2.

제1항에 있어서,

상기 직렬/병렬 변환부는, 직렬 전송되는 디지털 영상 신호가 공급되는 드레인 신호선과, 이 드레인 신호선에 접속된 복수의 화소 선택 트랜지스터와, 각각의 화소 선택 트랜지스터의 게이트에 상기 디지털 영상 신호를 소정의 타이밍에서 샘플링하기 위한 샘플링 펄스를 공급하는 시프트 레지스터를 구비하는 것을 특징으로 하는 표시 장치.

청구항 3.

제1항에 있어서,

상기 DA 변환부는, 상기 화소 전극과 가중치가 부여된 용량비를 갖고 용량 결합된 복수의 용량 전극과, 디지털 영상 신호에 따라서 주기적인 클럭 신호를 상기 복수의 용량 전극에 공급하는 클럭 공급부를 구비하는 것을 특징으로 하는 표시 장치.

청구항 4.

제3항에 있어서,

상기 복수의 용량 전극의 면적은, 디지털 영상 신호의 각 비트에 대응하여 가중치가 부여되어 있는 것을 특징으로 하는 표시 장치.

청구항 5.

외부로부터 직렬 전송되어 오는 디지털 영상 신호가 공급되는 드레인 신호선과,

상기 드레인 신호선에 접속된 복수의 화소 선택 트랜지스터와,

각각의 화소 선택 트랜지스터의 게이트에 디지털 영상 신호를 소정의 타이밍에서 샘플링하기 위해 샘플링 펄스를 공급하는 시프트 레지스터와,

상기 복수의 화소 선택 트랜지스터를 통하여 병렬 변환된 디지털 영상 신호를 유지하는 데이터 유지부와,

복수의 화소부마다 형성된 화소 전극과,

상기 화소 전극과 가중치가 부여된 용량비를 갖고 용량 결합된 복수의 용량 전극과,

상기 신호 유지부에 유지된 디지털 영상 신호에 따라서 주기적인 클럭 신호를 상기 복수의 용량 전극에 공급하는 클럭 공급부

를 구비하는 것을 특징으로 하는 표시 장치.

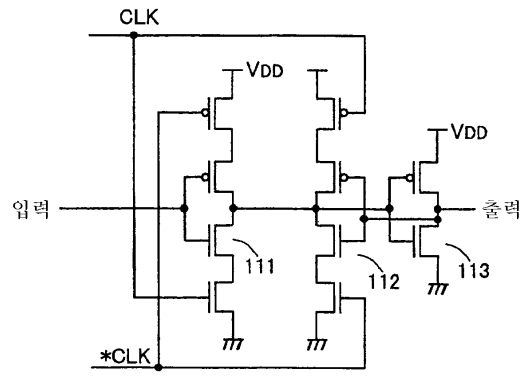
청구항 6.

제5항에 있어서,

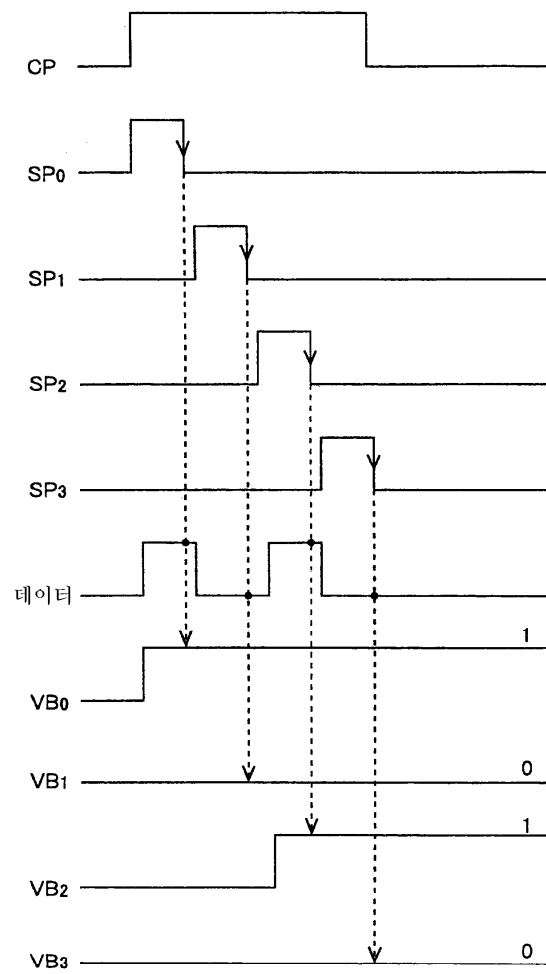
상기 복수의 용량 전극의 면적은, 디지털 영상 신호의 각 비트에 대응하여 가중치가 부여되어 있는 것을 특징으로 하는 표시 장치.

청구항 7.

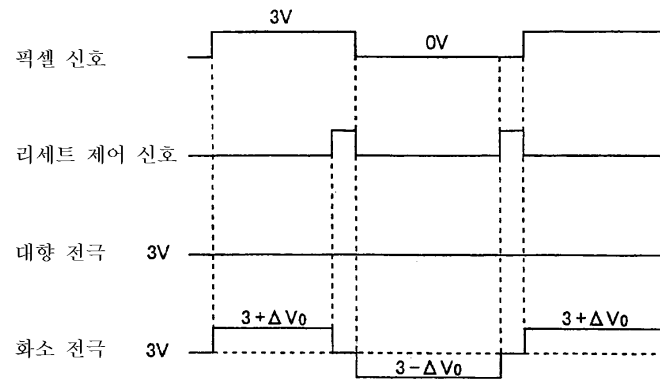
도면2



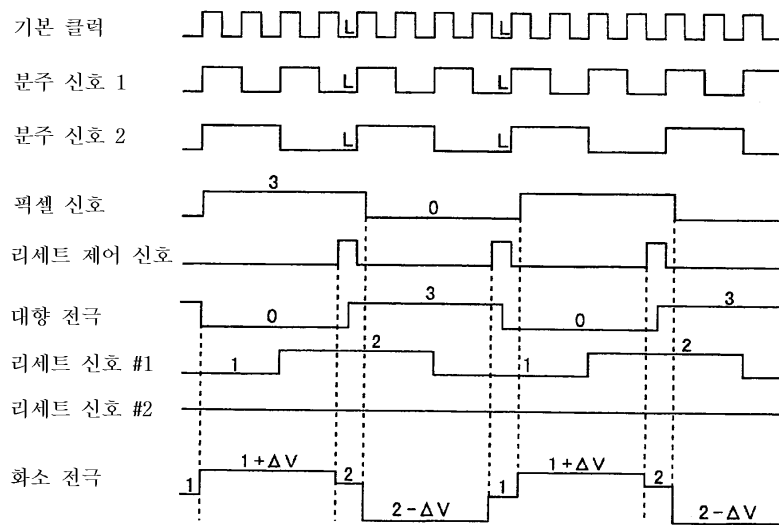
도면3



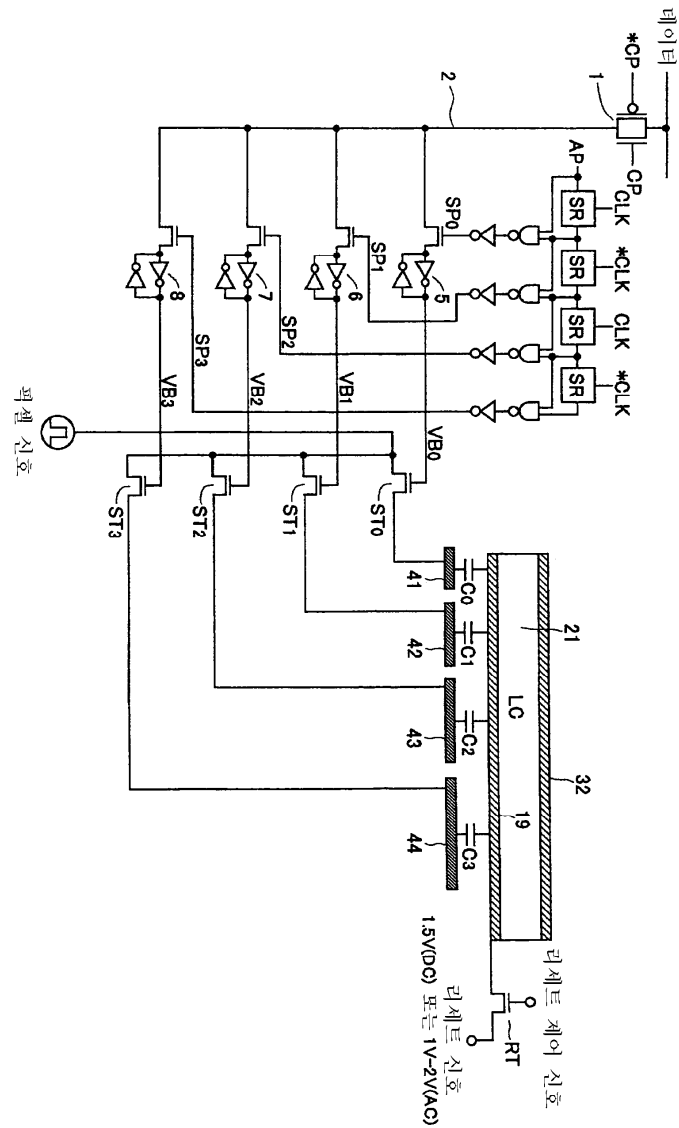
도면4



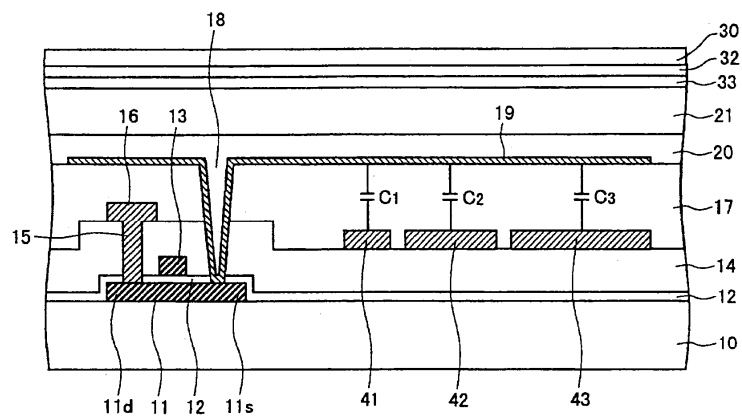
도면5



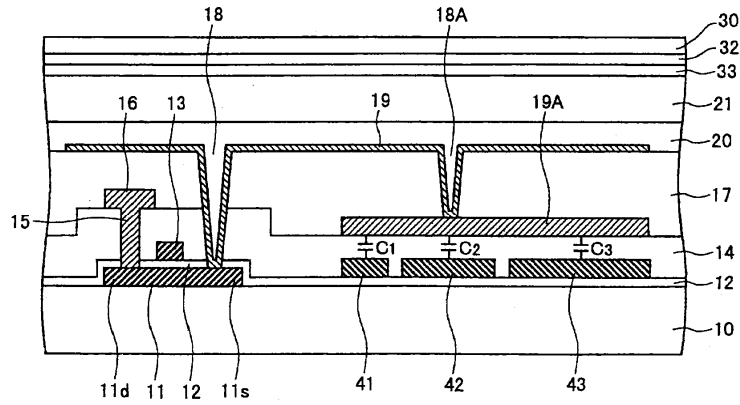
도면6



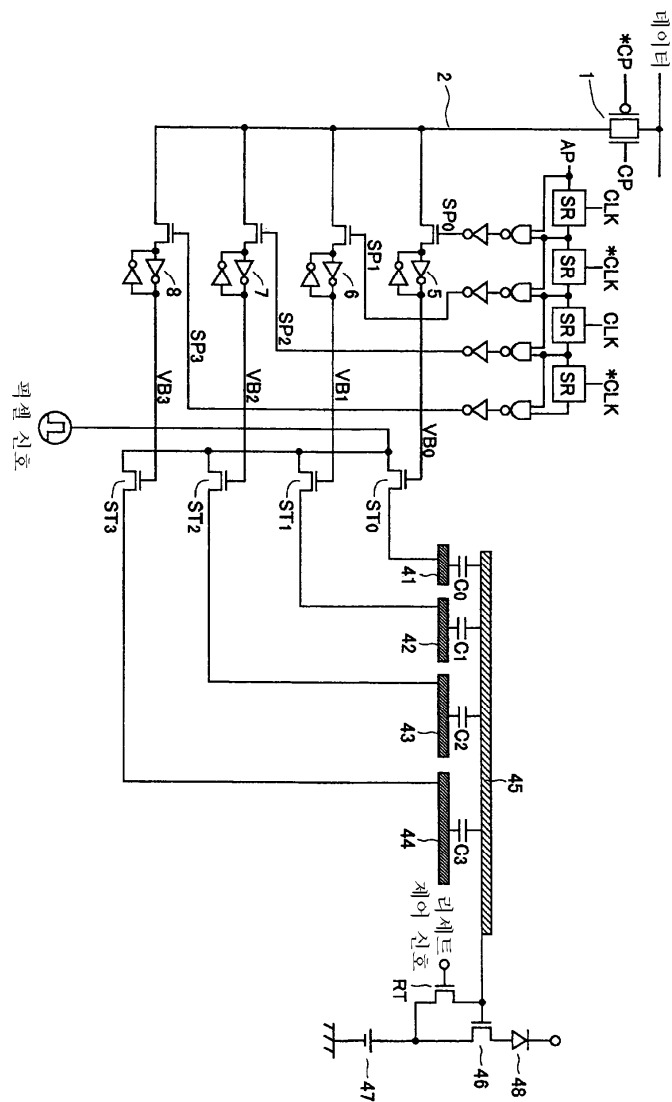
도면7



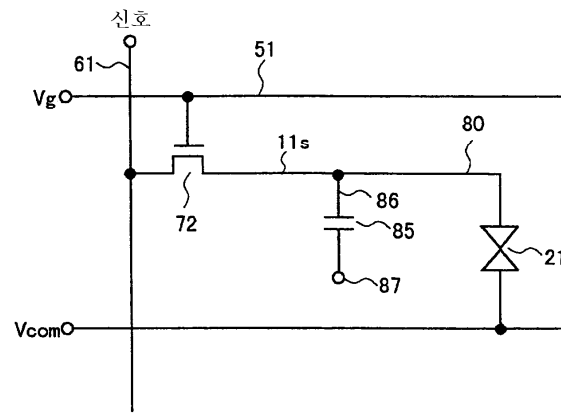
도면8



도면9



도면10



专利名称(译)	显示设备		
公开(公告)号	KR1020040010369A	公开(公告)日	2004-01-31
申请号	KR1020030050922	申请日	2003-07-24
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	SENDA MICHIRU 센다미찌루 AKIMA ISAO 아끼마이사오		
发明人	센다미찌루 아끼마이사오		
IPC分类号	G09G3/36 G02F1/133 G09F9/30 G09G3/32 G09G3/20 G09F9/35 G02F1/1368		
CPC分类号	G09G2300/0828 G09G2310/027 G09G3/3659 G09G3/3688 G09G2340/145 G09G3/3614 G09G3/32 G09G2300/0876		
代理人(译)	LEE , JUNG HEE CHANG, SOO KIL		
优先权	2002216674 2002-07-25 JP		
其他公开文献	KR100567306B1		
外部链接	Espacenet		

摘要(译)

旨在减少装配船的面板的框架面积减小，因为像素的外围电路的配置被简化。数字图像信号通过每个像素中的漏极信号线（2）串行传输。利用像素选择晶体管GT0~GT3对该数字图像信号进行采样，并在进行串行/并行转换后将DA转换器转换为模拟图像信号。该DA转换器包括像素电极（19）和多个电容电极（41~44），其电容耦合，其具有给出加权值的电容比，并且时钟供应器将周期时钟信号提供给多个电容。根据数字图像信号的电极（41~44）。模拟图像信号施加在像素电极（19）上。像素电极，图像信号，数据保持部分，液晶显示器，电容比。

