(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 특2003-0069783
(43) 공개일자 2003년08월27일

(21) 출원번호 10-2002-0074687
(22) 출원일자 2002년11월28일

(30) 우선권주장 1020020009354 2002년02월21일 대한민국(KR)

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 석준형
경기도용인시구성면보정리진산마을1161번지삼성5차아파트506동202호

이승우
서울특별시금천구독산1동293-10번지독산현대아파트102동1008호

김종선
경기도평택시독곡동동부아파트102동301호

최명렬
서울특별시송파구잠실동320번지우성아파트4차103동602호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 디지털 인터페이스 송수신 회로를 갖는 평판 디스플레이장치

요약

본 발명은 액정 표시 장치 등과 같은 평판 디스플레이 장치에서 그래픽 신호 생성 모듈과 액정 표시 모듈 사이 또는 액정 표시 모듈 내의 타이밍 제어 IC와 데이터 드라이버 IC 사이 등에 적용될 수 있는 디지털 데이터 송수신 회로에 관한 것이다.

본 발명의 디지털 데이터 송수신 회로에는 제1전류원과 제2전류원이 구비되어 있으며, 상기 제2전류원은 입력 데이터의 하위 비트 상태에 따라 공급 여부가 제어된다. 상기 제1 및 제2전류원이 합해지는 노드에는 송신단이 연결되어 있으며, 입력 데이터의 상위 비트 상태에 따라 상기 두 전류원에 의한 전류의 전송 경로가 결정된다. 상기 송신단의 신호는 전송선을 통해 전달되며, 상기 전송선에는 종단 저항이 연결되어 있다. 수신단은 상기 종단 저항에 걸리는 전압에 따라 출력 데이터를 검출한다. 본 발명의 디지털 데이터 송수신 회로는 하나의 클럭 주기동안 2비트의 데이터를 전송할 수 있고, 전압을 전송하는 방식에 비해 노이즈(noise)에 강하며, 장거리 전송에 효과적이다.

대표도

도 1

색인어

디지털 인터페이스, LVDS, TMDS, 전류 전달 방식

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시예에 따른 디지털 데이터 송수신 회로.

도 2는 상기 도 1에 도시된 회로의 동작을 설명하는 도표.

도 3a 내지 도 3d는 상기 도 1에 도시된 회로의 수신단에서 출력을 결정하는 원리는 설명하는 회로.

도 4a 및 도 4b는 상기 도 1에 도시된 회로의 출력전압 파형.

도 5a 내지 도 5e는 상기 도 1에 도시된 회로의 시뮬레이션 파형.

도 6은 본 발명의 제2실시예에 따른 디지털 데이터 송수신 회로.

도 7은 상기 도 6에 도시된 회로의 동작을 설명하는 도표.

도 8a 내지 도 8d는 상기 도 6에 도시된 회로의 수신단에서 출력을 결정하는 원리를 설명하는 회로.

도 9는 상기 도 6의 회로에 도시된 비교기의 세부 구성을 보여주는 회로.

도 10a 및 도 10b는 상기 도 6에 도시된 회로의 시뮬레이션 파형.

도 11은 본 발명의 제3실시예에 따른 디지털 데이터 송수신 회로.

도 12는 상기 도 11에 도시된 회로의 동작을 설명하는 도표.

도 13은 상기 도 11에 도시된 회로의 시뮬레이션 파형.

도 14는 본 발명의 제4실시예에 따른 디지털 데이터 송수신 회로.

도 15는 상기 도 14에 도시된 회로의 동작을 설명하는 도표.

도 16 내지 도 18은 상기 도 14에 도시된 회로의 시뮬레이션 파형.

도 19는 본 발명의 제5실시예에 따른 디지털 데이터 송수신 회로의 송신단 회로.

도 20은 본 발명의 제5실시예에 따른 디지털 데이터 송수신 회로의 수신단 회로.

도 21은 본 발명의 제5실시예에 따른 디지털 데이터 송수신 회로의 송신단 회로에서의 신호 파형.

도 22는 본 발명의 제5실시예에 따른 디지털 데이터 송수신 회로의 수신단 회로에서의 신호 파형.

(도면의 주요 부분에 대한 부호의 설명)

NM1 NM5 : NMOS 트랜지스터 11 : 전송선

12 : 출력 검출회로 13, 14, 15 : 비교기

16 : 논리합 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지털 데이터 송수신 회로에 관한 것으로서, 더욱 상세하게는 액정 표시 장치 등과 같은 평판 디스플레이 장치에서 그래픽 신호 생성 모듈과 액정 표시 모듈 사이 또는 액정 표시 모듈 내의 타이밍 제어 IC와 데이터 드라이버 IC 사이 등에 적용될 수 있는 디지털 인터페이스를 위한 송수신 회로를 갖는 평판 디스플레이 장치에 관한 것이다.

표시 장치 분야에서 음극선관(CRT : Cathode-Ray tube)은 공간을 많이 차지하고 전력 소비가 크기 때문에 점차 평판 디스플레이 장치로 대체되고 있는 추세이다. 특히, 액정 표시 장치(LCD : Liquid Crystal Display)는 대형화, 고화질, 경박화, 저소비 전력화의 진행에 따라, 이러한 평판 디스플레이 분야에서도 특히 각광받고 있다.

이러한 액정 표시 장치에서는 그래픽 데이터를 생성하는 모듈과 액정 표시 모듈 사이, 또는 액정 표시 모듈 내에서 타이밍 제어 IC와 데이터 드라이버 IC 사이의 데이터 전송을 위해 디지털 인터페이스(digital interface)가 요구된다. 이러한 디지털 인터페이스는 디지털 처리된 화상 데이터를 부가적인 데이터 처리회로 없이 직접적으로 전송하는 것을 가능하게 하므로, 저비용, 저소비전력 및 고품질의 표시장치를 구현시킨다.

일반적으로, SVGA급 해상도까지는 TTL/CMOS 인터페이스를 사용한 데이터 전송이 주로 사용되지만, XGA급 이상에서는 타이밍 마진, EMI, EMC 등의 기술적 난관을 극복하기 위하여 LVDS, TMDS, RSDS 방식과 같은 디지털 인터페이스가 사용된다.

한편, 액정 표시 장치가 대화면화할수록 이러한 디지털 인터페이스에 대해서도 데이터 전송율의 향상, 데이터 전송시의 전력소비 감소, EMI 향상 및 노이즈에 대한 적응성의 관점에서 많은 개량이 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 기술적 배경 하에 이루어진 것으로서, LVDS 방식을 변형하여 하나의 클럭 주기 동안에 2비트의 데이터를 전송할 수 있는 디지털 인터페이스를 위한 송수신 회로를 제공하는 데에 제1목적이 있다.

본 발명의 제2목적은 TMDS 방식을 변형하여 하나의 클럭 주기 동안에 2비트의 데이터를 전송할 수 있는 디지털 인터페이스를 위한 송수신 회로를 제공하는 데에 있다.

본 발명의 제3목적은 전류 전달 방식을 이용하여 하나의 클럭 주기 동안에 2비트의 데이터를 전송할 수 있는 디지털 인터페이스를 위한 송수신 회로를 제공하는 데에 있다.

본 발명의 제4목적은 전류 전달 방식을 이용하여 하나의 클럭 주기 동안에 3비트의 데이터를 전송할 수 있는 디지털 인터페이스를 위한 송수신 회로를 제공하는 데에 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 디지털 인터페이스를 위한 송수신 회로는

제1전류원, 입력 데이터의 하위 비트 상태에 따라 공급 여부가 제어되는 제2전류원, 상기 제1 및 제2전류원이 합해지는 노드에 연결되어 입력 데이터의 상위 비트 상태에 따라 상기 두 전류원에 의한 전류의 전송 경로를 결정하는 트랜지스터 회로로 구성된 송신단;

상기 송신단의 신호를 전달하기 위한 전송선; 및,

상기 전송선에 연결된 종단 저항과, 상기 종단 저항에 걸리는 전압에 따라 출력 데이터를 검출하는 출력 검출회로로 구성된 수신단을 포함한다.

상기한 본 발명의 구성에서, 상기 제2전류원은 게이트에 상기 입력 데이터의 하위 비트가 인가된 트랜지스터를 경류하도록 구성되어 있다. 상기 트랜지스터 회로는 상기 두 전류원이 합해지는 노드에, 드레인과 소스가 순차적으로 연결된 한 쌍의 트랜지스터와, 상기 한 쌍의 트랜지스터에 병렬로 형성된 또 한 쌍의 트랜지스터로 구성되며, 상기 각 쌍의 트랜지스터 사이의 접점은 상기 전송선과 연결되며, 상기 각 트랜지스터 중 대칭인 위치에 있는 트랜지스터에 입력

데이터의 상위 비트와 그 반전 비트가 각각 인가되도록 구성되어 있다.

이와 같이 구성함으로써, 하나의 클럭 주기동안 2비트의 데이터를 전송할 수 있고, 또한, 전류 전달 방식을 이용함으로써 전압을 전송하는 방식에 비해 노이즈(noise)에 강하며, 장거리 전송에 효과적이다.

상기 설명된 본 발명의 목적, 기술적 구성 및 그 효과는 아래의 실시예에 대한 설명을 통해 보다 명백해질 것이다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

먼저, 도 1 내지 도 5를 참조하여 본 발명의 제1실시예에 따른 디지털 데이터 송수신 회로를 설명한다.

도 1에 도시된 제1실시예에 따른 디지털 데이터 송수신 회로는 기존의 LVDS 방식을 개량한 것으로서, 하나의 클럭 주기 동안에 2비트의 데이터를 전송할 수 있는 회로이다.

상기 도 1에 도시된 바와 같이, 제1실시예에 따른 디지털 데이터 송수신 회로는 크게 송신단, 수신단 및 이들 송신단과 수신단을 연결시키는 전송선(11)으로 이루어져 있다.

상기 송신단은 항상 공급되는 하나의 전류원, 입력 데이터의 하위 비트 상태에 따라 공급여부가 제어되도록 NMOS 트랜지스터(NM1)를 경유하여 상기 전류원에 합해지는 또다른 전류원, 상기 두 전류원이 합해지는 노드에 연결되어 입력 데이터의 상위 비트 상태에 따라 상기 전류원의 전송 경로를 결정하는 4개의 NMOS 트랜지스터로 구성된다.

보다 상세하게, 상기 두 전류원이 합해지는 노드에, 드레인과 소스가 순차적으로 연결된 한 쌍의 NMOS 트랜지스터(NM2, NM4), 상기 노드에 드레인과 소스가 순차적으로 연결된 한 쌍의 NMOS 트랜지스터(NM3, NM5)가 구비되어 있다. 상기 각 NMOS 트랜지스터 사이의 접점은 전송선(11)과 연결되고, 이 전송선의 양단에는 종단 저항으로서 저항(R)이 연결된다.

입력 데이터(D1, D2)는 하나의 클럭 주기 동안에 2비트씩 입력되며, 입력 데이터(D1, D2)의 상위 비트(D1)는 NMOS 트랜지스터(NM3, NM4)의 게이트에 각각 인가되고, 상기 상위 비트의 반전 비트(/D1)는 NMOS 트랜지스터(NM2, NM5)에 각각 인가된다. 따라서, 상기 상위 비트(D1)의 상태에 따라, NMOS 트랜지스터(NM2, NM5) 또는 NMOS 트랜지스터(NM3, NM4)가 동시에 턴온된다. 여기서, 상기 상위 비트(D1)는 송신단 전류의 방향 정보를 나타내며, 상기 하위 비트는 전류량 정보를 나타낸다고 말할 수도 있다.

한편, 입력 데이터의 하위 비트(D2)의 상태에 따라, NMOS 트랜지스터(NM1)가 턴온 또는 턴오프됨으로써 또다른 전류원(I_D)의 공급여부가 결정된다.

상기 수신단은 전송선(11)의 양단에 연결된 종단 저항(R)과, 이 저항(R)의 양단에 연결된 출력 검출회로(12)로 이루어져 있다. 상기 출력 검출회로(12)는 3개의 비교기(13, 14, 15)와 논리합 소자(16)로 이루어져 있다. 상기 비교기(13)의 양의 입력단에는 a 노드가 연결되고 음의 입력단에는 b 노드가 연결되며, 상기 비교기(14)의 양의 입력단에는 a 노드가 연결되고 음의 입력단에는 레퍼런스 전압(Vref)이 인가되며, 상기 비교기(15)의 양의 입력단에는 b 노드가 연결되고 음의 입력단에는 레퍼런스 전압(Vref)이 인가된다. 상기 비교기(13)의 출력은 수신단의 출력(out1)으로 제공되고, 상기 두 비교기(14, 15)의 출력은 논리합 소자(16)에 의해 논리합된 후, 수신단의 출력(out2)으로 제공된다. 상기 비교기의 레퍼런스 전압(Vref)은 전원전압-1.5I_R으로 설정된다.

도 2에 도시된 도표에는 입력 데이터(D1, D2)의 상태에 따라 종단 저항(R)에 흐르는 전류(I_R)와 그 양단 전압(Va-Vb)이 나타내어져 있다. 예를 들어, 입력 데이터 (D1, D2)가 (0, 1)이라면, 종단 저항(R)에 흐르는 전류의 방향은 b 노드에서 a 노드를 향하는 방향이며, 그 양은 2I_D가 된다. 반대로, 입력 데이터 (D1, D2)가 (1, 0)이라면, 종단 저항(R)에 흐르는 전류의 방향은 a 노드에서 b 노드를 향하는 방향 이며, 그 양은 I_D가 된다.

도 3a 내지 도 3d에는 수신단에서 전송된 신호에 대한 출력값을 결정하는 원리가 나타내어져 있다.

도 3a를 참조하면, 입력 데이터 (D1, D2)가 (0, 0)일 때, 종단 저항(R)에는 b 노드에서 a 노드를 향해 I_D의 크기를 갖는 전류가 흘러서, 출력(out1) 값은 '0'이 되고, 출력(out2) 값은 '0'이 된다. 도 3b에서, 입력 데이터(D1, D2)가 (0, 1)일 때에는, 종단 저항(R)에 b 노드에서 a 노드를 향해 2I_D의 크기를 갖는 전류가 흘러서, 출력(out1) 값은 '0'이 되고, 출력(out2) 값은 '1'이 된다. 도 3c에서는, 입력 데이터 (D1, D2)가 (1, 0)일 때, 종단 저항(R)에 a 노드에서 b 노드를 향해 I_D의 크기를 갖는 전류가 흘러서, 출력(out1) 값은 '1'이 되고, 출력(out2) 값은 '0'이 된다. 도 3d에서는, 입력 데이터 (D1, D2)가 (1, 1)일 때, 종단 저항(R)에 a 노드에서 b 노드를 향해 2I_D의 크기를 갖는 전류가 흘러서, 출력(out1) 값은 '1'이 되고, 출력(out2) 값은 '1'이 된다.

따라서, 상기 출력 검출회로(12)의 출력(out1)은 입력 데이터의 상위 비트(D1)에 대한 수신 결과가 되며, 출력(out2)은 입력 데이터의 하위 비트(D2)에 대한 수신 결과가 된다. 한편, 상기 각 비교기(14, 15)에 설정되는 레퍼런스 전압은 전원전압-1.5I_R이다.

도 4a 및 도 4b에는 종단 저항(R)에 걸리는 전압의 파형이 도시되어 있다. 즉, 입력 데이터에 따라 전압 스윙(voltage swing)은 최대 4I_DR이 된다. 입력 데이터 (D1, D2)가 (0, 1)에서 (1, 1)로 변할 때, 최대 전압 스윙이 발생하며, 이 때 전력 소비도 가장 많다.

도 5a 내지 도 5e에는 도 1에 도시된 회로의 각 신호에 대한 시뮬레이션 결과가 나타내어져 있다. 상기 시뮬레이션에는 HSPICE 프로그램이 사용되었다.

도 5a에는 입력데이터의 상위 비트(D1)의 파형이 도시되어 있고, 도 5b에는 입력데이터의 하위 비트(D2)의 파형이 도시되어 있으며, 도 5c에는 종단 저항 양단 전압(Va-Vb, Vb-Va)의 파형이 도시되어 있으며, 도 5d에는 수신단의 출력(out1, out2)의 파형이 도시되어 있으며, 도 5e에는 도면에 도시하지 않은 디코더를 거쳐서 얻어진 파형으로서, 원래의 데이터가 복원된 값이다. 본 시뮬레이션에서는 3.5 mA의 두 개의 전류원이 사용되었고, 전송선은 무손실 전송선이며, 특성 임피던스는 100으로 모델링 하였으며, 로드 커패시턴스는 30pF로 하였다. 상기 도 5e에서는, 송신단의 입력 데이터 D1(0, 1, 1, 0)과 D2(0, 1, 0, 1)에 대하여, 수신단에서 디코더(decoder, 도시하지 않음)에 의해 배타적 논리합(exclusive OR) 연산을 실행하여 얻어진 원래의 홀수 번째 데이터 (0, 0, 1, 1)과 짝수 번째 데이터 (0, 1, 0, 1)의 복원 결과가 도시되어 있다. 송신단에서 전송하고자 한 원래의 데이터는 (0, 0, 0, 1, 1, 0, 1, 1)이다.

즉, 본 발명의 제1실시예에 따른 디지털 데이터 송수신 회로는 하나의 클럭 주기동안 2비트의 데이터를 전송할 수 있다.

다음으로, 도 6 내지 도 10을 참조하여 본 발명의 제2실시예에 따른 디지털 데이터 송수신 회로를 설명한다.

도 6에 도시된 제2실시예에 따른 디지털 데이터 송수신 회로는 기존의 TMDS 방식을 개량한 것으로서, 하나의 클럭 주기 동안에 2비트의 데이터를 전송할 수 있는 회로이다.

상기 도 6에 도시된 바와 같이, 제2실시예에 따른 디지털 데이터 송수신 회로는 크게 송신단, 수신단 및 이들 송신단과 수신단을 연결시키는 전송선(30)으로 이루어져 있다. 상기 전송선(30)은 두 개의 전류 경로(I1, I2)를 가지고 있다.

상기 송신단은 기준전류(Iref)를 생성하기 위한 전류원과 NMOS 트랜지스터(NM1), 상기 전송선(30)의 두 전류 경로에 각각 연결되고, 상기 NMOS 트랜지스터(NM1)에 대해 미러 관계인 두 개의 병렬 연결된 NMOS 트랜지스터(NM2, NM3; NM4, NM5), 상기 각 NMOS 트랜지스터(NM2, NM3, NM4, NM5)가 위치한 경로의 도통 여부를 제어하기 위한 스위칭 트랜지스터(S1, S2, S3, S4), 입력 데이터(D1, D2)의 2비트를 이용하여 상기 각 스위칭 트랜지스터(S1, S2, S3, S4)의 입력 조건을 결정하기 위한 게이트 소자(21, 22, 23)로 구성된다.

상기 수신단은 전원전압과 상기 전송선(30)의 각 전류 경로 사이에서 두 개의 직렬 연결된 저항으로 구성된 부하 회로와, 상기 부하 회로의 소정 노드의 전압값을 토대로 출력을 결정하는 출력 검출회로(40)로 구성된다. 상기 출력 검출회로(40)는 3개의 비교기(41, 42, 43)와, 상기 두 비교기(42, 43)의 출력을 논리합 연산하는 게이트 소자(44)로 구성된다. 상기 비교기의 출력은 출력 데이터(D1')로 제공되고, 상기 게이트 소자(44)의 출력은 출력 데이터(D2')로 제공된다.

본 발명의 제2실시예에 따른 디지털 데이터 송수신 회로의 송신단(20)은 2비트의 입력 데이터(D1, D2)에 의해 전송선(30)의 두 전류 경로에 흐르는 전류(I1, I2)를 결정하여 이들 입력 데이터가 전송되도록 한다. 수신단의 출력 데이터(D1')는 입력 데이터 (D1)이 전송된 결과이고, 출력 데이터(D2')는 입력 데이터 (D2)가 전송된 결과이다.

상기 수신단에서 출력 데이터 (D1')이 전송되는 원리는 전송선(30)의 전류 I1과 I2의 양을 상기 부하회로에 의해 전압으로 변환한 후 이를 비교해서, 만약 I1이 I2보다 크다면, 출력 데이터(D1')가 '0'이 되고, I1이 I2보다 작다면, 출력 데이터(D1')가 '1'이 된다. 또한, 출력 데이터(D2')는 전류 I1과 I2의 차이 정도에 따라서 값이 결정되는데, 만일 두 전류의 차이가 2Iref라면 '1'이 된다. 이것은 두 전류 중 하나가 3Iref일 경우를 의미한다. 상기 전류 I1, I2가 가질수 있는 값은 송신단(20)의 회로를 살펴보면, Iref, 2Iref, 3Iref 중 하나 임을 알 수 있다.

송신단(20)의 스위칭 트랜지스터(S1, S2, S3, S4)는 입력데이터(D1, D2)의 값에 따라 도통여부가 제어되며, 이에 따라, 미리 설정된 전류 값을 생성하도록 구성된 NMOS 트랜지스터(NM2, NM3, NM3, NM4)가 위치한 전류 경로의 도통 여부가 제어된다. 도 6에 도시된 바와 같이, NMOS 트랜지스터(NM2)는 전류원과 NMOS 트랜지스터(NM1)에 의해 기준 전류(Iref)와 동일한 값을 생성하며, NMOS 트랜지스터(NM3)는 기준 전류(Iref)의 두배의 값을 생성하며, NMOS 트랜지스터(NM4)는 기준 전류(Iref)와 동일한 값을 생성하며, NMOS 트랜지스터(NM5)는 기준 전류(Iref)의 두

배의 값을 생성하므로, 전송선(30)의 각 전류 경로의 전류 I1, I2가 가질수 있는 전류량은 1Iref, 2Iref, 3Iref이다.

도 7에는 입력데이터(D1, D2)에 따른 스위칭 트랜지스터(S1, S2, S3, S4)의 온/오프 상태와 전송선(30)의 각 전류 경로의 전류(I1, I2)가 도표로 정리되어 있다. 예를 들어, 입력데이터(D1, D2)가 (1, 0)일 때에는, 스위칭 트랜지스터(S1, S4)만 턴온되어, 전류 I1은 Iref가 되고, 전류 I2는 2Iref가 된다.

도 8a 내지 도 8d에는 입력데이터(D1, D2)에 의해 전송되는 전류에 따라 수신단에서 신호를 복원하는 원리가 나타내어 있다. 상기 도 8a 내지 도 8d에서 각 비교기(41, 42, 43)는 양(+)의 입력단 전압이 음(-)의 입력단 전압보다 클 경우에는 하이(high) 레벨을 출력하고, 그렇지 않을 경우에는 로우(low) 레벨을 출력한다.

도 8a에서는, 입력데이터(D1, D2)가 (0, 0)일 때, 상기 도 7의 도표로부터 I1 = 2Iref, I2 = Iref로 되고, a 노드의 전압 Va = Vdd - 25*2Iref, b 노드의 전압 Vb = Vdd - 50*2Iref, c 노드의 전압 Vc = Vdd - 25*Iref, d 노드의 전압 Vd = Vdd - 50*Iref로 되어, 출력데이터(D1', D2')는 (0, 0)가 된다. 여기서, Vdd는 일반적인 전원전압이다.

도 8b에서는, 입력데이터(D1, D2)가 (1, 0)일 때, 상기 도 7의 도표로부터 I1 = Iref, I2 = 2Iref로 되고, a 노드의 전압 Va = Vdd - 25*Iref, b 노드의 전압 Vb = Vdd - 50*Iref, c 노드의 전압 Vc = Vdd - 25*2Iref, d 노드의 전압 Vd = Vdd - 50*2Iref로 되어, 출력데이터(D1', D2')는 (1, 0)가 된다.

도 8c에서는, 입력데이터(D1, D2)가 (0, 1)일 때, 상기 도 7의 도표로부터 I1 = 3Iref, I2 = Iref로 되고, a 노드의 전압 Va = Vdd - 25*3Iref, b 노드의 전압 Vb = Vdd - 50*3Iref, c 노드의 전압 Vc = Vdd - 25*Iref, d 노드의 전압 Vd = Vdd - 50*Iref로 되어, 출력데이터(D1', D2')는 (0, 1)가 된다.

도 8d에서는, 입력데이터(D1, D2)가 (1, 1)일 때, 상기 도 7의 도표로부터 I1 = Iref, I2 = 3Iref로 되고, a 노드의 전압 Va = Vdd - 25*Iref, b 노드의 전압 Vb = Vdd - 50*Iref, c 노드의 전압 Vc = Vdd - 25*3Iref, d 노드의 전압 Vd = Vdd - 50*3Iref로 되어, 출력데이터(D1', D2')는 (1, 1)가 된다.

도 9에는 상기 도 6의 회로에 사용된 비교기(41, 42, 43)의 세부 구조이다. 상기 도 9를 참조하면, 비교기는 선증폭(preamplification)부(411), 양의 입력단과 음의 입력단의 전압값에 따라 출력을 결정하는 비교부(412), 출력 버퍼(413)로 구성되어 있다.

도 10a 및 도 10b에는 본 발명의 제2실시예에 따른 디지털 데이터 송수신 회로의 HSPICE 시뮬레이션 결과가 나타내어져 있다.

도 10a에는 입력 데이터(Din1, Din2)에 따라 도 6의 스위칭 트랜지스터(S1, S2, S3, S4)의 게이트 전압과 전송선에 흐르는 전류(I1, I2)의 관계가 도시되어 있다. 도 10b에는 수신단 부하회로의 각 노드 전압(Va, Vb, Vc, Vd)과 출력 데이터(Dout1, Dout2) 사이의 관계가 도시되어 있다. 도 10b의 상단에서의 전압 스윙은 노드 a, b, c, d 사이의 저전압 스윙(low voltage swing)을 보여주고 있으며, 도 10a에서와 같이, 입력데이터 Din1과 Din2가 각각 (0, 1, 0, 1), (0, 0, 1, 1)으로 차례로 입력될 때, 출력 데이터 Dout1과 Dout2가 각각 (0, 1, 0, 1), (0, 0, 1, 1)으로 출력되어 그 전송결과가 올바르다는 것을 알 수 있다.

본 실시예에서는, 각 비교기의 양의 입력단과 음의 입력단에서의 전압차인 Vbc, Vbd 및 Vba는 전류의 양에 따라 25오옴의 종단 저항에서 최대 약 3Iref*25 V가 된다. 여기서, Iref는 7mA로 하였으며, 전송선의 특성 임피던스는 약 100오옴으로 하였다.

다음으로, 도 11 내지 도 13을 참조하여 본 발명의 제3실시예에 따른 디지털 데이터 송수신 회로를 설명한다.

도 11에 도시된 제3실시예에 따른 디지털 데이터 송수신 회로는 CM-MVL(Current Mode Multi-Valued Logic)을 이용한 것으로서, 신호 전송시의 노이즈에 강하면서도 하나의 클럭 주기 동안에 2비트의 데이터를 전송할 수 있는 회로이다.

상기 도 11에 도시된 바와 같이, 제3실시예에 따른 디지털 데이터 송수신 회로는 크게 송신단, 수신단 및 이들 송신단과 수신단을 연결시키는 전송선(50)으로 이루어져 있다.

상기 송신단은 두 개의 전류 경로를 가지며, 소정의 전류값(Iref, 2Iref)을 상기 각 전류 경로에 형성시키는 전류원과, 상기 각 전류 경로에 연결되어 입력데이터(D1, D2)에 따라 상기 각 전류 경로의 도통을 제어하며, 상기 두 전류 경로를 합쳐서 상기 전송선(50)에 연결시키는 NMOS 트랜지스터(NM2, NM3)로 이루어져 있 다. 상기 전류원은 전원전압과 접지 사이에서 직렬로 연결된 PMOS 트랜지스터(PM1) 및 NMOS 트랜지스터(NM1)와, 상기 PMOS 트랜지스터(PM1)에 대해 미러 관계로 동작하도록 연결되며 각각 소정의 전류값(Iref, 2Iref)을 갖는 전류 경로를 형성하는 두개의

PMOS 트랜지스터(PM2, PM3)로 구성된다.

상기 송신단의 전류원은 MOS 트랜지스터의 조합으로 이루어지며, 보다 구체적으로, 전원전압과 접지 사이에서 각 게이트가 공통접속되고 서로 직렬로 연결된 PMOS 트랜지스터(PM1) 및 NMOS 트랜지스터(NM1)와, 상기 PMOS 트랜지스터(PM1)에 대해 미러(mirror) 관계로 연결되고 각각 Iref, 2Iref의 전류 값을 갖는 전류 경로를 형성하는 PMOS 트랜지스터(PM2, PM3)로 구성된다.

상기 수신단은 0.5Iref, 1.5Iref, 2Iref의 전류 값을 각각 갖는 전류 경로를 형성시키는 전류원과, 상기 전송선(50)을 통해 전달된 전류를 상기 3개의 전류 경로에 전달하기 위한 트랜지스터(NM4, NM5, NM6, NM7)와, 상기 3개의 전류 경로에서의 전류 차이에 따라 출력 데이터를 검출하는 게이트 소자(51, 52, 53)로 이루어져 있다. 상기 수신단에서 노드 B의 신호는 반전기(51)에 의해 반전된후, 출력 데이터(D2)로서 제공되고, 상기 반전기(51)의 출력과 노드 C의 신호는 논리곱 소자(52)에 의해 논리곱 연산된 후, 노드 A의 신호와 함께 NOR 게이트 소자(53)에 출력되고, NOR 게이트 소자(53)는 이들 신호를 NOR 연산하여 출력 데이타(D1)으로서 제공한다.

도 11에 도시된 바와 같이, 제3실시예에 따른 디지털 데이터 송수신 회로는 별도의 전류원 없이 MOS 트랜지스터의 조합에 의해 전류가 발생되고, 입력 데이터 에 의해 해당 MOS 트랜지스터(NM2, NM3)가 온/오프될 때에만 전력이 소비되므로, 저전력 구동을 가능하게 한다. 또한, 상기 제3실시예에 따른 디지털 데이터 송수신 회로에서는 전송선(50)을 통해 전달된 전류가 수신단의 3개의 전류 경로에서 발생하고, 각 전류 경로에 미리 설정해 놓은 전류값과의 차이를 게이트 소자들에 의해 검출함으로써 출력데이터가 생성된다. 즉, MOS 트랜지스터의 특성상 2.5V 이상이면, 하이 레벨로 인식하고 그 이하이면 로우(low) 레벨로 인식하므로, 회로의 전체적인 전송속도가 향상된다. 또한, 전류 전달 방식이 채택되었기 때문에 데이터 전송시에 발생하는 노이즈에 강한 특성을 가지게 된다.

도 12에는 입력 데이터(D1, D2)에 대한 수신단의 각 노드의 신호 상태와, 게이트 소자들의 출력값이 도시되어 있다. 도 12에서, Inverter1은 반전기(51)의 출력을 가리키고, Inverter2는 NOR 게이트 소자(53)의 출력을 가리킨다.

도 13에는 입력 데이터(D1, D2)로서 00, 10, 01, 11을 순차적으로 입력했을 때, 각 노드 A, B, C에서 출력되는 신호를 SPICE 프로그램으로 시뮬레이션한 결과가 도시되어 있다.

다음으로, 도 14 내지 도 18을 참조하여 본 발명의 제4실시예에 따른 디지털 데이터 송수신 회로를 설명한다.

본 발명의 제4실시예에 따른 디지털 데이터 송수신 회로는 하나의 클럭 주기 동안에 3비트를 전송할 수 있는 회로이다.

상기 제4실시예에 따른 디지털 데이터 송수신 회로는 상기 제3실시예의 회로를 확장함으로써 설계할 수 있다.

상기 도 14에 도시된 바와 같이, 제4실시예에 따른 디지털 데이터 송수신 회로는 크게 송신단, 전송선, 수신단으로 이루어져 있다.

상기 송신단은 3개의 전류 경로를 가지며, 소정의 전류값(I, 2I, 4I)를 상기 각 전류 경로에 형성시키는 전류원과, 상기 각 전류 경로에 연결되어 입력데이터(D1, D2, D3)에 각각 대응하여 상기 각 전류 경로의 도통을 제어하며, 상기 세개의 전류 경로를 합쳐서 전송선('Iin'이 표시된 곳)에 연결시키는 NMOS 트랜지스터(NM2, NM3, NM4)로 이루어져 있다. 상기 전류원은 전원전압과 접지 사이에서 직렬로 연결된 PMOS 트랜지스터(PM1) 및 NMOS 트랜지스터(NM1)와, 상기 PMOS 트랜지스터(PM1)에 대해 미러 관계로 동작하도록 연결되며, 각각 소정의 전류값(I, 2I, 4I)을 갖는 전류 경로를 형성하는 3개의 PMOS 트랜지스터(PM2, PM3, PM4)로 구성된다. 보다 구체적으로, 전원전압과 접지 사이에서 각 게이트가 공통 접속되고 서로 직렬로 연결된 PMOS 트랜지스터(PM1) 및 NMOS 트랜지스터(NM1)와, 상기 PMOS 트랜지스터(PM1)에 대해 미러(mirror) 관계로 연결되고 각각 I, 2I, 4I의 전류 값을 갖는 전류 경로를 형성하는 PMOS 트랜지스터(PM2, PM3, PM4)로 구성된다. 상기 각 PMOS 트랜지스터(PM2, PM3, PM4)의 소스는 상기 각 NMOS 트랜지스터(NM2, NM3, NM4)의 드레인에 각각 연결되며, 상기 각 NMOS 트랜지스터의 공통 연결된 소스는 전송선과 연결된다.

상기 수신단은 0.5I, 1.5I, 2.5I, 3.5I, 4.5I, 5.5I, 6.5I의 전류 값을 각각 갖는 전류 경로를 형성시키는 전류원과, 상기 전송선을 통해 전달된 전류를 상기 7개의 전류 경로에 전달하기 위한 NMOS 트랜지스터(NM6, NM7, NM8, NM9, NM10, NM11, NM12)와, 상기 7개의 전류 경로에서의 전류 차이에 따라 출력 데이터를 검출하는 출력 검출회로(60)로 이루어져 있다. 상기 7개의 PMOS 트랜지스터(PM6 PM12)의 소스와 상기 7개의 NMOS 트랜지스터(NM6 NM12)의 드레인은 서로 연결되며, 이 연결에 의해 생성되는 노드(A, B, C, D, E, F, G)의 신호들은 출력 검출회로(60)에 제공된다. 한편, 상기 각 PMOS 트랜지스터(PM6 PM12)에는 미러 관계로 연결되는 한 쌍의 PMOS 트랜지스터(PM5)와 NMOS 트랜지스터(NM13)가 연결된다.

상기 출력 검출회로(60)는 7개의 노드(A, B, C, D, E, F, G)의 신호를 입력받아 소정의 논리 연산을 통해 3비트의 출력 데이터(D1, D2, D3)를 생성한다. 각 출력 데이터를 노드 신호로 표현하면, D1=/AB+/CD+/EF+/G 이고, D2=/BD+/F이고, D3=/D이다. 상기 출력 검출회로(60)의 각 게이트 소자는 위 수식을 만족시키도록 논리소자가 구성되어 있다. 보다 구체적으로, 노드 A의 신호가 반전기(61)에 의해 반전된 후, 노드 B의 신호와 함께 논리곱 소자(67)에 제공되고, 노드 C의 신호가 반전기(62)에 의해 반전된 후, 노드 D의 신호와 함께 논리곱 소자(68)에 제공되고, 노드 E의 신호가 반전기(63)에 의해 반전된 후, 노드 F의 신호와 함께 논리곱 소자(69)에 제공된다. 노드 B의 신호가 반전기(65)에 의해 반전된 후 노드 D의 신호와 함께 논리곱 소자(70)에 제공된다. 노드 D의 신호가 반전기(71)에 의해 반전된 후, 출력데이터(D3)로서 제공된다. 노드 F의 신호가 반전기(66)에 의해 반전된 후, 상기 논리곱 소자(70)의 출력과 함께 논리합 소자(73)에 출력되며, 상기 논리합 소자(73)의 출력은 출력 데이터(D2)로서 제공된다. 상기 노드 G의 신호가 반전기(64)에 의해 반전된 후, 상기 논리곱 소자(67, 68, 69)의 출력과 함께 논리합 소 자(72)에 입력되며, 상기 논리합 소자(72)의 출력은 출력 데이터(D1)로서 제공된다.

상기 제4실시예에 따른 디지털 데이터 송수신 회로에서는, 송신단에서 전류 미러를 이용하여 특정한 전류원 없이 MOS 트랜지스터의 조합에 의해 I, 2I, 4I의 전류가 발생되고, 3비트의 입력데이터(D1, D2, D3)에 의해 상기 MOS 트랜지스터(NM2, NM3, NM4)가 스위칭됨으로써, 전송선에 I부터 7I까지의 전류가 공급된다. 만약, 기준 전류 I를 0.5mA로 설정하면, 전송선에는 0.5mA에서 3.5mA까지의 전류가 흐르게 된다. 이러한 디지털 데이터 송수신 회로에서는, MOS 트랜지스터가 온/오프 될 경우에만 전력이 소비되므로, 저전력 구동이 가능해진다.

상기 제4실시예에 따른 디지털 데이터 송수신 회로의 수신단에서의 데이터 복원 원리는 다음과 같다. 즉, 전송선을 통해 전달된 I부터 7I까지의 전류는 전류 미러인 트랜지스터(NM5)를 통해 7개의 NMOS 트랜지스터(NM6 NM12)에 동일하게 전달된다. 또한, 상기 각 PMOS 트랜지스터(PM6 PM12)에는 전류 미러를 이용하여 0.5I, 1.5I, 2.5I, 3.5I, 4.5I, 5.5I, 6.5I의 전류가 흐르게 된다. 이 때, 출력 검출회로(60)에 의해 상기 PMOS 트랜지스터(PM6 PM12)와 NMOS 트랜지스터(NM6 NM12) 사이의 노드(A, B, C, D, E, F, G)에서의 신호를 통해, 위쪽과 아래쪽에 흐르는 전류를 비교하여 각 전류 경로에 흐르는 전류의 차에 의해 출력 데이터를 복원시킨다. 이렇게 발생된 신호는 MOS 소자의 특성상 2.5V 이상일 경우에는 하이(high) 레벨로 인식하고, 그 이하이면 로우(low) 레벨로 인식하므로, 빠른 전송속도가 구현될 수 있다.

도 15에는 입력 데이터(D1, D2, D3)와, 수신단의 각 노드(A, B, C, D, E, F, G)의 신호와, 출력 데이터(D1, D2, D3)의 관계가 도시되어 있다.

도 16 내지 도 18의 도면은 상기 제4실시예에 따른 디지털 데이터 송수신 회로를 HSPICE 프로그램으로 시뮬레이션한 결과를 나타내고 있다. 상기 시뮬레이션은 20MHz 데이터 전송을 가정하여 수행되었으며, 전송선의 특성 임피던스는 100오옴으로 모델링되었다.

도 16은 3비트의 입력 데이터(D1, D2, D3)에 따른 전송선의 전류량을 나타내고 있다. 입력 데이터(D1, D2, D3)의 비트 상태에 따라 NMOS 트랜지스터(NM2, NM3, NM4)가 스위치로 동작하여 전송선에 0부터 7I까지의 전류가 흐르게 된다.

도 17은 전송선으로 들어오는 전류량과 수신단에서 전류 미러에 의해 생성된 전류량을 비교하여 생성된 전류가 더 큰 경우에는 5V, 작은 경우에는 0V 로 나타낸 노드 A, B, C, D, E, F, G에서의 전압을 나타내고 있다.

도 18은 제4실시예에 따른 디지털 데이터 송수신 회로에서의 입력 데이터와 복원된 출력 데이터의 관계를 도시하고 있다. 상기 제4실시예에 따른 디지털 데이터 송수신 회로에서는, 송신단과 수신단 사이의 딜레이(delay)가 약 8ns로서, 이론적으로는 최대 100 MHz까지의 데이터 전송이 가능하다. 그러나, 실제로는 MOS 소자의 특성상 그 정도의 속도는 나오지 않는다. 이러한 전송 속도 문제는 회로 구조를 최적화시킴으로써 개선될 수 있다.

다음으로, 도 19 내지 도 22를 참조하여 본 발명의 제5실시예에 따른 디지털 데이터 송수신 회로를 설명한다.

본 발명의 제5실시예에 따른 디지털 데이터 송수신 회로는 하나의 클럭 주기 동안에 2비트를 전송할 수 있는 회로이다. 상기 제5실시예는 송신단에서 전류 싱크와 전류 소스를 함께 사용함으로써 전송되는 전류의 안정성이 증가한다는 점과, 일정한 공통 전압에 의해 동작한다는 점에 있어서 다른 실시예들과 구별된다.

도 19에는 제5실시예에 따른 디지털 데이터 송수신 회로의 송신단 회로가 도시되어 있고, 도 20에는 제5실시예에 따른 디지털 데이터 송수신 회로의 수신단 회로가 도시되어 있다. 상기 제5실시예에 따른 디지털 데이터 송수신 회로에서는 전송하고자 하는 디지털 데이터가 2비트(D0D1)이고, 전류 전달 방식을 이용함으로써 상기 디지털 데이터가 전류 형태로 송신단에서 수신단으로 전달된다. 이 때, 전류의 크기와 방향이 송신단에서 상기 디지털 데이터에 따라 결정되고, 수신단에서는 상기 전달된 전류의 크기와 방향을 검출함으로써 원래의 디지털 데이터가 복구될 수 있다.

도 19를 참조하면, 상기 제5실시예에 따른 디지털 데이터 송수신 회로의 송신단은 전류 소스(source)로 작용하도록 전류 미러(current mirror) 형태로 연결되는 트랜지스터(M1, M2)와, 전류 싱크(sink)로 작용하도록 전류 미러(current mirror) 형태로 연결되는 트랜지스터(M12, M14, M15)와, 전송하는 데이터의 하위 비트 상태에 따라 전류의 크기를 변경하기 위한 트랜지스터(M13)와, 전송하는 데이터의 상위 비트 상태에 따라 전류의 방향을 결정하기 위한 트랜지스터(M4, M5, M6, M7)와, 전송선으로 작용하는 부하 저항(R1)으로 구성된다.

상기 디지털 데이터 송수신 회로의 동작이 시작되면, 트랜지스터(M1, M2)에 의해 소정의 전류가 생성되어 상기 트랜지스터(M2)의 드레인에 흐른다. 트랜지스터(M12, M14, M15)는 전류 싱크로 동작하며, 상기 트랜지스터(M2)의 드레인 전류를 흡수한다. 이 때, 전송하고자 하는 디지털 데이터의 하위 비트(D1) 상태에 따라 트랜지스터(M13)가 온/오프되며, 상기 트랜지스터(M13)의 온/오프에 따라 상기 트랜지스터(M2)의 드레인 전류가 증감된다. 한편, 상기 트랜지스터(M2)의 드레인 전류는 상위 비트(D0)의 상태에 따라 상기 트랜지스터(M4, M5, M6, M7)에 의해 결정되는 경로를 통과하여 부하 저항(R1)에 인가된다. 예를 들어, 상위 비트(D0)가 하이 레벨(high level)일 경우에는 트랜지스터(M4, M5)는 턴온되고 트랜지스터(M6, M7)은 턴오프된다. 따라서, 저항(R1)의 노드 a에서 노드 b방향으로 전류가 흐른다. 트랜지스터(M8, M10)와 트랜지스터(M9, M11)는 하위 비트(D1)의 상태에 관계없이 둘 중 하나가 반드시 턴온된다. 즉, 하위 비트(D1)가 하이 레벨일 경우에는 트랜지스터(M8, M9)가 각각 턴온되고, 하위 비트(D1)가 로우 레벨일 경우에는 트랜지스터(M10, M11)가 각각 턴온된다. 상위 비트(D0)가 로우 레벨(low level)일 경우에는 트랜지스터(M6, M7)가 턴온되고 트랜지스터(M4, M5)는 턴오프된다. 따라서, 저항(R1)의 노드 b에서 노드 a방향으로 전류가 흐른다.

도 21에는 상기 디지털 데이터 송수신 회로의 송신단의 신호 파형이 도시되어 있다. 도 21에서 첫번째 파형은 노드 a와 노드 b의 전압이고, 두번째 파형은 노드 a와 노드 b의 전압차이며, 세번째 파형은 공통 전압(common voltage)이며, 네번째 파형은 전송하고자 하는 디지털 데이터(D0D1)이다. 상기 도 21을 참조하면, 본 실시예에서는 전류 소스와 전류 싱크를 동시에 이용함으로써 공통 전압이 보다 안 정됨을 알 수 있다.

도 20을 참조하면, 상기 디지털 데이터 송수신 회로의 수신단 회로는 셀프-바이어스 차동 증폭기(self-biased differential amplifier)를 구성하는 트랜지스터(M16~M21)와, 비교기(COM)와, 버퍼 회로를 구성하는 트랜지스터(M22~M25, M36~M39)로 구성된다.

상기 각 트랜지스터(M16~M21)는 저항(R1)의 양쪽 노드(a, b)의 전압을 증폭을 통해 검출하고, 그 극성에 따라 하이 또는 로우 레벨을 판단한다. 그리고, 상기 각 트랜지스터(M16~M21)는 셀프-바이어스를 이용함으로써 외부에서 공급되는 전원 전압을 필요로 하지 않는다. 상기 각 트랜지스터(M16~M21)에서 얻어진 데이터는 버퍼 회로를 거쳐 출력 데이터의 상위 비트(OUT0)로서 제공된다. 상기 버퍼 회로는 출력 데이터의 상위 비트(OUT0)와 하위 비트(OUT1) 사이의 신호 지연으로 인한 타이밍을 조절하기 위한 것이다.

한편, 상기 비교기(COM)는 저항(R1)의 양 노드(a, b)의 전압을 입력받아, 그 크기를 비교하여 그 크기 차이에 따라 하이 또는 로우 레벨을 판단하며, 그 출력은 출력 데이터의 하위 비트(OUT1)로서 제공된다.

따라서, 상기 수신단 회로는 송신단에서 보내진 전류의 크기 및 방향에 따라 디지털 데이터를 판단함으로써 원래 송신단에서 전송하고자 한 디지털 데이터를 복구할 수 있다.

도 22에는 상기 도 20의 수신단 회로에서 사용된 신호의 파형이 도시되어 있다. 첫번째 파형은 상기 저항(R1)의 노드 a와 노드 b의 전압이고, 두번째 파형은 상기 비교기의 출력 전압이며, 세번째 파형은 상기 버퍼 회로의 출력 전압이다.

상기 제5실시예에 따른 디지털 데이터 송수신 회로에서는 송신단에 전류 소스와 전류 싱크를 동시에 구비함으로써 공통 전압(common voltage)을 일정하게 유지할 수 있고, 전달되는 전류의 안정도를 높일 수 있다. 또한, 수신단에 사용된 셀프 바이어스 차동 증폭기에 의해 외부로부터 전원 전압을 공급받지 않아도 되는 잇점을 제공한다.

발명의 효과

이상으로 설명된 바와 같이, 본 발명에 따르면, LVDS 방식을 변형하여 하나의 클럭 주기 동안에 2비트의 데이터를 전송할 수 있는 디지털 데이터 송수신 회로와, TMDS 방식을 변형하여 하나의 클럭 주기 동안에 2비트의 데이터를 전송할 수 있는 디지털 데이터 송수신 회로와, 전류 전달 방식을 이용하여 하나의 클럭 주기 동안에 2비트의 데이터를 전송할 수 있는 디지털 데이터 송수신 회로와, 전류 전달 방식을 이용하여 하나의 클럭 주기 동안에 3비트의 데이터를 전송할 수 있는 디지털 데이터 송수신 회로를 제공할 수 있다. 본 발명의 디지털 데이터 송수신 회로는 하나의 클럭 주기 동안 2비트 혹은 3비트의 데이터를 전송함으로써 향후 QXGA(2048X1536) 급을 가진 고속 영상 전송시스템에도 적용할 수 있다. 또한, 전류 전달 방식을 이용함으로써 전압을 전송하는 방식에 비해 노이즈(noise)에 강하며, 장거

리 전송에 효과적이다.

(57) 청구의 범위

청구항 1.
하나의 클럭 주기 동안에 적어도 2비트의 데이터를 전송하며, 상기 전송 데이터의 비트 상태에 따라 전류방향 및 전류크기를 각각 조절함으로써 상기 전송 데이터를 원래대로 복원하는 평판 디스플레이 장치.

청구항 2.
제1전류원, 입력 데이터의 하위 비트 상태에 따라 공급 여부를 결정하는 제1스위칭회로, 상기 제1스위칭회로의 일측에 연결된 제2전류원, 상기 제1스위칭회로의 다른 측에 연결되고 상기 입력데이터의 상위 비트 상태에 따라 상기 제1 및 제2전류원에 따른 전류의 방향을 결정하는 제2스위칭회로로 구성된 송신단;

상기 송신단의 신호를 전달하기 위한 전송선; 및,

상기 전송선에 연결된 종단 저항과, 상기 종단 저항에 걸리는 전압에 따라 출력 데이터를 검출하는 출력 검출회로로 구성된 수신단을 포함하는

평판 디스플레이 장치.

청구항 3.
제2항에 있어서,

상기 제1 및 제2스위칭회로는 MOS 트랜지스터인 것을 특징으로 하는 평판 디스플레이 장치.

청구항 4.
제2항에 있어서,

상기 제2스위칭회로는,

상기 두 전류원의 접점 노드에 연결되고 상호 직렬 연결된 제1그룹의 트랜지스터들 및 상기 제1그룹의 트랜지스터들에 병렬 연결된 제2그룹의 트랜지스터들로 구성되며,

상기 제1 및 제2그룹의 트랜지스터들은 전송선에 연결되며 서로 다른 비트 상태가 인가되는

평판 디스플레이 장치.

청구항 5.
제2항에 있어서,

상기 출력 검출회로는,

상기 종단 저항 양단자의 전압을 비교하는 제1비교기;

상기 종단 저항의 어느 한 단자와 소정의 기준 전압을 비교하는 제2비교기;

상기 종단 저항의 다른 단자와 소정의 기준 전압을 비교하는 제3비교기; 및,

상기 제2 및 제3비교기의 출력에 대해 논리합 연산을 수행하는 논리합 소자를 포함하며,

상기 제1비교기의 출력과 상기 논리합 소자의 출력이 출력 데이터인

평판 디스플레이 장치.

청구항 6.

기준전류를 생성하기 위한 전류원과 제1트랜지스터; 상기 제1트랜지스터에 대해 전류 미러를 형성하며, 하나의 전류 경로를 형성하도록 연결된 제2 및 제3트 랜지스터; 상기 제1트랜지스터에 대해 전류 미러를 형성하며, 또 다른 전류 경로를 형성하도록 연결된 제4 및 제5트랜지스터; 상기 제2 내지 제5트랜지스터가 각각 위치한 경로의 도통 여부를 제어하기 위한 4개의 스위칭 트랜지스터 및, 입력 데이터에 따라 상기 각 스위칭 트랜지스터의 입력 조건을 결정하는 게이트 논리 회로로 구성된 송신단;

상기 제2 내지 제5트랜지스터에 의해 형성된 두 개의 전류 경로를 통해 상기 송신단의 신호를 전달하기 위한 전송선; 및,

전원 전압과 상기 전송선의 각 전류 경로 사이에서 두 개의 직렬 연결된 저항으로 이루어진 부하 회로와, 상기 부하 회로의 소정 노드의 전압값을 토대로 출력을 결정하는 출력 검출회로로 구성된 수신단을 포함하는

평판 디스플레이 장치.

청구항 7.
제6항에 있어서,

상기 부하 회로는 상기 전송선의 두 전류 경로를 통해 전달된 전류를 전압으로 변환하며,

상기 출력 검출회로는 상기 변환된 전압의 크기를 비교하여 1비트의 출력 데이터를 생성하기 위한 제1비교기와, 상기 부하 회로의 소정 노드의 전압을 비교하여 상기 변환된 전압의 차이를 검출하는 제2 및 제3비교기와, 상기 제2 및 제3비교기의 출력을 논리합 연산하는 논리합 소자로 구성되는

평판 디스플레이 장치.

청구항 8.
제7항에 있어서,

상기 제1 내지 제3비교기는 양의 입력단과 음의 입력단을 각각 가지며,

선증폭부(preamplifier), 상기 양의 입력단과 음의 입력단의 전압에 따라 출력을 결정하는 비교부 및 출력버퍼로 구성되는

평판 디스플레이 장치.

청구항 9.
두 개의 전류 경로를 형성하며, 소정의 제1 및 제2 기준 전류값을 상기 각 전류 경로에 형성시키는 전류원; 상기 각 전류 경로에 연결되어 입력데이터에 따라 상기 각 전류 경로의 도통을 제어하며 상기 두 전류 경로를 결합시키는 제1 및 제2트랜지스터로 구성된 송신단;

상기 송신단의 제1 및 제2트랜지스터에 의해 결합된 경로의 전류를 전달하기 위한 전송선; 및,

소정의 제3 내지 제5 기준 전류값을 각각 갖는 3개의 전류 경로를 형성시키는 전류원과, 상기 전송선을 통해 전달된 전류를 상기 3개의 전류 경로에 전달하기 위한 제4 내지 제7트랜지스터와, 상기 3개의 전류 경로에서의 해당 기준 전류값과 상기 전송선에서 전달된 전류값의 차이에 따라 출력 데이터를 검출하는 게이트 논리 회로로 구성된 수신단을 포함하는

평판 디스플레이 장치.

청구항 10.
제9항에 있어서,

상기 제1 내지 제5 기준 전류값은 각각 1Iref, 2Iref, 0.5Iref, 1.5Iref, 2 Iref인 것을 특징으로 하는

평판 디스플레이 장치.

청구항 11.

제9항에 있어서,

상기 송신단의 전류원은,

전원전압과 접지 사이에서 각 게이트가 공통으로 접속되고 서로 직렬로 연결된 제1PMOS 트랜지스터 및 NMOS 트랜지스터; 및,

상기 PMOS 트랜지스터와 함께 전류 미러를 구성하며, 각각 제1 및 제2 기준 전류값을 갖는 전류 경로를 형성하는 제2 및 제3 PMOS 트랜지스터로 구성됨을 특징으로 하는

평판 디스플레이 장치.

청구항 12.
소정의 전류값을 각각 갖는 3개의 전류 경로를 형성시키는 전류원과, 상기 각 전류 경로에 연결되어 입력 데이터에 대응하여 상기 각 전류 경로의 도통을 제어하며 상기 세 개의 전류 경로를 결합시키는 제1 내지 제3 NMOS 트랜지스터로 구성된 송신단;

상기 송신단의 제1 내지 제3 NMOS 트랜지스터에 의해 결합된 경로의 전류를 전달하기 위한 전송선; 및,

소정의 기준 전류값을 각각 갖는 7개의 전류 경로를 형성시키는 전류원과, 상기 전송선을 통해 전달된 전류를 상기 7개의 전류 경로에 각각 전달하기 위한 제4 내지 제10 NMOS 트랜지스터와, 상기 7개의 전류 경로에서의 전류 차이에 따라 출력 데이터를 검출하는 출력 검출회로로 구성된 수신단을 포함하는

평판 디스플레이 장치.

청구항 13.
제12항에 있어서,

상기 송신단의 전류원은,

전원 전압과 접지 사이에서 직렬로 연결된 PMOS 트랜지스터 및 NMOS 트랜지스터와, 상기 PMOS 트랜지스터와 함께 전류 미러를 구성하도록 연결되며 각각 소정의 전류값을 갖는 전류 경로를 형성하는 3개의 PMOS 트랜지스터로 구성됨을 특징으로 하는

평판 디스플레이 장치.

청구항 14.
전류 소스와 전류 싱크에 의해 일정한 전류를 생성하며, 전송하고자 하는 디지털 데이터의 상위 비트와 하위 비트에 따라 상기 전류의 방향 및 크기를 각각 제어하며, 부하 저항을 통해 전류를 흐르게 하여 디지털 데이터에 대한 정보를 전송하는 송신단 회로와,

상기 송신단 회로의 부하 저항 양 노드의 전압을 검출하고, 그 전압차가 가리키는 극성으로부터 전류의 방향을 검출하고, 상기 전압차의 크기를 통해 전류의 크기를 검출하여 원래의 디지털 데이터를 복구하는 수신단 회로를 포함하는

평판 디스플레이 장치.

청구항 15.
제14항에 있어서,

상기 송신단 회로는

상기 전류 소스를 형성하기 위한 제1트랜지스터 회로;

상기 전류 싱크를 형성하기 위한 제2트랜지스터 회로;

부하 저항;

상기 제1트랜지스터 회로에서 생성된 전류를 상기 부하 저항에 인가하며, 전송할 디지털 데이터의 상위 비트에 따라 상기 전류의 인가 방향을 결정하는 제3트랜지스터 회로; 및,

상기 전류 싱크에 함께 연결되며, 전송할 디지털 데이터의 하위 비트에 따라 상기 전류의 크기를 증감시키는 제4트랜지스터 회로를 포함하는

평판 디스플레이 장치.

청구항 16.
제14항에 있어서,

상기 수신단 회로는

셀프-바이어스 차동 증폭기를 구성하며, 상기 부하 저항 양 노드의 전압을 검출하여 그 극성에 따라 원래 데이터의 상위 비트를 복구하는 트랜지스터 회로; 및,

상기 부하 저항 양 노드의 전압 차이를 검출하여 그 크기에 따라 원래 데이터의 하위 비트를 복구하는 비교기를 포함하는

평판 디스플레이 장치.

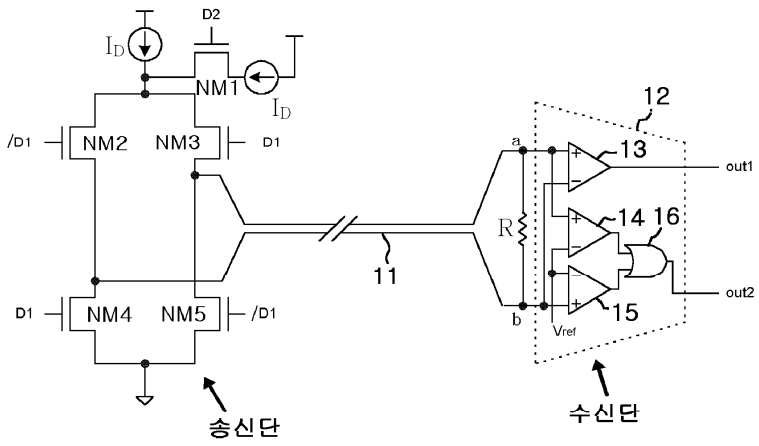
청구항 17.
제16항에 있어서,

상기 트랜지스터 회로의 출력단에 연결되어 상기 복구된 상위 비트와 하위 비트 데이터의 타이밍을 조절하기 위한 버퍼 회로를 더 포함하는

평판 디스플레이 장치.

도면

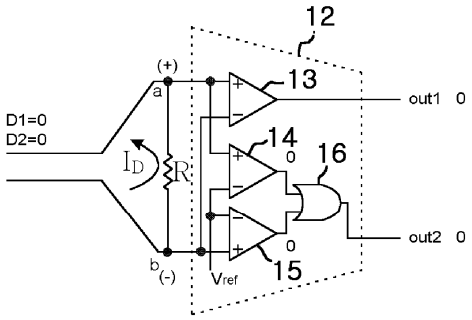
도면1



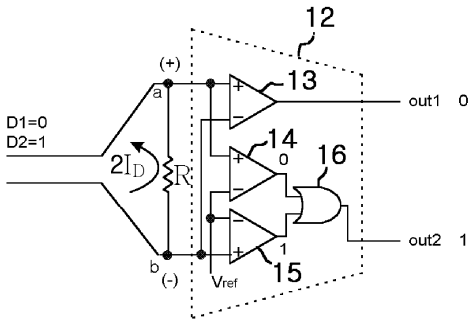
도면2

D1	D2	I_R	V_a-V_b
0	0	$-I_D$	$2I_R \times R$
0	1	$-2I_D$	
1	0	I_D	
1	1	$2I_D$	

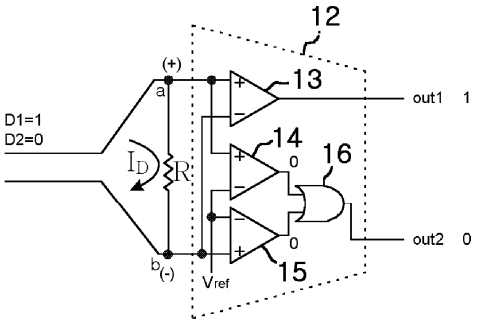
도면3a



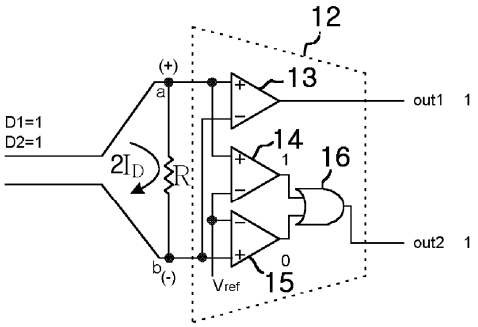
도면3b



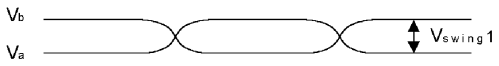
도면3c

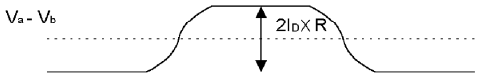


도면3d

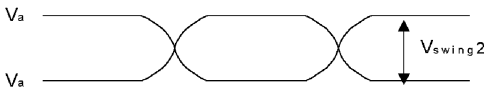


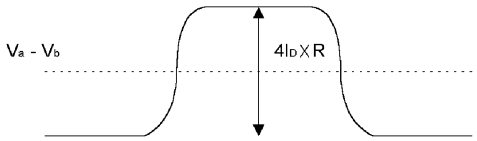
도면4a



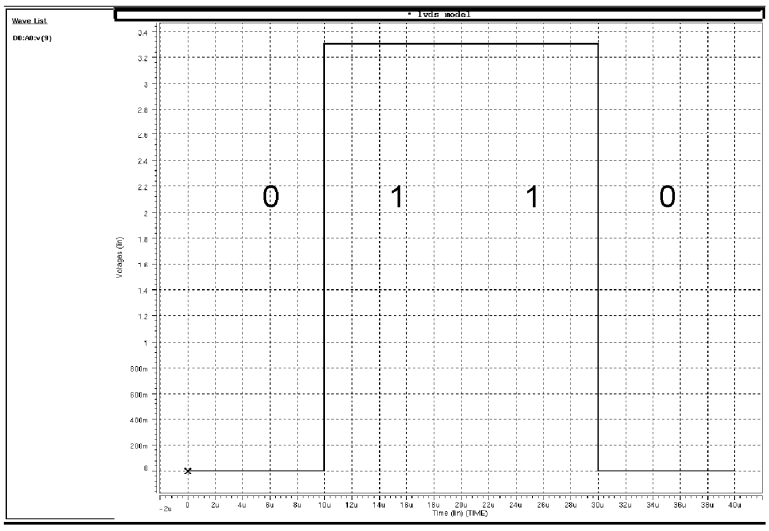


도면4b

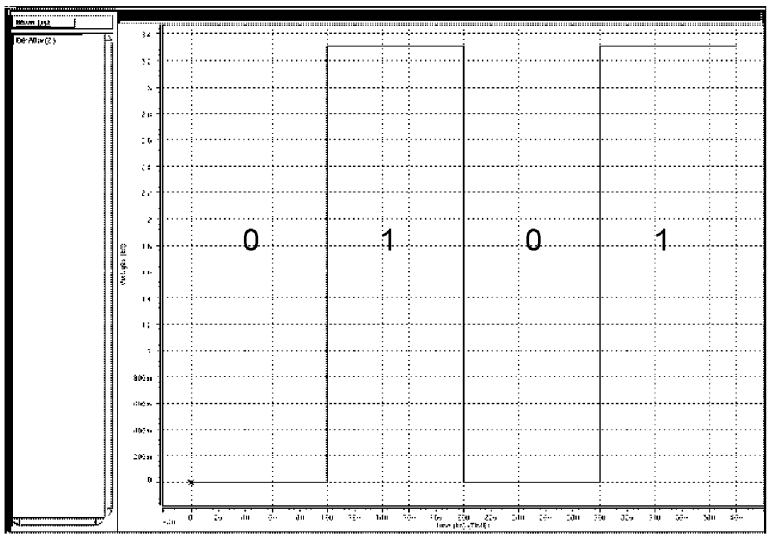




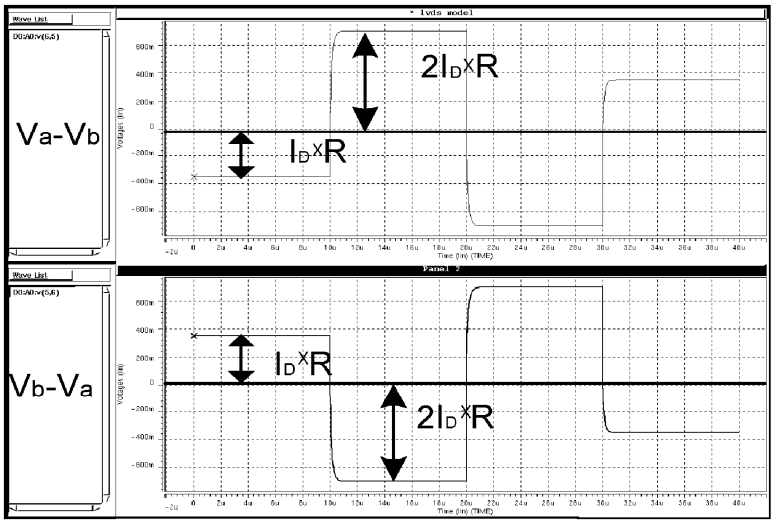
도면5a



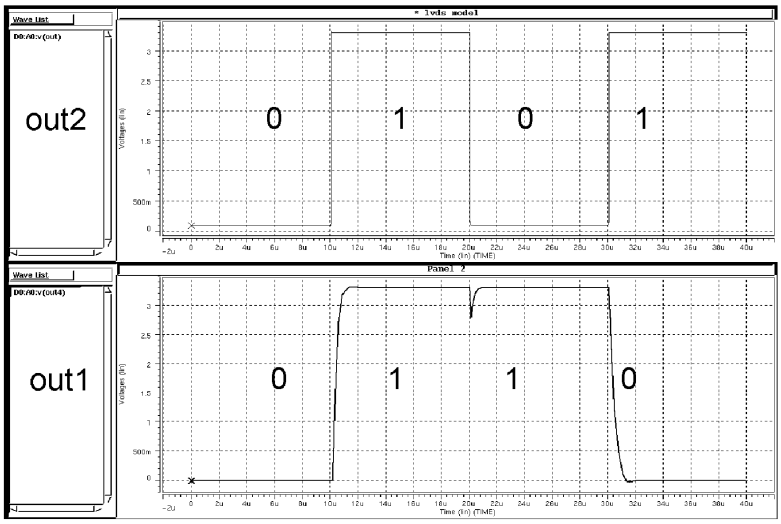
도면5b



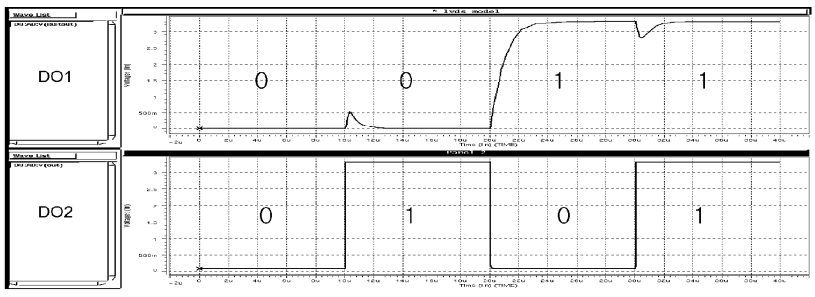
도면5c



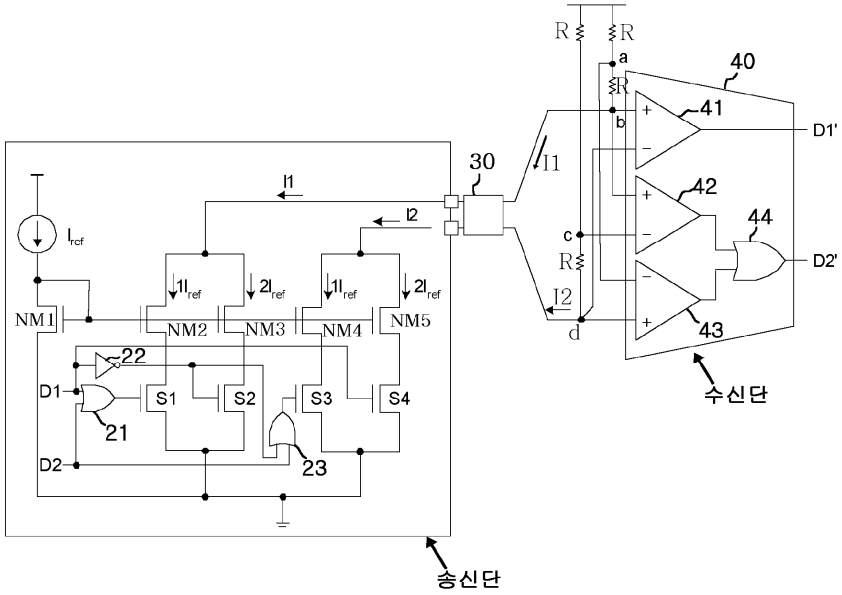
도면5d



도면5e



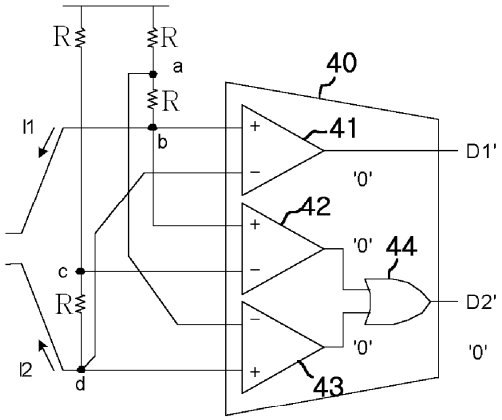
도면6



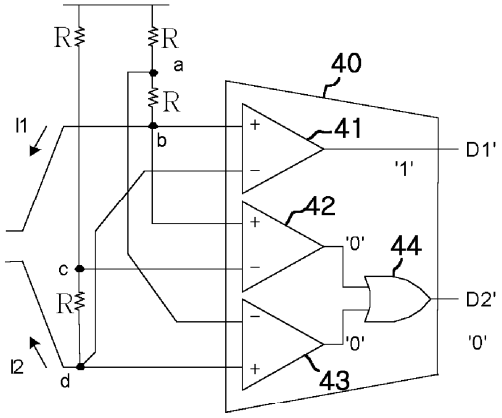
도면7

I1	I2	S1	S2	S3	S4	D2	D1
$2I_{ref}$	$1I_{ref}$	off	on	on	off	0	0
$1I_{ref}$	$2I_{ref}$	on	off	off	on	0	1
$3I_{ref}$	$1I_{ref}$	on	on	on	off	1	0
$1I_{ref}$	$3I_{ref}$	on	off	on	on	1	1

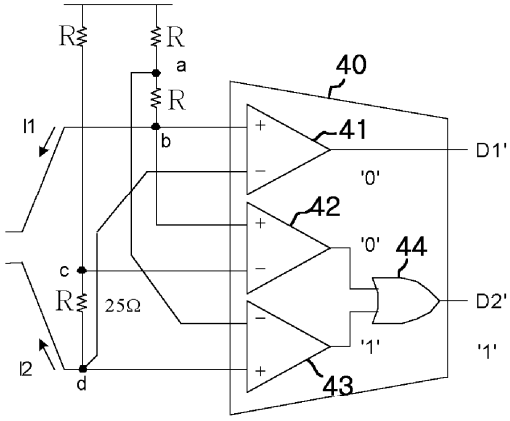
도면8a



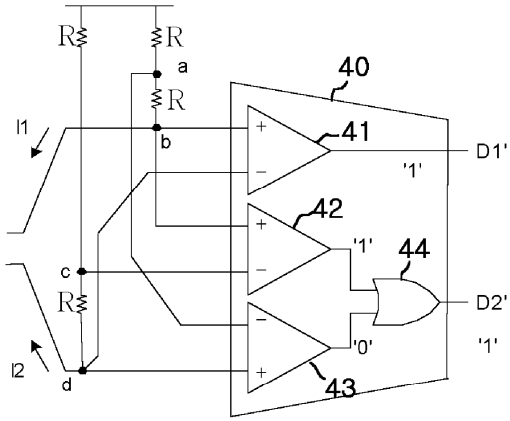
도면8b



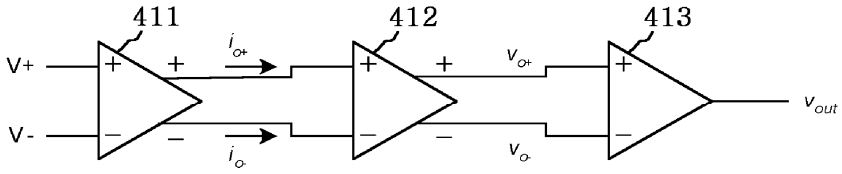
도면8c



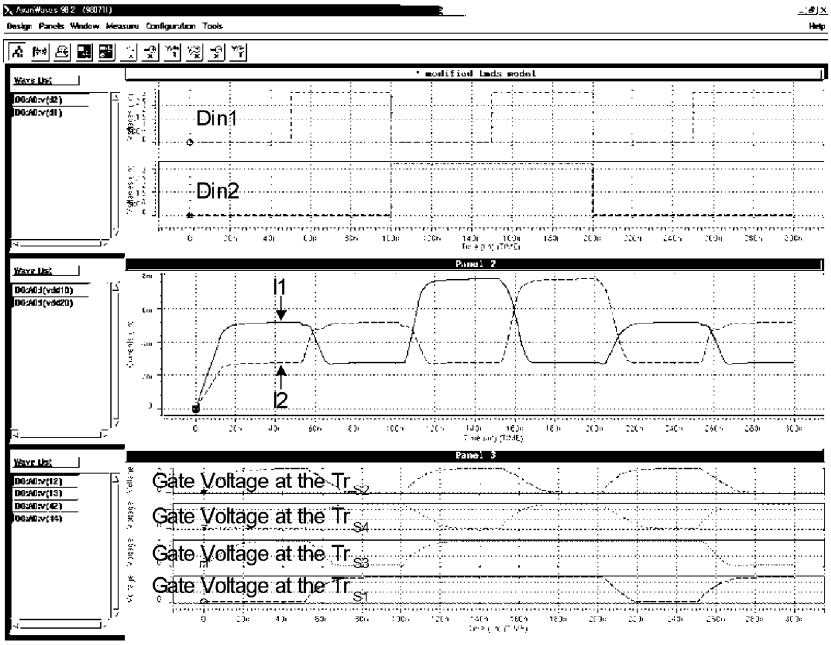
도면8d



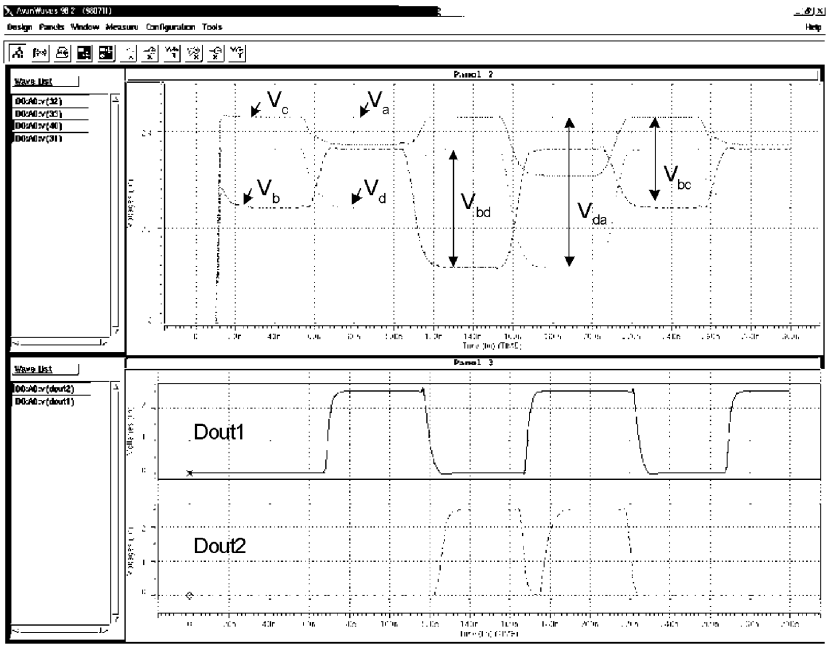
도면9



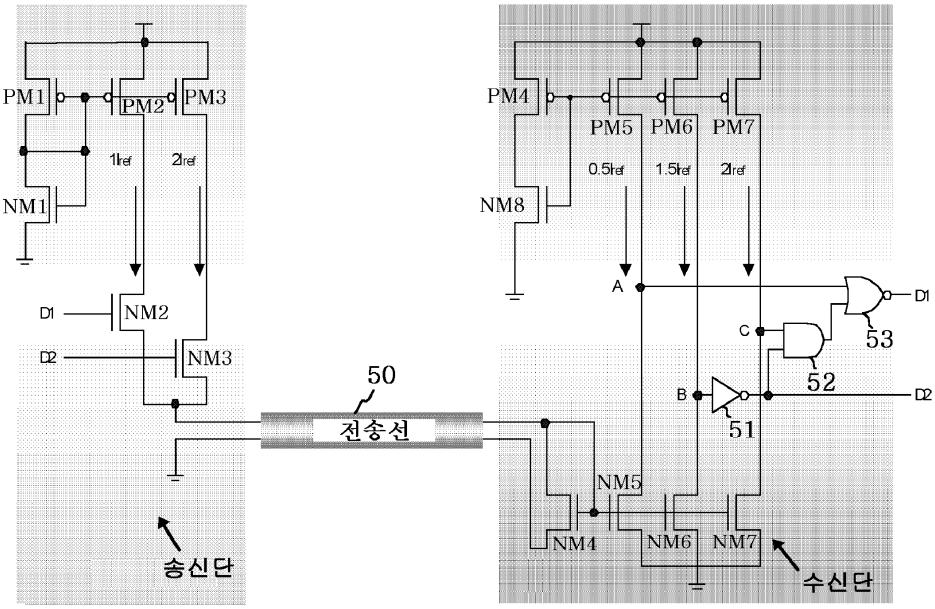
도면10a


Din1
Din2
I1
I2
Gate Voltage at the Tr S2
Gate Voltage at the Tr S4
Gate Voltage at the Tr S3
Gate Voltage at the Tr S1

도면10b


Vc
Va
Vb
Vd
Vbd
Vda
Vbc
Dout1
Dout2

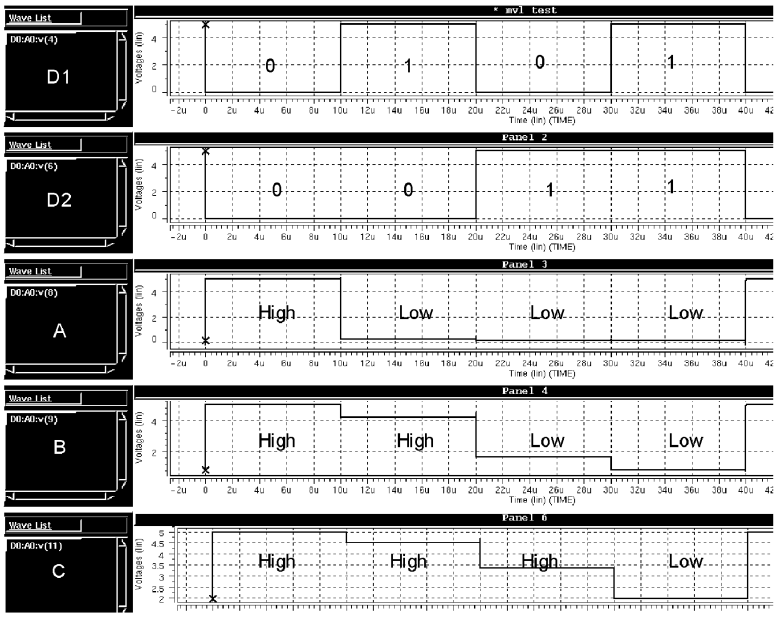
도면11



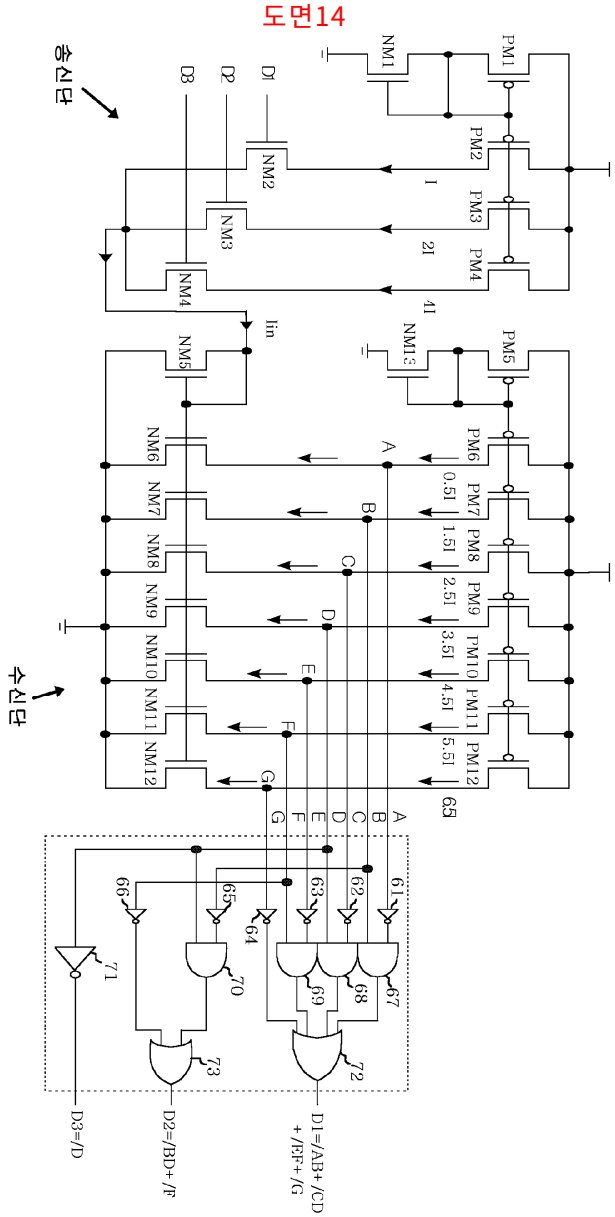
도면12

입력		A	B	C	Inverter1	AND+OR	Inverter2
D1	D2						
0	0	H	H	H	L	H	L
1	0	L	H	H	L	L	H
0	1	L	L	H	H	H	L
1	1	L	L	L	H	L	H

도면13



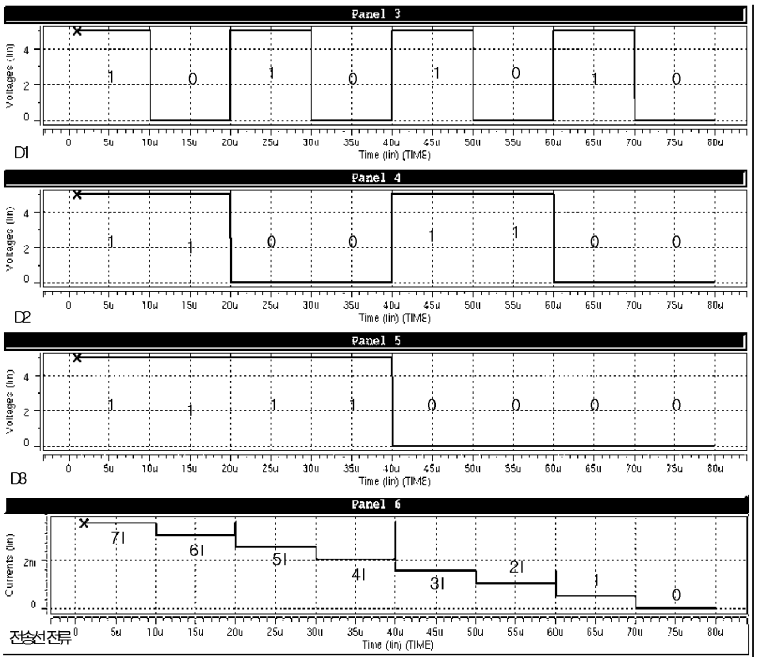
도면14



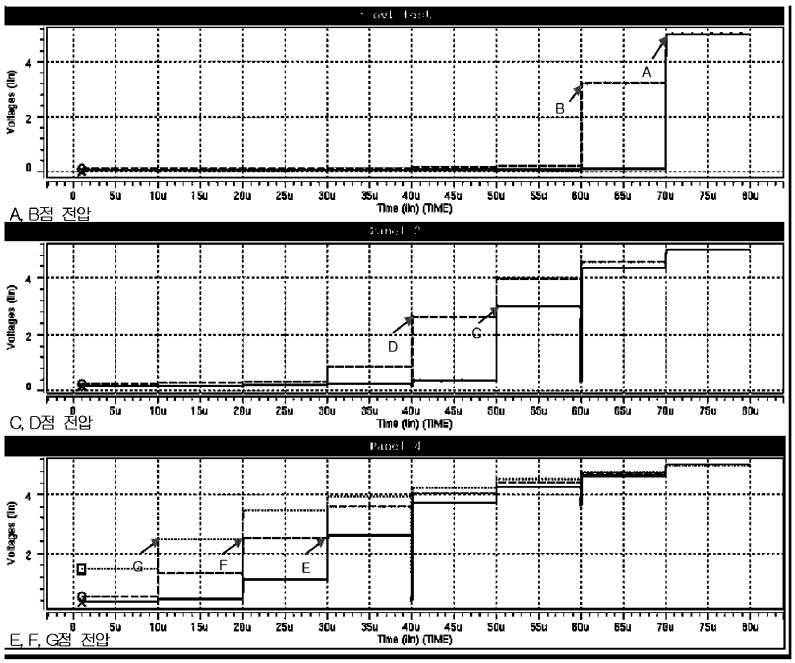
도면15

입력										출력		
D1	D2	D3	A	B	C	D	E	F	G	D1	D2	D3
0	0	0	L	L	L	L	L	L	L	0	0	0
0	0	1	L	L	L	L	L	L	H	0	0	1
0	1	0	L	L	L	L	L	H	H	0	1	0
0	1	1	L	L	L	L	H	H	H	0	1	1
1	0	0	L	L	L	H	H	H	H	1	0	0
1	0	1	L	L	H	H	H	H	H	1	0	1
1	1	0	L	H	H	H	H	H	H	1	1	0
1	1	1	H	H	H	H	H	H	H	1	1	1

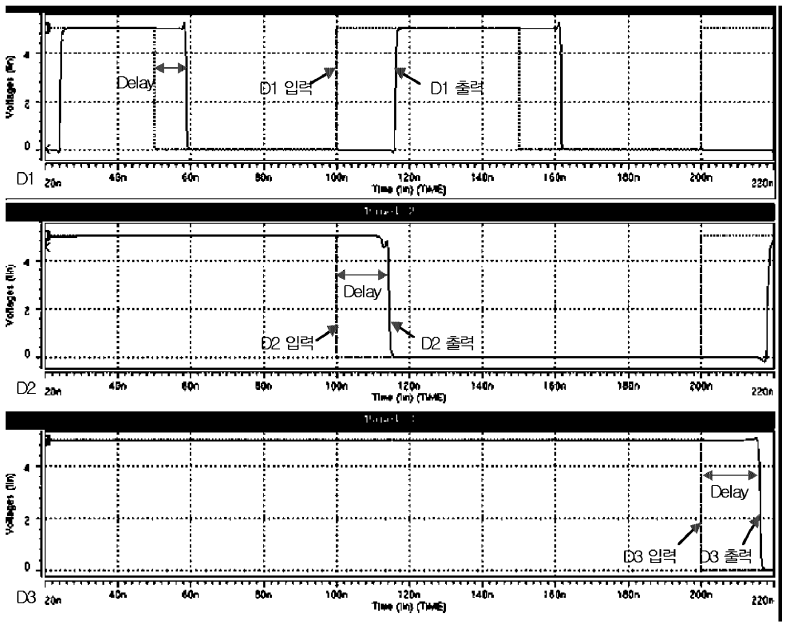
도면16


Panel 3
Voltages (lin)
Time (lin) (TIME)
D1
Panel 4
D2
Panel 5
D8
Panel 6
Currents (lin)
7I
6I
5I
4I
3I
2I
1
0
전송선전류

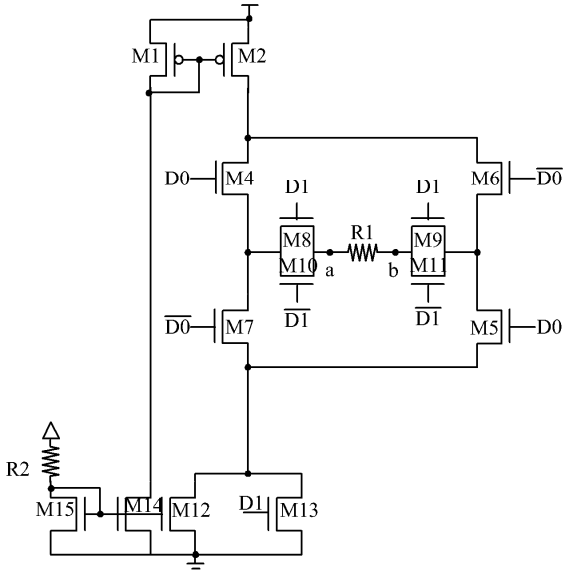
도면17


Voltages (lin)
Time (lin) (TIME)
A
B
A, B점 전압
D
C
C, D점 전압
G
F
E
E, F, G점 전압

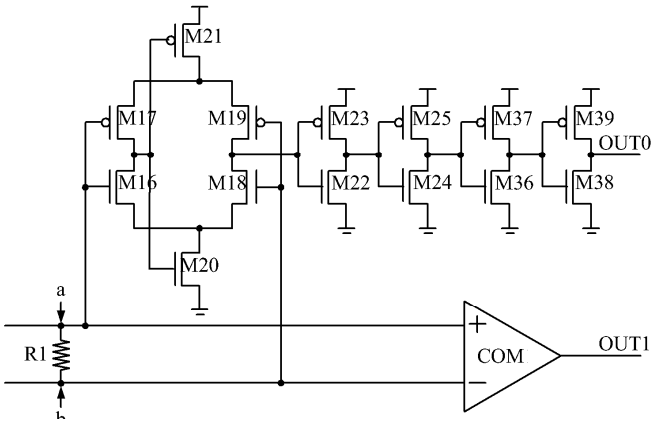
도면18



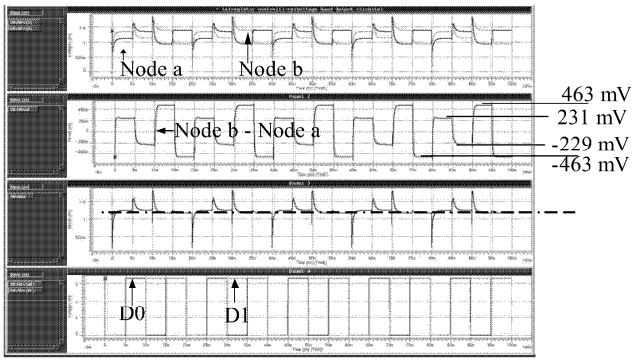
도면19



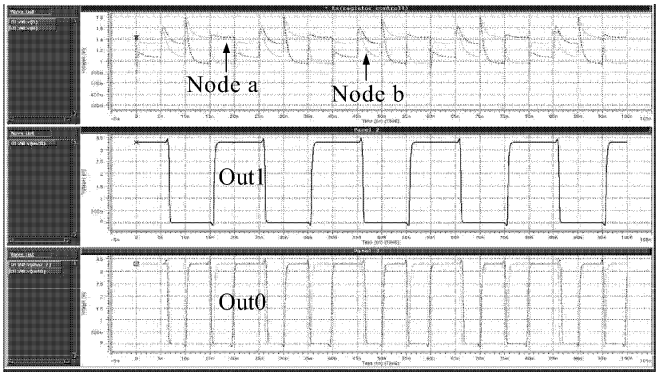
도면20



도면21


Node a
Node b
463 mV
231 mV
Node b - Node a
-229 mV
-463 mV
D0
D1

도면22


Node a
Node b
Out1
Out0

专利名称(译)	具有数字接口发送/接收电路的平板显示设备		
公开(公告)号	KR1020030069783A	公开(公告)日	2003-08-27
申请号	KR1020020074687	申请日	2002-11-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SOUK JUNHYUNG 석준형 LEE SEUNGWOO 이승우 KIM JONGSEON 김종선 CHOI MYUNGRYUL 최명렬		
发明人	석준형 이승우 김종선 최명렬		
IPC分类号	G09G3/36		
优先权	1020020009354 2002-02-21 KR		
其他公开文献	KR100900545B1		
外部链接	Espacenet		

摘要(译)

本发明涉及平板显示装置中的图形信号产生模块和液晶显示模块，包括液晶显示器等，液晶显示模块内的定时控制集成电路和数字数据发送 - 接收电路。第一电流发生器和第二电流源可以形成在本发明的数字数据发送器 - 接收器电路中。并且根据第二电流源是输入数据的低秩比特状态，是或否供应被控制。在其中包含第一和第二电流源的节点中，发送端连接。并且根据输入数据的高位位状态确定两个电流源的电流传输路径。发送端的信号通过传输线传送。并且终端电阻连接在传输线中。根据接收端悬挂在终端电阻上的电压，检测输出数据。本发明的数字数据发送器 - 接收器电路可以在一个时钟时期内发送2比特的数据。与传输电压的模式相比，它在噪声方面表现良好。它对长距离传输有效。数字接口，LVDS，TMDS，当前的交付模式。