

(19) (KR)
(12) (A)

(51) 。 Int. Cl. ⁷ G09G 3/36		(11) (43)	2003-0054815 2003 07 02
(21)	10-2001-0085228		
(22)	2001 12 26		
(71)	.	20	
(72)		104 508	
(74)	:		
(54)			

가 가 .
2 2
;
n , ; 1
, 1 2 2 1
2 2 , 2 .

5

- 1 .
- 2 1 6 .
- 3 4 .
- 4 .

5 4 .
6 .
7 6 .
< >
10,20 : 12,22 :
14,24 : 16,26 :
18 : 28 :
30 : 32 :
34 : LVDS/TMDS 36 :

가 , 가
가 .
가 , 가
가 , 가
가 .
5MHz , XGA (DLCK) (Refresh Rate) 60Hz 6
65MHz , SXGA 108MHz , UXGA (DLCK) XGA
160MHz .
가
45MHz 60MHz .
가
1 , XGA .
2 , (DLCK)
65MHz 32.5MHz .
1 , (10) (Odd Data, Even Data)
(Odd Data, Even Data) n (D1 D
n) (12) . m
(G1 Gm) (14) (16) .
(D1 Dn) (10) .
2 (DLCK) .

2 1 (b) (DLCK1 : a) .
 (b) (Odd Data : d) (Even Data : e) 2 (DL
 CK2 : c) . 2 (p
 ort) '6 ' ' (d,e)가 '2

$$\begin{aligned} & \text{가} \\ & , 2 \quad \text{가} \end{aligned} \quad (10) \quad \begin{aligned} & . \quad 8 \\ & 48 \quad (48\text{bit line}=2\text{port} \times 3(\text{R,G,B}) \times 8\text{bit}) \\ & \text{(HIGH} \rightarrow \text{LOW)} \end{aligned} \quad (10)$$

가 . UXGA 16
0MHz . '2 ' 1
80MHz .

$$(18) \quad \begin{array}{ccc} & 1 & 4 \\ 4 & & . \end{array}$$

3 4

$$3 \quad 1 \quad (16) \quad n \quad 2$$

4	(DLCK : a)	2	40MHz	(SSC : d)	가 1/2	UXGA	20MHz가
---	------------	---	-------	-----------	-------	------	--------

$$8(\text{bit}) \times 3(\text{RGB}) \times 2(\text{Even/Odd}) \times 2^8 = 96, \quad (10)$$

(18)가

Circuit Board) (10) 200 가 , (Printed
가 가 .

가

2

2

n

1

1

2

2

2

2

2

1

2

1 2

1 2 2

1 2 , 1 2 가 , 1

2

1

4 7

4

4

(DL) (20) 4 (24) , (22) (22) (28) , (26) (GL) (24) 10

urce Start Pulse) (20) 가 (22) 2 (36) (So

(28)

erential Signal/Transition Minimized Differential Signal((30) (32) , Low Voltage Diff
TMDS (34) , 'LVDS/TMDS') LVDS

(30) , 1 (D1 D5) 2 가

(D6 D10)

(30) (20) 2 (22)가

2 (D6 D10) , 1 (D1 D5) (30)

(32)

LVDS/TMDS (34) 가 (20)가

(20) (Mixing) (Odd Data, Even Data)

(D1 D5,D6 D10) (22) 1 2 (22)

m (G1 Gm) (24) (26)

1 2 (22) 가 1 2 (D1 D5,D6 D10)

2 가 .

1 2 (D1 D5,D6 D10)
(20) (D1 D10)
(36) .

(36) (28)
2 가 10 (D1 D10) , 2 가
2

(24) (20) (Gsp)
() ,
(DL) 가 (Clc) (24) .

TFT (22) (20) (R), (G) (B)
(Dclk) (22) (Dclk) (V γ) (R), (G) (B)
(22) (V γ) 1 (

DL) 5 4 .

5 , (20) (28) b (SSC1)
1 2 1 (D1 D5) (SSP1) 1
2 2 (SSP2) 2 (SSC2)
2 2 (D6 D10) ,
2 1 2 (28) (DLCK) 1/2
가 .

1 (D1 D5) 2 (D6 D10)
,
) 2 (Double Edge) .

2
가 .

, 2 (0,1) (28) 1 (SSP1) 1
(SSC1) 1 (D1 D5) , (SSP2)
(28) 2 (800,801)가 2 (D6 D10) .
2 (SSC2) 2

(D1 D5) 2 (2,3) 1 (SSC1) 1
2 (D6 D10) (802,803) 2 (SSC2)

(D1 D5,D6 D10) .

6 , 4
7 6 .

6 7 , 4 .

(40) (D1,D3,...)

(D2,D4,...)

(20) (SSP1) (28) (SSC1)

1 (D1,D3,...) 1 2 (SSP2) 2

(SSC2) (D2,D4,...) (SSC1,SSC2)

1/2

(0,1)가 (28) 1 (SSP1) 1

(SSC1) (D1,D3,...) (160,161)가 2

(SSP2) 2 (SSC2) (D2,D

4,...)

(2,3)가 1 (SSC1) (162,163)가 2 (SSC2)

(D1,D3,...) (D2,D4,...)

(40)

가 가

가

(57)

1.

2

2

n

1

1

2

2

2

2

2.

1

2

1

2

3.

1

1 2

.

4.

2

3

,

1
1

2

2

2

.

5.

,

1 2

,

, 1 2

가

,

1 2

,

1

.

6.

5

,

,

.

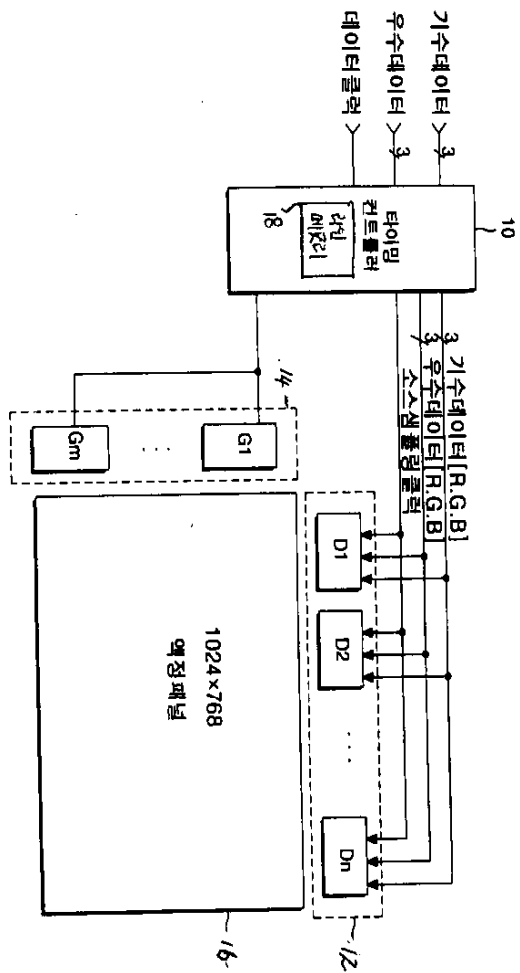
7.

5

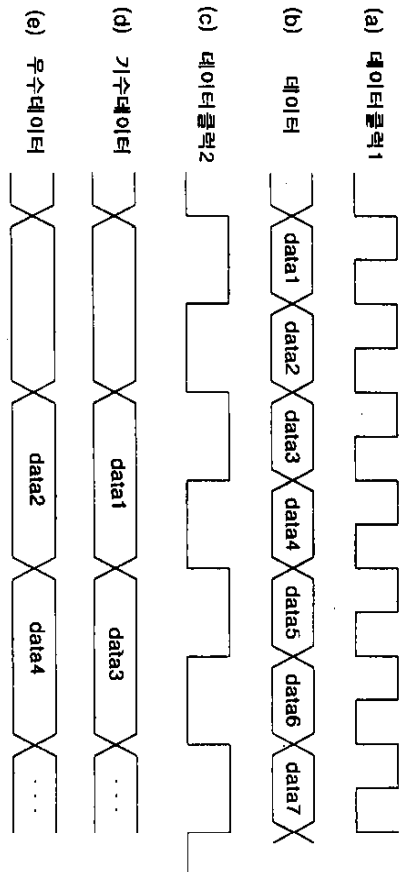
,

.

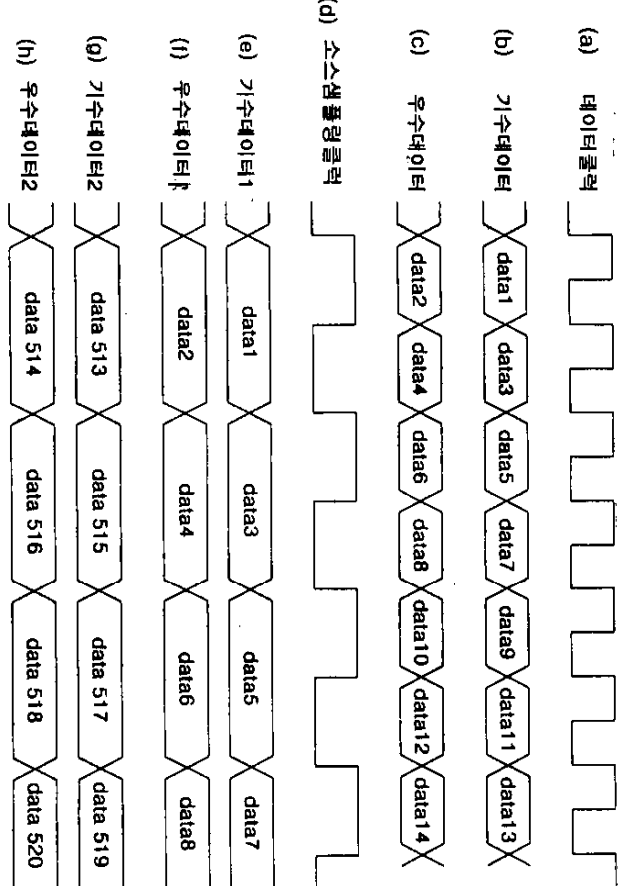
1



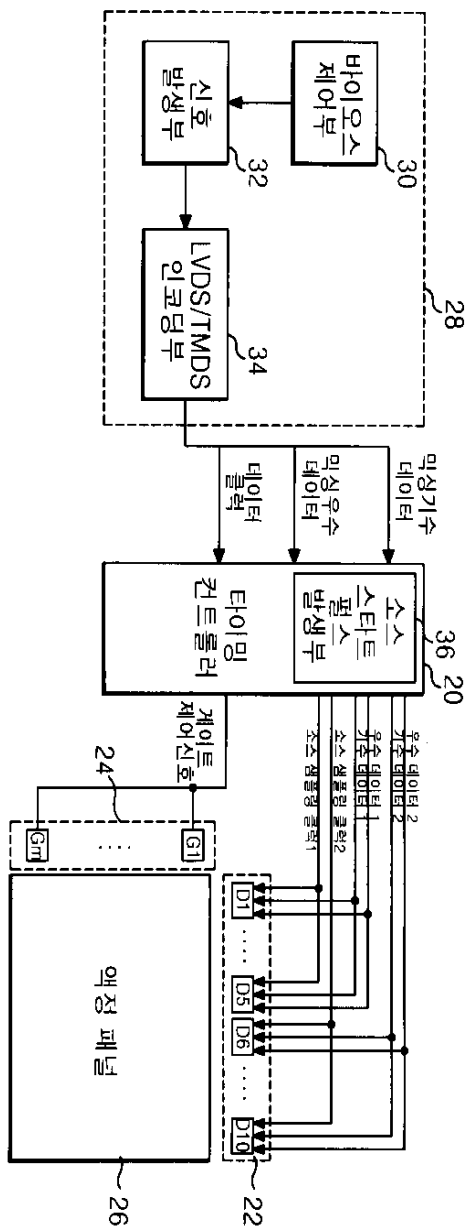
2



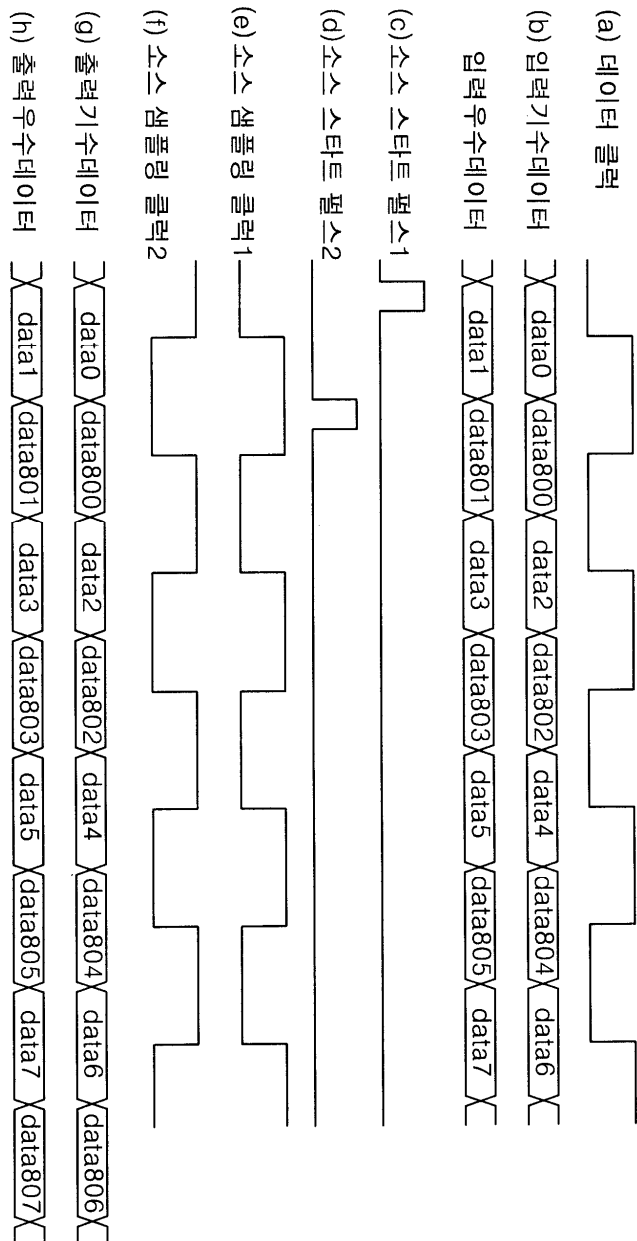
3

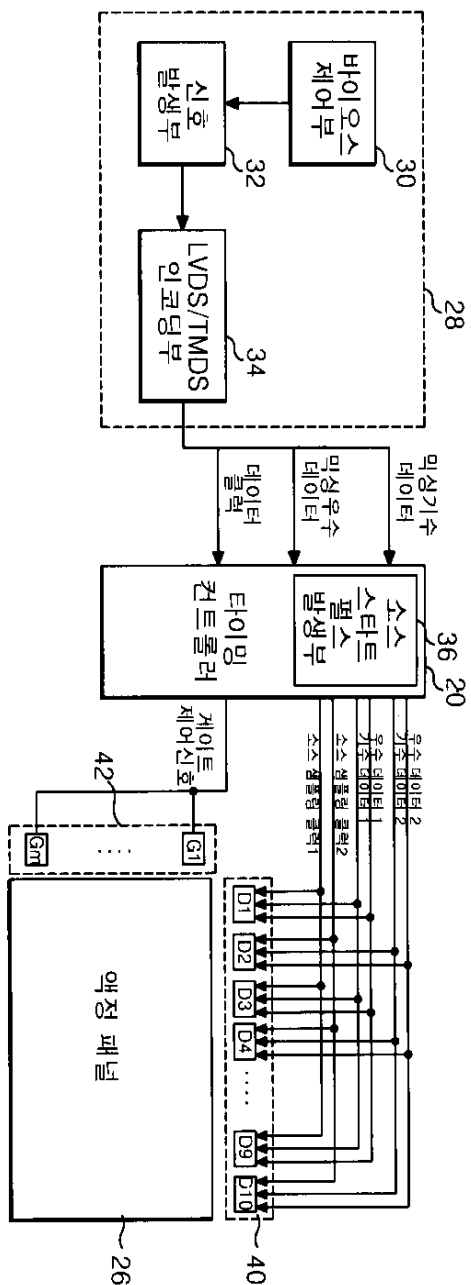


4

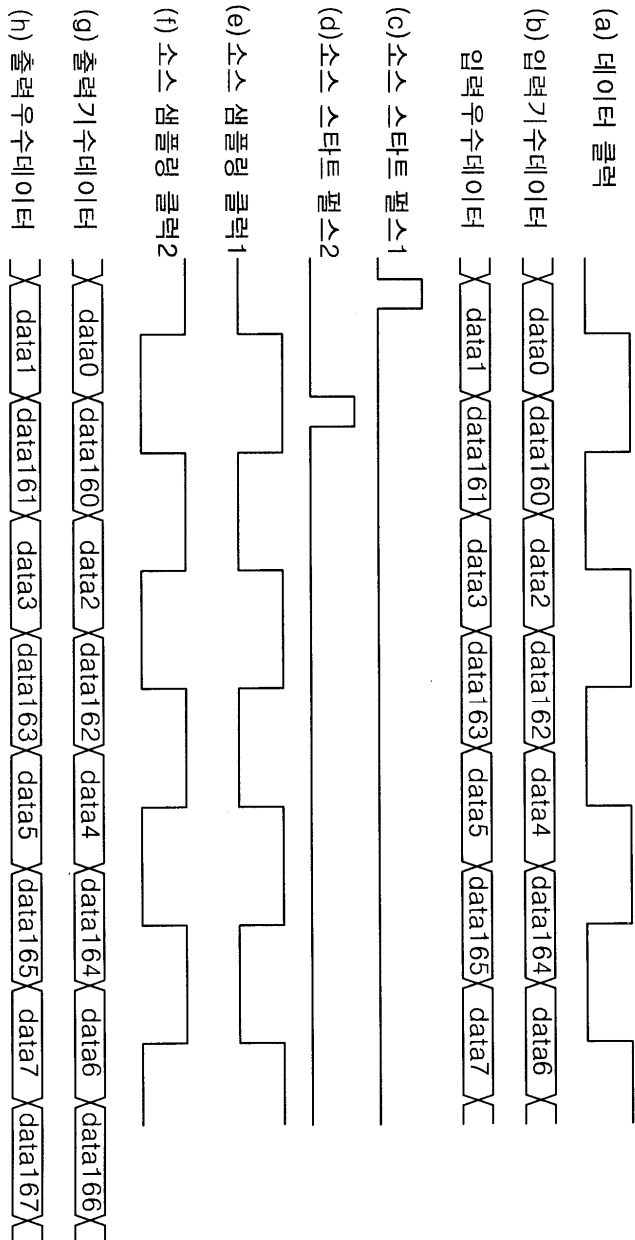


5





7



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020030054815A	公开(公告)日	2003-07-02
申请号	KR1020010085228	申请日	2001-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG HONGSUNG 송홍성		
发明人	송홍성		
IPC分类号	G09G3/36		
代理人(译)	KIM , YOUNG HO		
其他公开文献	KR100415620B1		
外部链接	Espacenet		

摘要(译)

本发明涉及数据处理中，通过控制数据的顺序的液晶显示装置的驱动方法是从数字视频卡应用以及以降低功耗和在定时控制器移除的线路存储器的。液晶显示装置2的源极起始脉冲生成部从所述外部视频驱动器以将所述第二像素数据分成多个组的相互交替地在不同的时间输出接收了的顺序输入像素数据，根据本发明的和;被连接到源极起始脉冲生成部和所述液晶面板，用于驱动对应于由源输出的数据开始生成单元的液晶面板的数据驱动器包括n个数据驱动器集成电路;被连接到源极开始生成部和数据驱动器，用于接收数据时钟是从第一数据时钟的每个周期的外部上升沿输入由分频比的分频器产生第一数据时钟，并且对应于该组的数所述第二像素数据和锡金输出分别向数据驱动器，以及产生一第二数据时钟的第一第一数据时钟和相位相反，并且从数据时钟2的每个周期的上升沿在第二的，在每个数据中的像素数据并将其输出给司机。 五

