

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G02F 1/136

(11) 공개번호 특2002 - 0085235
(43) 공개일자 2002년11월16일

(21) 출원번호 10 - 2001 - 0024639
(22) 출원일자 2001년05월07일

(71) 출원인 주식회사 현대 디스플레이 테크놀로지
경기도 이천시 부발읍 아미리 산 136 - 1

(72) 발명자 전승익
경기도수원시팔달구망포동늘푸른벽산아파트116동805호
민태엽
서울특별시송파구풍납동우성아파트5 - 1212

(74) 대리인 강성배

심사청구 : 없음

(54) 박막 트랜지스터 액정표시장치 제조방법

요약

본 발명은 마스크 공정을 단순화 시킨 박막트랜지스터 액정표시장치 제조방법을 개시한다. 개시된 본 발명은, 게이트 전극이 형성된 유리 기판의 전체 상에 게이트 절연막, 비도핑된 비정질 실리콘막, 도핑된 비정질 실리콘막 및 소오스/드레인 금속막을 차례로 증착하고, 상기 소오스/드레인 금속막 상에 감광막을 도포하는 단계; 상기 감광막을 노광 및 현상하여 채널층 예정 영역의 상부에 상대적으로 얇은 두께의 그레이톤을 갖는 감광막 패턴을 형성하는 단계; 상기 그레이톤을 갖는 감광막 패턴을 사용하여 소오스/드레인 금속막을 식각하는 단계; 상기 그레이톤의 에칭과 도핑된 비정질 실리콘막 및 비도핑된 비정질 실리콘막의 식각을 동일 챔버내에서 연속적으로 수행하는 단계; 상기 노출된 소오스/드레인 금속과 도핑된 비정질 실리콘막, 비도핑된 비정질 실리콘막의 표면 일부 두께를 식각하여, 소오스/드레인 전극과, 오믹 콘택층 및 채널층을 형성하는 단계를 단계를 포함하는 것을 특징으로 한다.

대표도
도 2d

색인어
TFT, gray - tone, 오믹콘택층, ITO, 보호막

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 박막 트랜지스터 제조공정을 순차적으로 도시한 단면도.

도 2a 내지 도 2d는 본 발명에 따른 박막 트랜지스터 액정표시장치의 제조방법을 공정순으로 도시한 단면도.

도면의 주요 부분에 대한 부호의 설명

1: 게이트 전극 3: 게이트 절연막

5: 비도핑된 비정질 실리콘막 7: 도핑된 비정질 실리콘막

10: 유리 기판 12: 감광막 패턴

12a: 그레이톤 17: 오믹 콘택층

19: 소오스/드레인 전극 21: 보호막

23: 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 액정표시장치 제조방법에 관한 것으로서, 보다 구체적으로는, 4 - 마스크 공정을 이용하면서, 그레이톤의 에싱과 단계와 액티브층의 식각을 동일 챔버에서 행하는 박막 트랜지스터 제조방법에 관한 것이다.

일반적으로 박막 트랜지스터(THIN FILM TRANSISTOR: TFT) 액정표시장치는 5, 6, 7 - 마스크 공정을 통해 제조되고 있다. 하지만, 마스크 공정 수와 액정표시장치의 제조 단가는 밀접한 관계가 있으므로 액정표시장치의 제조 단가를 낮추기 위해, 4마스크 공정에 의한 박막 트랜지스터 액정표시장치 제조방법이 제안되었다.

상기 4마스크 공정의 핵심은 TFT 액정표시장치 제조공정중 소오스/드레인 전극을 형성하는 과정에서 그레이톤(gray - tone), 즉, 상대적으로 얇은 두께의 감광막 패턴을 형성하여, 액티브층과 소오스/드레인 전극을 하나의 마스크 공정으로 형성할 수 있도록 한 것이다.

이하, 그레이톤을 이용한 TFT 형성과정을 도 1a 내지 도 1d를 참조하여 설명하도록 한다.

먼저, 도 1a에 도시된 바와 같이, 유리 기판(10) 상에 게이트 전극(1)을 형성하고, 상기 게이트 전극(1)이 형성된 유리 기판(10) 상에 게이트 절연막(3), 비도핑된 비정질 실리콘막(5), 도핑된 비정질 실리콘막(7) 및 소오스/드레인 금속막(9)을 차례로 증착한다. 그런다음, 상기 소오스/드레인 금속막(9) 상에 감광막을 도포한후, 영역별로 광투과량이 상이하게되는 그레이톤 마스크를 사용하여 상기 감광막을 노광하고, 이를 현상하여 채널층 상부가 상대적으로 얇은 두께의 그레이톤(12a)을 갖는 감광막 패턴(12)을 형성한다. 이어서, 감광막(12)을 사용하여 소오스/드레인 금속막(9)을 식각한다.

그다음, 도 1b에 도시된 바와 같이, 상기 그레이톤을 에싱(12a)하여 채널층 형성 영역 상부의 소오스/드레인 금속막 부

분을 노출시킨다. 이어서, 도 1c에 도시된 바와 같이, 잔류된 감광막 패턴(12) 및 소오스/드레인 금속막(9)을 마스크로 사용하여 도핑된 비정질 실리콘막(7)과 비도핑된 비정질 실리콘막(5)을 식각한다. 그다음 도 1d에 도시된 바와 같이, 잔류된 감광막 패턴을 마스크로하여 소오스/드레인 금속막과 도핑된 비정질 실리콘막(7) 및 비도핑된 비정질 실리콘막(5)을 소정두께로 식각하여, 소오스/드레인 전극(19)과, 오믹 콘택층(17) 및 채널층(5a)을 동시에 형성한다.

상기에서 설명한 4-마스크 공정을 이용한 TFT제조 공정은 소오스/드레인 전극(19)과 오믹 콘택층(17) 및 채널층(5a)을 동시에 형성하므로, 기존의 5-마스크 공정보다 하나의 마스크 수가 줄게 되고, 따라서, 공정 단순화에 따른 제조 단가 절감이 있다.

발명이 이루고자 하는 기술적 과제

그러나, 전술한 4-마스크 공정은 기존의 5, 6, 7-공정보다 마스크의 수는 줄일 수 있지만, 그레이톤 에싱과 비도핑된 비정질 실리콘막, 도핑된 비정질 실리콘막으로된 액티브층을 식각하기 위하여 각각 다른 모드, 즉, 건식 및 습식의 식각 장비에서 공정을 진행해야 하므로, 공정상의 어려움이 있다.

따라서, 본 발명은 상기한 종래의 문제점을 해결하기 위해 안출된 것으로서, 그레이톤의 에싱과 액티브층의 식각을 하나의 챔버에서 연속적으로하여 공정 단순화를 얻을 수 있는 박막 트랜지스터 액정표시장치 제조방법을 제공하는데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한, 본 발명은 게이트 전극이 형성된 유리 기판의 전체 상에 게이트 절연막, 비도핑된 비정질 실리콘막, 도핑된 비정질 실리콘막 및 소오스/드레인 금속막을 차례로 증착하고, 상기 소오스/드레인 금속막 상에 감광막을 도포하는 단계; 상기 감광막을 노광 및 현상하여 채널층 예정 영역의 상부에 상대적으로 얇은 두께의 그레이톤을 갖는 감광막 패턴을 형성하는 단계; 상기 그레이톤을 갖는 감광막 패턴을 사용하여 소오스/드레인 금속막을 식각하는 단계; 상기 그레이톤의 에싱과 도핑된 비정질 실리콘막 및 비도핑된 비정질 실리콘막의 식각을 동일 챔버내에서 연속적으로 수행하는 단계; 상기 노출된 소오스/드레인 금속과 도핑된 비정질 실리콘막, 비도핑된 비정질 실리콘막의 표면 일부 두께를 식각하여, 소오스/드레인 전극과, 오믹 콘택층 및 채널층을 형성하는 단계를 포함하며, 상기 감광막 패턴의 그레이톤의 에싱과 도핑된 비정질 실리콘 막 및 비도핑된 비정질 실리콘막의 연속 식각은 RIE(Reactive Ion Etching) 또는 PE(Plasma Etching) 공정으로 수행하는 것을 특징으로 한다.

본 발명에 의하면, 그레이톤의 에싱과 액티브층 식각을 하나의 챔버에서 진행하므로, 공정을 단순화 시킬 수 있다.

(실시예)

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

도 2a 내지 도 2d는 본 발명에 따른 박막 트랜지스터 액정표시장치의 제조방법을 공정순으로 도시한 단면도들이다. 여기서 도 1a 내지 도 1d와 동일한 부분은 동일한 도면부호로 나타낸다.

먼저, 도 2a에 도시된 바와 같이, 유리 기판(10)상에 게이트 전극(1)을 형성한 상태에서, 상기 게이트 전극(1)을 덮도록, 게이트 절연막(3)과, 비도핑된 비정질 실리콘막(5), 도핑된 비정질 실리콘막(7), 및 소오스/드레인 금속막(9)을 차례로 증착한다. 그런다음, 상기 소오스/드레인 금속막(9) 상에 그레이톤(12a)을 갖는 감광막 패턴(12)을 형성한다. 다음으로 도 2b에 도시한 바와 같이, 하나의 챔버에서 그레이톤의 에싱과 도핑된 비정질 실리콘막과 비도핑된 비정질 실리콘막으로된 액티브층을 식각한다. 이때, 상기 그레이톤 에싱과 액티브층의 식각은 단일 챔버에서 RIE(Reactive Ion Etching) 및 PE(Plasma Etching)를 이용해서 인-시튜(in-situ) 방식으로 수행한다.

계속해서, 도 2c에 도시된 바와 같이, 에싱된 감광막 패턴(12)을 마스크로하여 소오스/드레인 금속막(9)과 액티브층을 식각함으로써, 소오스/드레인 전극(19)과 오믹 콘택층(17) 및 채널층(5)을 동시에 형성하고, 이결과로, TFT를 형성한다.

이후, 도 2d에 도시한 바와 같이, 상기 단계까지의 결과물 상에 보호막을 도포한후, TFT 일부분을 노출시키도록 콘택홀을 형성하고, 이어서, 상기 콘택홀을 형성한 보호막(21) 상에 ITO 금속막을 증착하고, 이를 식각하여 화소전극(23)을 형성함으로써, 박막 트랜지스터 액정표시장치의 어레이 기판을 완성한다.

상기의 공정은 하나의 챔버에서 실시할 뿐 기존의 공정과 같이 챔버내에서 그레이톤의 에싱, 액티브층 식각을 순서적으로 진행한다.

또한, 본 발명은 TFT 제조공정에 대해서, 도시하고, 설명하였지만, 반도체 공정에서도 상기한 식각의 식각공정의 단순화 및 생산성을 위하여 실시할 수 있다.

발명의 효과

이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 4- 마스크 공정중 소오스/드레인 마스크 공정에서 그레이톤의 에싱과, 액티브층의 식각 공정을 하나의 챔버에서 실시할 수 있기때문에, 공정 단순화를 얻을 수 있으며, 이에 따라, 제조단가를 줄일 수 있다.

본 발명은 상기한 실시 예에 한정되지 않고, 이하 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

(57) 청구의 범위

청구항 1.

게이트 전극이 형성된 유리 기판의 전체 상에 게이트 절연막, 비도핑된 비정질 실리콘막, 도핑된 비정질 실리콘막 및 소오스/드레인 금속막을 차례로 증착하고, 상기 소오스/드레인 금속막 상에 감광막을 도포하는 단계;

상기 감광막을 노광 및 현상하여 채널층 예정 영역의 상부에 상대적으로 얇은 두께의 그레이톤을 갖는 감광막 패턴을 형성하는 단계;

상기 그레이톤을 갖는 감광막 패턴을 사용하여 소오스/드레인 금속막을 식각하는 단계;

상기 그레이톤의 에싱과 도핑된 비정질 실리콘막 및 비도핑된 비정질 실리콘막의 식각을 동일 챔버내에서 연속적으로 수행하는 단계;

상기 노출된 소오스/드레인 금속과 도핑된 비정질 실리콘막, 비도핑된 비정질 실리콘막의 표면 일부 두께를 식각하여, 소오스/드레인 전극과, 오믹 콘택층 및 채널층을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 액정표시장치 제조방법.

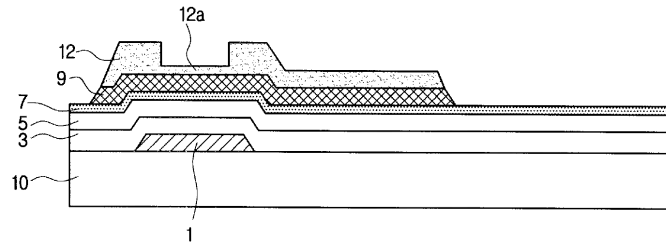
청구항 2.

제 1항에 있어서,

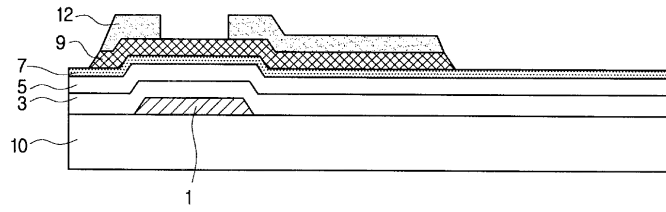
상기 감광막 패턴의 그레이톤의 에싱과 도핑된 비정질 실리콘 막 및 비도핑된 비정질 실리콘막의 연속 식각은 RIE(Reactive Ion Etching) 또는 PE(Plasma Etching) 공정으로 수행하는 것을 특징으로 하는 박막 트랜지스터 액정표시장치 제조방법.

도면

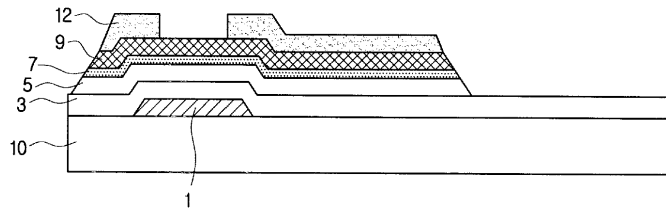
도면 1a



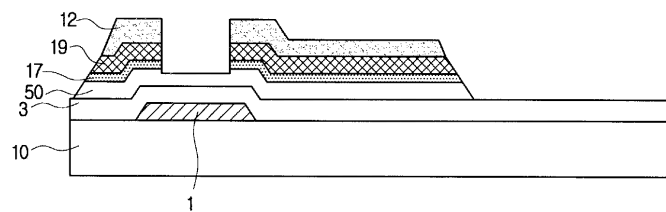
도면 1b



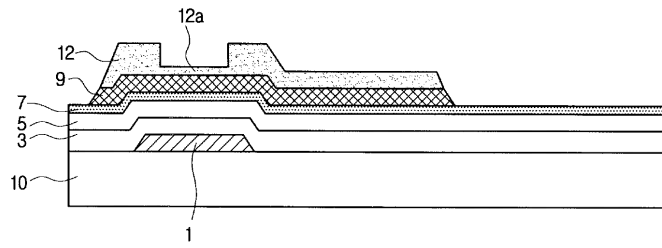
도면 1c



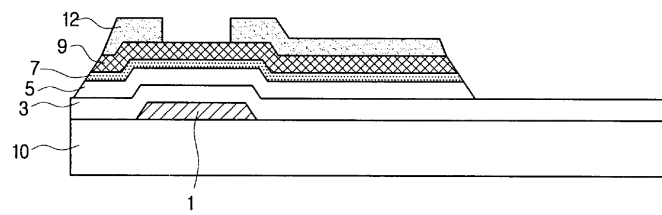
도면 1d



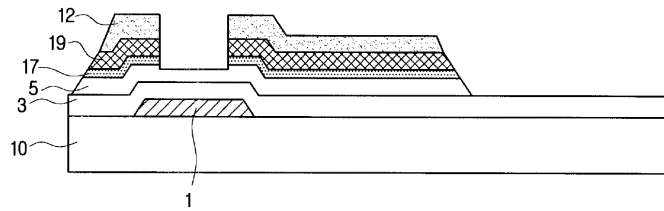
도면 2a



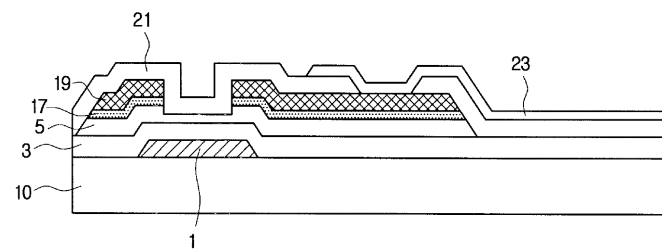
도면 2b



도면 2c



도면 2d



专利名称(译)	薄膜晶体管液晶显示装置的制造方法		
公开(公告)号	KR1020020085235A	公开(公告)日	2002-11-16
申请号	KR1020010024639	申请日	2001-05-07
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	JUN SEUNGIK 전승익 MIN TAEYUP 민태엽		
发明人	전승익 민태엽		
IPC分类号	G02F1/136		
代理人(译)	赵龙HYUN		
其他公开文献	KR100737641B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种制造薄膜晶体管液晶显示器件的方法，其中简化了掩模工艺。本发明所公开的，其栅极连接到玻璃衬底，绝缘膜，非掺杂的无定形硅膜，以及沉积掺杂的无定形硅膜和源极/漏极金属膜，然后，源极上的光敏膜/漏金属膜构成的栅极电极的整个图像应用；曝光和显影光致抗蚀剂层，以在沟道层的预定区域上形成具有相对薄的灰色调厚度的光致抗蚀剂图案；使用具有灰色调的光致抗蚀剂图案蚀刻源/漏金属膜；在同一腔室中连续地进行灰度灰化，掺杂非晶硅膜和未掺杂非晶硅膜的蚀刻；其特征在于：它包括形成所述掺杂的步骤，和源极/漏极上的非晶硅薄膜金属露出，并蚀刻到一定厚度时，源极/漏极电极，所述欧姆CON tekcheung和沟道层的非掺杂的非晶硅膜表面的它应。 图2d 指数方面 TFT，灰色调，omicron纹理层，ITO，保护层

