(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[7]
G09G 3/36

(11) 공개번호 특2001-0051618
(43) 공개일자 2001년06월25일

(21) 출원번호 10-2000-0066925
(22) 출원일자 2000년11월11일

(30) 우선권주장 1999-321389 1999년11월11일 일본(JP)
(71) 출원인 닛본 덴기 가부시끼가이샤 가네꼬 히사시
일본국 도꾜도 미나도꾸 시바 5쪼메 7방 1고
(72) 발명자 세끼네히로유끼
일본도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤내
(74) 대리인 장수길, 주성민

심사청구 : 있음

(54) 액정 표시 장치의 구동 회로와 그 구동 방법

요약

액정 표시 패널로부터 프리차지 회로를 삭제하여 패널 사이즈를 소형화하고, 패널의 프리차지에 의한 변동을 없애고, 패널 전면에서 균일한 화상을 표시하고, 전체적으로 수율을 향상시키는 것을 과제로 한다.

액정 표시 장치를 구동하는 구동 회로에 있어서, 패널에 인가하는 영상 신호를 생성하는 영상 신호 생성 블록이 R, G, B 각 색의 패널마다 화상 신호를 A/D 변환하는 ADC회로와, 상기 패널의 1행분의 신호를 유지할 수 있는 용량을 갖는 2개의 메모리와, 패널의 입력 전압에 대한 투과광 강도의 비선형성을 보정하는 V-T 보정 회로와, 패널의 액정 화소를 AC 구동하기 위한 극성 반전 회로와, 상기 극성 반전 회로가 출력하는 디지털 신호를 D/A하는 DAC 회로와, 패널로의 프리차지 전압과 출력 선택 회로를 순차적으로 접속 구성하고, 상기 출력 선택 회로는 상기 화상 신호의 수평 기간의 절반 기간에서 상기 DAC 회로의 아날로그 신호를 표시하고, 후의 절반에서 패널을 프리차지하는 것을 특징으로 한다.

대표도

도1

색인어

컬러 화상 신호원, 메모리, 극성 반전 회로, 출력 선택 회로, 병렬 전개 회로, 액정 표시 장치

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 의한 영상 신호 생성 블록을 주로 한 블록도.

도 2는 본 발명의 액정 표시 장치의 구동 방법을 설명하는 회로도.

도 3은 본 발명의 제1 실시예에 의한 영상 신호 생성 블록의 동작을 설명하는 타이밍차트.

도 4는 본 발명의 액정 표시 장치의 구동 방법을 설명하는 타이밍차트.

도 5는 본 발명의 제2 실시예에 의한 영상 신호 생성 블록을 주로 한 블록도.

도 6은 본 발명의 액정 표시 장치의 구동 방법을 설명하는 회로도.

도 7은 종래예의 액정 표시 장치의 구동 방법을 설명하는 회로도.

도 8은 종래예의 액정 표시 장치의 구동 방법을 설명하는 타이밍차트.

〈도면의 주요 부분에 대한 부호의 설명〉

11 : 컬러 화상 신호원

12 : A/D 변환기

13 : 메모리

14 : V-T 보정 회로

15 : 극성 반전 회로

16 : D/A 변환기

17 : 출력 선택 회로

18 : 병렬 전개 회로

20 : 영상 신호 생성 블록

30 : 타이밍 제어 블록

40 : 패널 제어 펄스 생성 블록

50 : 액정 표시 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 액정 표시 장치와 그 구동 방법에 관한 것으로, 액티브 매트릭스 방식에 있어서의 액정 표시 장치의 구동 회로와 그 구동 방법에 관한 것이다.

액정 표시 장치의 각 화소에 스위칭용의 능동 소자인 TFT(박막 트랜지스터)를 배치한 액티브 매트릭스형 액정 표시 장치 중에서, 특히 TFT로서 poly-Si(폴리실리콘) 재료를 이용한 경우, a-Si(비정질 실리콘) TFT 등과 비교하여 높은 전류 구동 능력을 갖기 때문에, 또한 액정 표시 장치의 구동 회로의 일부를 유리 기판 상에 동시에 제작하는 것이 가능하기 때문에, 프로젝터용 액정 표시 장치 등 소형화가 요구되는 것에 많이 이용된다.

이러한 구동 회로를 일체화한 액정 표시 장치의 종래예를 도 7에 도시한다. 이것은 종·횡으로 배치된 데이터선과, 게이트선의 각 교점에 화소 TFT(Mpix)와 액정 소자의 화소 용량(Clc), 축적 용량(Cst)을 배치한 화소 매트릭스와, 데이터선(D1~Dn)을 구동하는 데이터 드라이버 회로, 게이트선(G1~Gm)을 구동하는 게이트 드라이버 회로, 프리차지용 제어 전압을 게이트에 공급하고 또한 데이터선(D1~Dn)의 전위를 어떤 전압으로 리세트하는 프리차지 회로로 구성되어 있다.

게이트 드라이버 회로는 m개의 게이트선을 순차적으로 하이 레벨로 구동한다. 데이터 드라이버 회로는 n개의 출력을 갖는 주사 회로와, n개의 아날로그 스위치 TFT(S1~Sn)로 구성된다. 이 주사 회로는 스타트 신호 DST의 데이터를 클럭 DCLK에 동기하여 순차적으로 전송을 행한다. 또한, 프리차지 회로는 n개의 스위치(P1~Pn)로 구성되고, 이들 모든 스위치의 게이트는 제어 단자 PCG에 접속되고, 소스/드레인 단자는 단자 PCS에 접속되어 있다. 여기서는, 화소 TFT, 아날로그 스위치 TFT, 프리차지 회로의 스위치 TFT는 게이트 전극에 하이 레벨의 전압이 인가되었을 때에 도통 상태로 되는 n-ch 트랜지스터를 이용하고 있다.

이 액정 표시 장치의 동작을 도 8에 도시한 타이밍차트를 이용하여 설명한다. 여기서, 도 8 중 TH(i)는 화소 매트릭스의 1행분의 영상 신호가 공급되는 주기인 1 수평 기간을 나타내고 있다. 데이터 드라이버 회로의 스타트 신호를 DST로서, 1 수평 기간마다 1회 하이 레벨이 되도록 클럭 DCLK에 동기시켜 인가한다. 그렇게 하면, 주사 회로는 클럭 DCLK에 동기하여 스타트 신호 DST를 순차적으로 전송하기 때문에, 그 출력 SP1, SP2에는 도면에 도시한 바와 같은 펄스가 출력된다. 주사 회로의 출력 단자는 아날로그 스위치 TFT에 접속되어 있기 때문에, n개의 아날로그 스위치 TFT는 클럭 DCLK에 동기하여 순차적으로 ON-OFF를 행하게 된다.

여기서, 영상 신호 Vsig를 클럭 DCLK에 동기시켜 액정 표시 장치에 공급하면, 영상 신호는 순차적으로 데이터선에 샘플링된다. 이 수평 기간에 있어서 게이트선 Gj(j는 $1 \leq j \leq m$의 조건을 만족시키는 정수)가 하이 레벨로 되어 있기 때문에, 데이터선에 샘플링된 영상 신호가 화소 TFT를 통해 화소의 액정 소자 Clc, Cst에 기입된다. 게이트선 Gj가 로우 레벨로 된 후, 제어 신호 PCG의 전위를 어떤 기간만큼 하이 레벨로 하면, 프리차지 회로의 모든 스위치 TFT는 도통 상태로 되고, 단자 PCS에 인가되어 있는 전압으로 모든 데이터선을 리세트한다. 이 동작을 모든 게이트선에 대하여 행함으로써, 2차원의 화상을 표시할 수 있다.

이 타이밍차트의 설명으로서, 여기서는 액정 표시 장치를 게이트선 반전으로 구동시킨 경우를 상정하고 있고, 그 때에 액정 표시 장치에 Vcom(대향 전극 전위)에 대하여 플러스 극성이 되는 영상 신호를 공급하고 있는 기간에 데이터선을 리세트하는 전위로서 Vps를 인가하고, 마이너스 극성이 되는 영상 신호를 공급하고 있는 기간에 데이터선을 리세트하는 전위로서 Vng를 단자 PCS에 인가하고 있다.

여기서, 프리차지를 행하는 이유를 설명한다. 프리차지 혹은 예비 충전이라고 불리는 구동을 행하면, 데이터선에 평행한 줄무늬형의 휘도 얼룩을 저감시킬 수 있다. 이 휘도 얼룩의 발생 원인은 아날로그 스위치를 구성하는 개개의 TFT의 특성이 변동됨으로써, 데이터선에 기입되는 영상 신호 전압이 변동되기 때문이다라고 생각되고 있다. 여기서 프리차지를 행하면, 아날로그 스위치에 의해 데이터선에 영상 신호가 기입되기 전에 프리차지에 의해서 데이터선에 전압 Vps 혹은 Vng가 기입되기 때문에, 영상 신호를 기입할 때에 데이터선의 전위는 Vps 혹은 Vng로부터 영상 신호 전위에까지 기입되게 된다. 즉, 데이터선의 전위 변화가 전회 기입된 영상 신호에 관계없이, 다음에 기입하는 영상 신호 전위와 가까운 값이 되기 때문에, 데이터선의 전위 변화량을 작게 할 수 있고, 아날로그 스위치 TFT의 특성에 변동이 생긴 경우라도 데이터선에 기입되는 전압의 변동을 작게 할 수 있다.

그러나, 이와 같이 프리차지 구동을 행하면, 화질을 향상시키는 것이 가능해지지만 이하와 같은 새로운

문제가 생긴다.

첫째로, 프리차지를 행하는 전용의 회로가 필요하고, 그 회로 때문에 액정 표시 장치의 크기가 커지게 된다고 하는 문제이다. 또한, 프리차지 회로를 설치함으로써, 액정 표시 장치를 구성하는 TFT 소자수도 증대하여 수율을 저하시킨다고 하는 문제도 생긴다.

둘째로, 이 방식에서는 프리차지를 짧은 수평 블랭킹 기간(수평 기간 내, 영상 신호가 인가되어 있지 않은 기간)에 행할 필요가 있고, 프리차지 회로에 전압을 공급하는 외부 회로를 구동 능력이 높은 것으로 해야만 한다고 하는 문제이다. 이것은 모든 데이터선을 한번에 구동하기 위해서 그 용량이 커지게 되기 때문이다.

셋째로, 프리차지의 효과가 액정 표시 장치의 위치에 의해 차가 생긴다고 하는 문제이다. 이것은 영상 신호의 기입은 액정 표시 장치의 좌측으로부터 우측으로 순차적으로 행해지는 데 반하여, 프리차지는 액정 표시 장치 전면에 걸쳐 한번에 행해지기 때문에, 프리차지에 의해 전압을 기입하고 나서 영상 신호가 기입되기까지의 시간이 장소에 따라 다르기 때문이다.

발명이 이루고자하는 기술적 과제

그래서, 본 발명은 액정 표시 패널로부터 프리차지 회로를 삭제하여 수율을 향상시킴과 함께, 수평 블랭킹 시간과는 다른 기간에 프리차지를 실행하고, 액정 표시 패널 전체에서의 표시 변동을 삭감하는 것을 과제로 한다.

본 발명은 액티브 매트릭스형 액정 표시 장치를 구동하는 구동 회로에 있어서, 영상 신호 생성 블록과, 타이밍 제어 블록과, 패널 제어 펄스 생성 블록으로 구성되고, 상기 액정 표시 장치에 인가하는 영상 신호를 생성하는 영상 신호 생성 블록이 R, G, B 각 색의 액정 표시 장치마다 표시용 화상 신호의 신호원으로부터의 아날로그 신호를 디지털 신호로 변환하는 ADC 회로와, 상기 액정 표시 장치의 1행분의 신호를 유지할 수 있는 용량을 갖는 2개의 메모리와, 상기 액정 표시 장치의 입력 전압에 대한 투과광 강도의 비선형성을 보정하는 V-T 보정 회로와, 상기 액정 표시 장치의 액정 화소를 AC 구동하기 위한 극성 반전 회로와, 상기 극성 반전 회로가 출력하는 디지털 신호를 아날로그 신호로 변환하는 DAC 회로와, 상기 액정 표시 장치에 인가하는 출력을 전환하여 상기 액정 표시 장치에 출력하는 출력 선택 회로를 순차적으로 접속 구성하고, 상기 출력 선택 회로는 상기 화상 신호의 수평 기간의 절반 기간에서 상기 DAC 회로의 아날로그 신호를 표시하고, 후의 절반에서 상기 액정 표시 장치를 프리차지하는 것을 특징으로 한다.

또한, 본 발명은 액티브 매트릭스형 액정 표시 장치를 구동하는 구동 회로에 있어서, 영상 신호 생성 블록과, 장치내 각 부에 타이밍 신호를 공급하는 타이밍 제어 블록과, 상기 액정 표시 장치의 주사용 제어 펄스 등을 공급하는 패널 제어 펄스 생성 블록으로 구성되고, 상기 액정 표시 장치에 인가하는 영상 신호를 생성하는 영상 신호 생성 블록은 R, G, B의 각 색용의 액정 표시 장치마다 표시용 화상 신호의 신호원으로부터의 아날로그 신호를 디지털 신호로 변환하는 ADC 회로와, 상기 액정 표시 장치의 1행분의 신호를 유지할 수 있는 용량을 포함하는 2개의 메모리와, 상기 액정 표시 장치의 입력 전압에 대한 투과광 강도의 비선형성을 보정하는 V-T 보정 회로와, 상기 액정 표시 장치의 액정 화소를 AC 구동하기 위한 극성 반전 회로와, 상기 영상 신호를 복수의 영상 신호에 병렬 전개하기 위한 병렬 전개 회로와, 상기 병렬 전개 회로가 출력하는 디지털 신호를 아날로그 신호로 변환하는 DAC 회로와, 상기 액정 표시 장치에 인가하는 출력을 전환하는 출력 선택 회로에서 순차 적으로 접속 구성되어 있는 것을 특징으로 한다.

또한, 상기 액정 표시 장치 구동 회로에 있어서의 구동 방법에 있어서, 상기 2개의 메모리는 배속도로 서로 판독·휴지(休止), 기입·휴지를 반복하고, 한쪽이 판독 중이면 다른쪽은 기입 중이고, 출력 선택 회로는 상기 메모리로부터 판독한 영상 신호를 출력한 후 프리차지 기간에 들어가는 것을 특징으로 한다.

또한, 상기 액정 표시 장치의 구동 회로에 있어서의 구동 방법에 있어서, 상기 신호원으로부터의 1행분의 영상 신호를 일단 상기 메모리에 저장하고, 상기 신호원의 영상 신호의 신호 주파수의 2배 이상의 주파수로 판독함으로써, 1 수평 기간의 절반 이하의 기간에서 1행분의 영상 신호를 상기 액정 표시 장치에 기입하고, 남은 기간에 프리차지 전압을 상기 액정 표시 장치에 기입한다고 하는 동작을 행하고, 또한 상기 액정 표시 장치에의 영상 신호의 기입, 상기 프리차지 전압의 기입을 상기 액정 표시 장치의 영상 신호의 배선수만큼 병렬화하여 행하는 것을 특징으로 한다.

또한, 본 발명의 구동 방법을 개념적으로 설명하면, 액정 표시 장치에 인가하는 영상 신호를 일단 메모리에 저장하고, 그 신호를 메모리로부터 고속으로 판독하여 액정 표시 장치에 기입함으로써 1 수평 기간의 블랭킹 기간을 길게 하고, 이 블랭킹 기간에 영상 신호와 마찬가지로 아날로그 스위치에 의해 프리차지 전압을 데이터선에 기입하는 것을 특징으로 한다.

발명의 구성 및 작용

본 발명에 의한 실시예에 관해서, 도면을 참조하면서 상세하게 설명한다.

[제1 실시예]

(1) 구성의 설명

도 1에 본 발명의 제1 실시예에 의한 액티브 매트릭스형 액정 표시 장치의 구동 방법을 실현하는 패널 구동 회로의 블록도를 나타낸다. 이 회로는 크게 영상 신호 생성 블록(20)과, 타이밍 제어 블록(30)과, 패널 제어 펄스 생성 블록(40)과, 액정 표시 장치(50)로 나눌 수 있다.

패널 제어 펄스 생성 블록(40)은 액정 표시 장치(50)의 내부 회로를 구동하는 데 필요한 제어 펄스를 생

성하고, 영상 신호 생성 블록(20)은 액정 표시 장치(50)에 인가하는 영상 신호를 생성한다.

타이밍 제어 블록(20)은 화상 신호의 신호원(11)으로부터 동기 신호 분리 회로에 의해 동기 신호를 검출하고 이 동기 신호에 동기하여 패널 제어 펄스 생성 블록(40), 영상 신호 생성 블록(20)을 제어하는 신호를 생성한다.

영상 신호 생성 블록(20)은 R, G, B의 각 액정 표시 장치(50)마다 신호원으로부터의 아날로그 신호를 디지탈화하는 ADC 회로(12), 액정 표시 장치(50)의 1행분의 신호를 유지할 수 있는 2개의 메모리(13), 액정 표시 장치(50)의 입력 전압에 대한 투과광 강도의 비선형성을 보정하는 V-T 보정 회로(14), 액정 화소를 AC 구동하기 위한 극성 반전 회로(15), 디지털 신호를 아날로그 신호로 변환하는 DAC 회로(16), 액정 표시 장치(50)에 인가하는 출력을 전환하는 출력 선택 회로(17)로 구성되어 있다.

도 2에 이 구동 방법으로 구동시킨 액티브 매트릭스형 액정 표시 장치의 일 구성예를 나타낸다. 도 2에 도시한 액티브 매트릭스형 액정 표시 장치는 종횡으로 배치된 데이터선(D1～Dn)과, 게이트선(G1～Gm)의 각 교점에 능동 소자인 TFT (Mpix)와, 액정 화소 용량 Clc와, 축적 용량 Cst로 이루어지는 화소 PIX를 배치한 화소 매트릭스와, 데이터선을 구동하는 데이터 드라이버 회로, 게이트선을 구동하는 게이트 드라이버 회로로 구성된다.

데이터 드라이버 회로는 각 데이터선의 수와 동수 이상의 아날로그 스위치(ASW)용 TFT와, 이 스위치용 TFT의 수와 동수의 출력 단자를 갖는 주사 회로로 구성된다. 이 ASW용 TFT의 소스 단자는 데이터선 D1, D2, …, Dn에 접속되고, 드레인 단자는 영상 신호 배선 SIG에 접속되고, 게이트 단자는 주사 회로의 출력 단자 SP1, SP2, …, SPn에 접속되어 있다.

게이트 드라이버 회로는 주사 회로와 AND 게이트 어레이로 구성되고, 개개의 AND 게이트의 입력 단자는 주사 회로의 출력 단자와, 공통의 ENB 배선에 접속되어 있고, 그 출력 단자는 게이트선에 접속되어 있다.

(2) 동작의 설명

도 3에 도시한 타이밍차트를 이용하여 패널 구동 회로의 동작에 관해서 설명한다. 이것은 액정 표시 장치를 게이트선 반전 구동으로 동작시키는 예이다. 타이밍차트의 Hsync는 수평 동기 신호를 나타내고 있고, 그 수평 기간을 TH(i), TH (i+1)로 하고 있다. Video는 신호원으로부터 출력되는 영상 신호를 나타내고 있고, Mem1R/W, Mem2R/W는 각각 메모리(1), 메모리(2)를 판독 동작으로 할 것인지(Read), 기입 동작으로 할 것인지(Write)를 제어하는 신호를 나타내고 있다. Mem1Clk, Mem2Clk는 타이밍 제어 블록(30)으로부터의 타이밍 신호에 기초하여 생성되어 각각 메모리(1), 메모리(2)를 제어하는 클럭을 나타내고 있다. 또한, Out_cnt, P/N_cnt는 타이밍 제어 블록(30)으로부터의 타이밍 신호에 기초하여 생성되고, 출력 선택 회로(17)를 제어하는 신호이고, Out_cnt가 하이 레벨일 때에는 디지털·아날로그 변환 회로(DAC)(12)의 출력을 선택하고, Out_cnt가 로우 레벨인 경우, 프리차지 전압 Vpc 혹은 Vng가 선택된다. 프리차지 전압 Vpc와 Vng의 어느 쪽이 선택될지는 제어 신호 P/N_cnt로 결정된다. P/N_cnt가 하이 레벨일 때에는 전압 Vps가 선택되고, Out_cnt가 로우 레벨이고 P/N_cnt가 로우 레벨일 때에는 전압 Vng가 선택된다. 이 예에서는, 전압 Vps는 접지 전위에 가까운 전압이고, 전압 Vng는 신호 레벨보다도 높은 전압으로 설정되어 있다.

어떤 수평 기간 TH(i)의 동작에 관해서 설명한다. 이 기간에서는 Mem1R/W가 판독되어 있고(Read), Mem2R/W가 기입되어 있기 때문에(Write), 신호원으로부터의 영상 신호는 ADC 회로(12)에서 디지탈화된 후, 메모리(2)에 기입된다. 이 때 메모리(2)에 공급되는 클럭 신호 Mem2Clk는 신호원(11)의 영상 신호 주파수와 동일하게 되어 있다. 한편 메모리(1)의 내용이 판독되어 V-T 보정 회로(14)에 보내지어지만, 메모리(1)를 판독할 때의 클럭 주파수를 기입 주파수의 2배 이상으로 하고 있다. 그 때문에, 메모리(1)에 기입되어 있던 수평 기간 TH(i-1)의 영상 신호 데이터는 TH의 절반 이하의 기간 Tsig에 전부 V-T 보정 회로(14)에 보내어지고, 극성 반전 회로(15), DAC(16), 출력 선택 회로(17)를 통해 액정 표시 장치(50)에 인가된다.

1행분의 영상 신호가 전부 액정 패널에 인가된 후, 기간 Tpcg에서는 출력 선택 회로(17)의 제어 신호Out_cnt가 로우 레벨로 변화하고, 또한 P/N_cnt이 하이 레벨이기 때문에 프리차지 전압 Vps가 액정 패널(50)에 인가된다.

다음의 수평 기간 TH(i+1)에서는 Mem1R/W가 기입되고, Vem2R/W가 판독되어 있기 때문에, 신호원으로부터의 영상 신호는 메모리(1)에 기입되고, TH(i)에 메모리(2)에 기입된 영상 신호가 판독된다. 이 때도 메모리에 기입할 때의 주파수는 신호원(11)의 영상 신호의 주파수이지만, 판독할 때의 주파수는 그 2배 이상으로 되어 있다. 기간 TH(i)일 때와 마찬가지로, 메모리로부터 판독된 영상 신호는 기간 Tsig 간에 V-T 보정 회로(14), 극성 반전 회로(15), DAC(10), 출력 선택 회로(17)를 통해 액정 표시 장치(50)에 인가된다. 기간 Tpcg에서는 P/N_cnt가 로우 레벨로 되어 있기 때문에, 프리차지 전압 Vng가 선택되어 액정 표시 장치(50)에 인가된다.

즉, 이 패널 회로는 신호원(11)으로부터의 1행분의 영상 신호를 일단 메모리에 저장하고, 신호원(11)의 영상 신호 주파수의 2배 이상의 주파수로 판독함으로써, 1 수평 기간의 절반 이하의 기간에서 1행분의 영상 신호를 액정 표시 장치(50)에 기입하고, 남은 기간에 프리차지 전압을 액정 표시 장치(50)에 기입한다고 하는 동작을 행하고 있다. 또한 출력 선택 회로(17)에 인가되는 프리차지 전압은 다음에 어떤 극성의 영상 신호가 인가되는가에 따라서 수평 기간마다 달라진다.

다음에, 액정 표시 장치(50)의 동작에 관해서 도 4에 도시한 타이밍차트를 이용하여 설명한다. 도 2에 도시한 액정 표시 장치(50)의 데이터선을 선택하는 데이터 드라이버 회로의 주사 회로는 입력 신호 DST의 내용을 제어 클럭 DCLK에 동기시켜, 순차적으로 전송한다고 하는 동작을 행한다.

여기서, 클럭 신호 DCLK의 주파수를 패널 구동 회로의 메모리 판독 주파수와 동일하게 하여 스타트 신호

DST를 1 수평 기간 TH 내, Tsig의 개시시와 Tpcg의 개시시에 일회씩 하이 레벨이 되도록 한다. 그렇게 하면 주사 회로의 각 단자의 출력 SP1~SPn은 도시한 바와 같이 클럭 신호 DCLK에 동기하여 기간 Tsig, Tpcg에 한번씩 펄스를 출력한다. 여기서, 주사 회로의 출력은 아날로그 스위치 ASW의 게이트 단자에 접속되어 있기 때문에, 기간 Tsig에 있어서는 영상 신호 배선 SIG에 인가된 영상 신호가 ASW에 의해 데이터선에 순차적으로 샘플링된다.

또한, 게이트선 Gi가 하이 레벨이기 때문에, i번째의 화소행의 화소 용량과 축적 용량에 영상 신호가 기입된다. 기간 Tpcg에 있어서는 영상 신호 배선 SIG에 인가된 프리차지 전압 Vps 혹은 Vng가 순차적으로 데이터선에 샘플링되지만, 이 기간에서는 게이트 드라이버 회로의 출력 제어 신호 ENB가 로우 레벨이기 때문에, 어느 쪽의 게이트선의 전위도 로우 레벨로 되고 데이터선의 전위는 화소에 기입되지 않는다.

이와 같은 동작을 모든 게이트선에 대하여 행함으로써, 액정 표시 장치의 모든 화소에 영상 신호를 기입할 수 있다.

이 설명에서는 게이트선 반전 구동 방식에서의 동작을 설명하였지만, 극성 반전 회로와 출력 전환 회로의 제어를 변화시킴으로써, 필드 반전 구동 방식, 데이터선 반전 구동 방식 중 어디에도 대응할 수 있다. 또한, 프리차지형 액정 표시 장치는 투영 렌즈로 확대 표시하는 투영형 프로젝터에 이용되는 케이스가 많고, 본 발명에 이용하는 것은 말할 것도 없다.

(본 실시예의 효과)

먼저 도시한 구동 방법을 이용함으로써, 첫째로 액정 표시 장치에 프리차지를 행하는 전용의 내장 회로를 갖게 하지 않고, 프리차지 동작을 실현하는 것이 가능해진다. 이에 따라 액정 표시 장치의 크기를 작게 하는 것이 가능해지고, 또한 전용의 프리차지 회로에 결함이 발생하는 것에 의한 수율 저하를 없앨 수 있다. 둘째로 영상 신호를 1 수평 기간의 절반 이하의 시간에서 고속으로 기입하고, 남은 기간에 프리차지 전압을 데이터선에 1개씩 기입하기 때문에, 프리차지 전압을 확실하게 기입하는 것이 가능해진다. 셋째로 각 데이터선에서 영상 신호가 기입되고 나서 프리차지 전압이 기입되기까지의 시간이 동일해지고, 액정 표시 장치의 화소 표시 위치에 의해 프리차지의 효과에 차가 생긴다고 하는 문제가 없어진다.

[제2 실시예]

(1) 구성의 설명

도 5에 본 발명의 제2 실시예에 의한 액티브 매트릭스형 액정 표시 장치의 구동 방법을 실현하는 패널 구동 회로의 블록도를 나타낸다. 이 회로는 먼저 도시한 실시예와 마찬가지로 크게 영상 신호 생성 블록(21)과, 타이밍 제어 블록(30)과, 패널 제어 펄스 생성 블록(40)으로 나눌 수 있다.

패널 제어 펄스 생성 블록(40)은 액정 표시 장치(50)의 내부 회로를 구동하는 데 필요한 제어 펄스를 생성하고, 영상 신호 생성 블록(21)은 액정 표시 장치(50)에 인가하는 영상 신호를 생성한다. 타이밍 제어 블록(30)은 패널 제어 펄스 생성 블록(40), 영상 신호 생성 블록(21)을 제어하는 신호를 생성한다. 영상 신호 생성 블록(21)은 R, G, B의 각 액정 표시 장치(50)마다 신호원(11)으로부터의 아날로그 신호를 디지탈화하는 ADC(12), 액정 표시 장치(50)의 1행분의 신호를 유지할 수 있는 2개의 메모리(13), 액정 표시 장치(50)의 입력 전압에 대한 투과광 강도의 비선형성을 보정하는 V-T 보정 회로(14), 액정 화소를 AC 구동하기 위한 극성 반전 회로(15), 신호를 병렬 전개하는 병렬 전개 회로(18), 디지털 신호를 아날로그 신호로 변환하는 DAC 회로(16), 액정 표시 장치(50)에 인가하는 출력을 전환하는 출력 선택 회로(17)로 구성되어 있다.

도 6에 이 구동 방법으로 구동시키는 액티브 매트릭스형 액정 표시 장치(50)의 일구성예를 나타낸다. 도 6에 도시한 액티브 매트릭스형 액정 표시 장치는 종횡으로 배치된 데이터선(D1~Dn)과, 게이트선(G1~Cm)의 각 교점에 능동 소자인 TFT(Mpix)와, 액정 화소 용량 Clc와, 축적 용량 Cst로 이루어지는 화소 PIX를 배치한 화소 매트릭스와, 데이터선을 구동하는 데이터 드라이버 회로, 게이트선을 구동하는 게이트 드라이버 회로로 구성된다.

액정 표시 장치에는 외부로부터 영상 신호를 인가하기 위한 복수의 영상 신호 배선이 있다(본 도면에서는, 4개의 영상 신호 Sig1~4의 배선 예를 나타내고 있다). 데이터 드라이버 회로는 각 데이터선의 수와 동수 이상의 아날로그 스위치(ASW)용 TFT와, 스위치 TFT의 수를 영상 신호 배선의 수로 나눈 수(나눈 수가 정수가 아닌 경우에는 소수점 이하를 올림하여 구해진 정수) 이상의 출력 단자를 갖는 주사 회로로 구성된다.

아날로그 스위치(ASW)용 TFT의 드레인 단자는 4개씩 다른 영상 신호 배선에 접속되고, 게이트 단자는 4개씩의 ASW용 TFT의 공통 배선에 의해 주사 회로의 출력에 접속되어 있다. 또한, 소스 단자는 각각 다른 데이터선에 접속되어 있다. 게이트 드라이버 회로는 주사 회로와 AND 게이트 어레이로 구성되고, 개개의 AND 게이트의 입력 단자는 주사 회로의 출력 단자와, 공통의 ENB 배선에 접속되어 있고, 그 출력 단자는 게이트선에 접속되어 있다.

(2) 동작의 설명

상술한 제2 실시예에서 도시한 구성에 의한 패널 구동 회로의 동작은 실시예 1에서 설명한 동작과 거의 동일하고, 병렬 전개 회로(18)에 의해 액정 표시 장치의 영상 신호 배선의 수만큼 병렬 전개되는 것이 다르다(여기서는, 4개의 영상 신호로 전개한다). 즉, 이 패널 구동 회로는 신호원으로부터의 1행분의 영상 신호를 일단 메모리에 저장하고, 신호원의 영상 신호 주파수의 2배 이상의 주파수로 판독함으로써, 1 수평 기간의 절반 이하의 기간에서 1행분의 영상 신호를 액정 표시 장치에 기입하고, 남은 기간에 프리차지 전압을 액정 표시 장치에 기입한다고 하는 동작을 행하고 있고, 특히 액정 표시 장치로의 영상 신호의 기입, 프리차지 전압의 기입을 액정 표시 장치의 영상 신호 배선수만큼 병렬화하여 행할 수 있는

것이 특징이 된다.

도 6에 도시한 액정 표시 장치의 동작도, 제1 실시예에서 설명한 동작과 거의 동일하다. 다른 것은 영상 신호 배선의 수가 복수개이고, ASW도 그 수만큼 동시에 주사 회로에 의해 구동되어, 영상 신호의 샘플링이 병렬로 행해지는 것이다. 또한 이에 따라, 액정 표시 장치의 제어 클럭 DCLK의 주파수가 패널 구동 회로의 메모리 판독 클럭 주파수를 영상 신호 배선의 수로 나눈 값으로 하고, DST의 폭도 그것에 따라서 길어지고 있다.

(본 실시예의 효과)

상술한 구동 방법을 이용함으로써, 제1 실시예에 의한 효과와 마찬가지의 효과가 얻어지는 것 외에, 영상 신호의 데이터선으로의 샘플링을 병렬화함으로써, 액정 표시 장치에 인가하는 영상 신호의 주파수를 저하시킬 수 있다. 이것은 데이터 드라이버 회로의 주사 회로의 구동 주파수를 저하시키는 것으로, 주사 회로의 설계를 용이하게 할 수 있다.

또한, 각 데이터선의 수와 동수 이상의 아날로그 스위치(ASW)용 TFT와, 스위치 TFT의 수를 영상 신호 배선의 수로 나눈 수 이상의 출력 단자를 갖는 주사 회로로 구성하고 있기 때문에, ASW가 영상 신호 또는 프리차지 전압을 샘플링하는 기간을 길게 취하는 것이 가능해지고, ASW에 요구되는 성능을 낮게 억제하는 것이 가능해진다.

발명의 효과

본 발명에 따르면, 액정 표시 패널에 필요한 프리차지 회로를 요하지 않고 소형화할 수 있다. 또한, 프리차지 회로의 부동작 확인도 필요하지 않고, 제조상의 수율에도 공헌한다. 또한, 영상 신호를 1 수평 기간의 절반 이하의 시간에서 고속으로 기입하고, 남은 기간에서 프리차지 전압을 데이터선에 1개씩 기입하기 때문에, 프리차지 전압을 확실하게 기입하는 것이 가능해진다. 또한, 데이터선으로 영상 신호가 기입되고 나서 프리차지 전압이 기입되기까지의 시간이 동일해지고, 액정 표시 장치의 화소 표시 위치에 의해 프리차지의 변동도 없어져 표시 화상의 품질이 향상된다.

(57) 청구의 범위

청구항 1

액티브 매트릭스형 액정 표시 장치를 구동하는 구동 회로에 있어서,

영상 신호 생성 블록,

장치내 각 부에 타이밍 신호를 공급하는 타이밍 제어 블록, 및

상기 액정 표시 장치의 주사용 제어 펄스 등을 공급하는 패널 제어 펄스 생성 블록

으로 구성되고,

상기 액정 표시 장치에 인가하는 영상 신호를 생성하는 영상 신호 생성 블록은, R, G, B 각 색의 액정 표시 장치마다 표시용 화상 신호의 신호원으로부터의 아날로그 신호를 디지털 신호로 변환하는 ADC 회로, 상기 액정 표시 장치의 1행분의 신호를 유지할 수 있는 용량을 갖는 2개의 메모리, 상기 액정 표시 장치의 입력 전압에 대한 투과광 강도의 비선형성을 보정하는 V-T 보정 회로, 상기 액정 표시 장치의 액정 화소를 AC 구동하기 위한 극성 반전 회로, 상기 극성 반전 회로가 출력하는 디지털 신호를 아날로그 신호로 변환하는 DAC 회로, 및 상기 액정 표시 장치에 인가하는 출력을 전환(switching)하여 상기 액정 표시 장치로 출력하는 출력 선택 회로를 순차 접속하여 구성되고,

상기 출력 선택 회로는 상기 화상 신호의 수평 기간의 절반의 기간에서 상기 DAC 회로의 아날로그 신호를 표시하고, 후의 절반에서 상기 액정 표시 장치를 프리차지하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 2

제1항에 기재된 액정 표시 장치의 구동 회로에서의 구동 방법에 있어서,

상기 2개의 메모리는 배속도로 서로 판독·휴지(休止), 기입·휴지를 반복하고, 한쪽이 판독 중에 다른 쪽은 기입하고, 상기 출력 선택 회로는 상기 메모리로부터 판독한 영상 신호를 출력한 후 프리차지 기간에 들어가는 것을 특징으로 하는 액정 표시 장치의 구동 회로에서의 구동 방법.

청구항 3

제1항에 기재된 액정 표시 장치의 구동 회로에서의 구동 방법에 있어서,

상기 신호원으로부터의 1행분의 영상 신호를 일단 상기 메모리에 저장하고, 상기 메모리로부터 상기 신호원의 영상 신호 주파수의 2배 이상의 주파수로 판독함으로써, 1 수평 기간의 절반 이하의 기간에서 1행분의 영상 신호를 상기 액정 표시 장치에 기입하고, 남은 기간에 프리차지 전압을 상기 액정 표시 장치에 기입하는 동작을 행하는 것을 특징으로 하는 액정 표시 장치의 구동 회로에서의 구동 방법.

청구항 4

액티브 매트릭스형 액정 표시 장치를 구동하는 구동 회로에 있어서,

영상 신호 생성 블록,

장치내 각 부에 타이밍 신호를 공급하는 타이밍 제어 블록, 및

상기 액정 표시 장치의 주사용 제어 펄스 등을 공급하는 패널 제어 펄스 생성 블록

으로 구성되고,

상기 액정 표시 장치에 인가하는 영상 신호를 생성하는 영상 신호 생성 블록은, R, G, B의 각 색용의 액정 표시 장치마다 표시용 화상 신호의 신호원으로부터의 아날로그 신호를 디지털 신호로 변환하는 ADC 회로, 상기 액정 표시 장치의 1행분의 신호를 유지할 수 있는 용량을 갖는 2개의 메모리, 상기 액정 표시 장치의 입력 전압에 대한 투과광 강도의 비선형성을 보정하는 V-T 보정 회로, 상기 액정 표시 장치의 액정 화소를 AC 구동하기 위한 극성 반전 회로, 상기 영상 신호를 복수의 영상 신호로 병렬 전개하기 위한 병렬 전개 회로, 상기 병렬 전개 회로가 출력하는 디지털 신호를 아날로그 신호로 변환하는 DAC 회로, 상기 액정 표시 장치에 인가하는 출력을 전환하는 출력 선택 회로로 순차 접속 구성되어 있는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

청구항 5

제4항에 기재된 액정 표시 장치의 구동 회로에서의 구동 방법에 있어서,

상기 2개의 메모리는 배속도로 서로 판독·휴지, 기입·휴지를 반복하고, 한쪽이 판독 중에 다른쪽은 기입하고, 상기 출력 선택 회로는 상기 메모리로부터 판독한 영상 신호를 출력한 후 프리차지 기간에 들어가는 것을 특징으로 하는 액정 표시 장치의 구동 회로에서의 구동 방법.

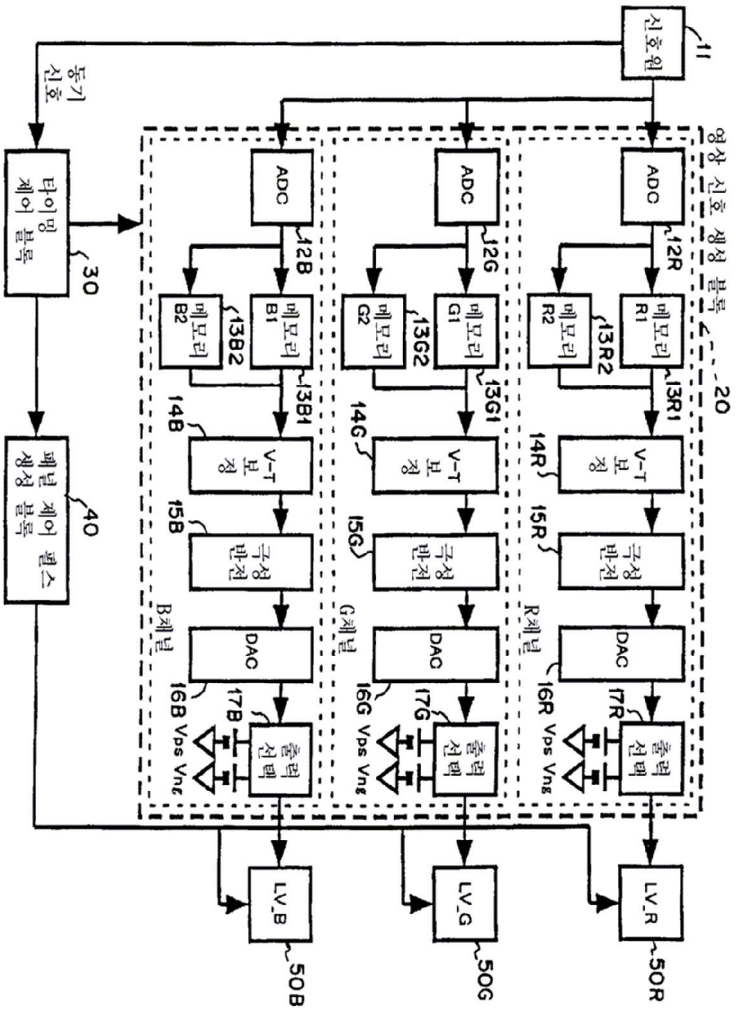
청구항 6

제4항에 기재된 액정 표시 장치의 구동 회로에서의 구동 방법에 있어서,

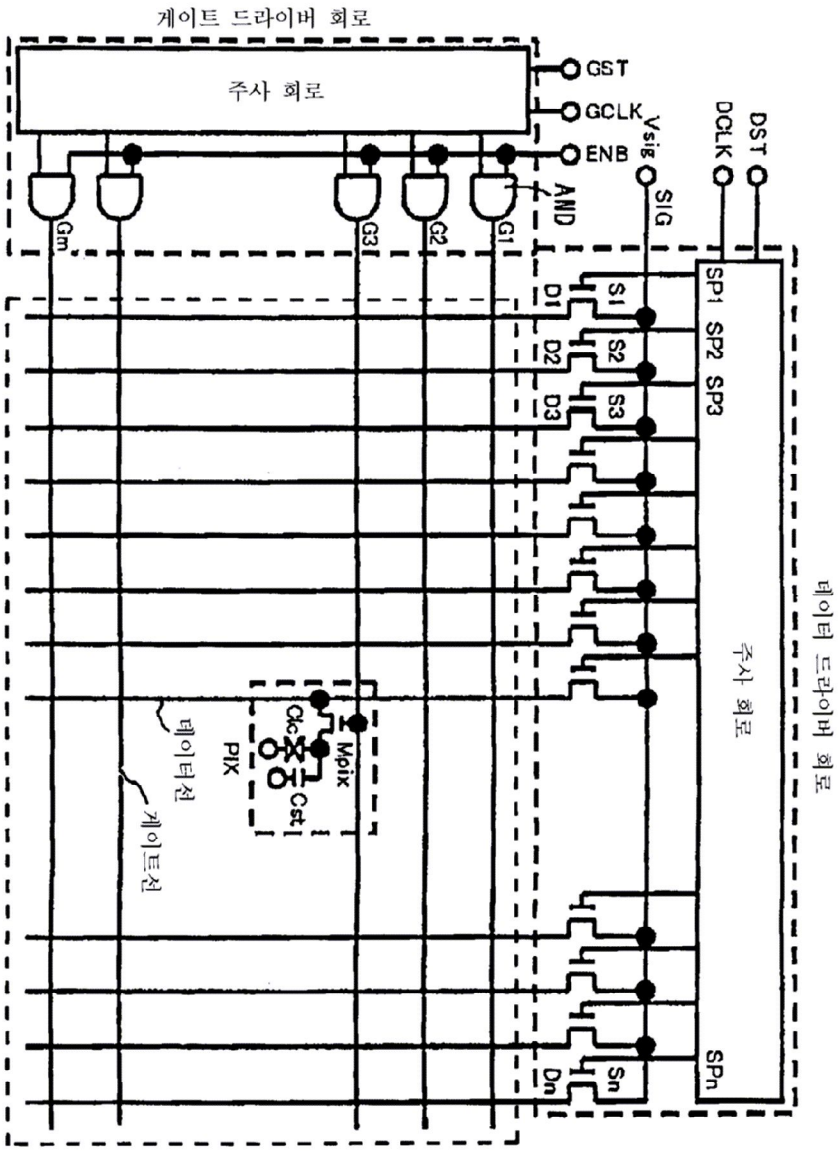
상기 신호원으로부터의 1행분의 영상 신호를 일단 상기 메모리에 저장하고, 상기 신호원의 영상 신호의 신호 주파수의 2배 이상의 주파수로 판독함으로써, 1 수평 기간의 절반 이하의 기간에서 1행분의 영상 신호를 상기 액정 표시 장치에 기입하고, 남은 기간에 프리차지 전압을 상기 액정 표시 장치에 기입하는 동작을 행하고, 또한 상기 액정 표시 장치로의 영상 신호의 기입, 상기 프리차지 전압의 기입을 상기 액정 표시 장치의 영상 신호의 배선수만큼 병렬화하여 행하는 것을 특징으로 하는 액정 표시 장치의 구동 회로에서의 구동 방법.

도면

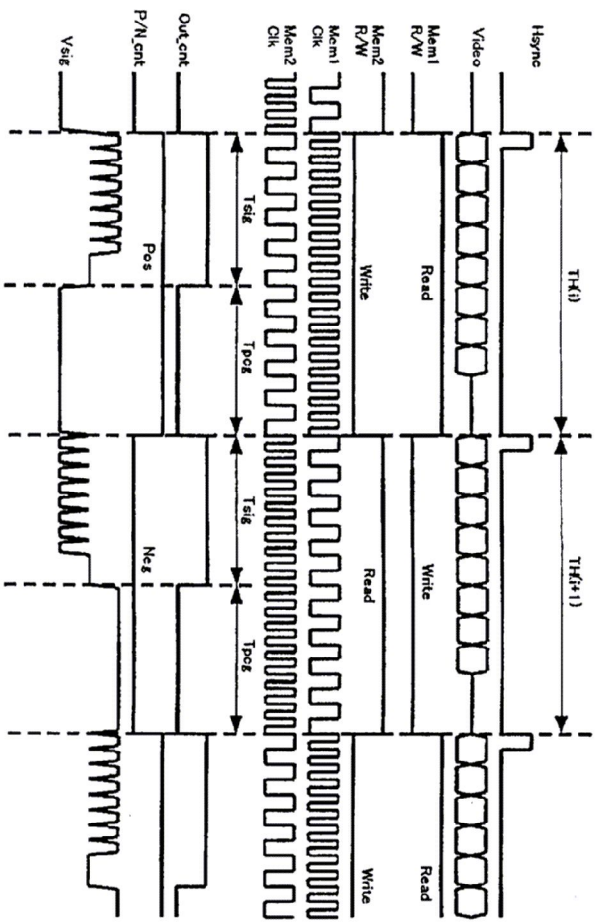
도면1


신호원
11
동기 신호
타이밍 제어 블록
30
영상 신호 생성 블록
20
ADC
12R
12G
12B
메모리 R1
메모리 R2
메모리 G1
메모리 G2
메모리 B1
메모리 B2
13R1
13R2
13G1
13G2
13B1
13B2
V-T 보정
14R
14G
14B
극성 반전
15R
15G
15B
DAC
16R
16G
16B
출력 선택
17R
17G
17B
Vps
Vng
R채널
G채널
B채널
패널 제어 펄스 생성 블록
40
LV_R
LV_G
LV_B
50R
50G
50B

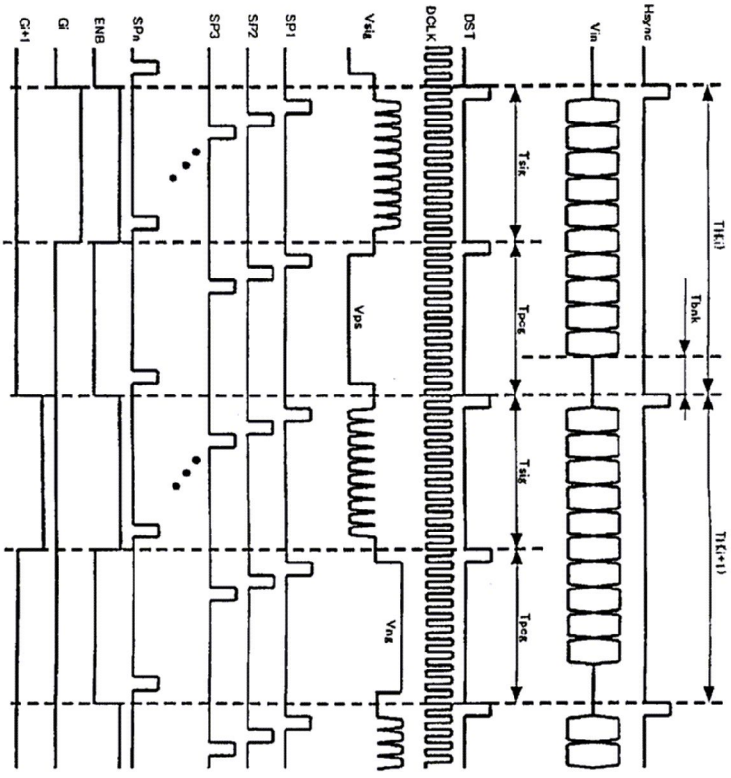
도면2


게이트 드라이버 회로
주사 회로
GST
GCLK
ENB
Vsig
SIG
DCLK
DST
AND
Gm
G3
G2
G1
D1
D2
D3
Dn
S1
S2
S3
Sn
SP1
SP2
SP3
SPn
데이터 드라이버 회로
주사 회로
데이터선
게이트선
PIX
Mpix
Clc
Cst

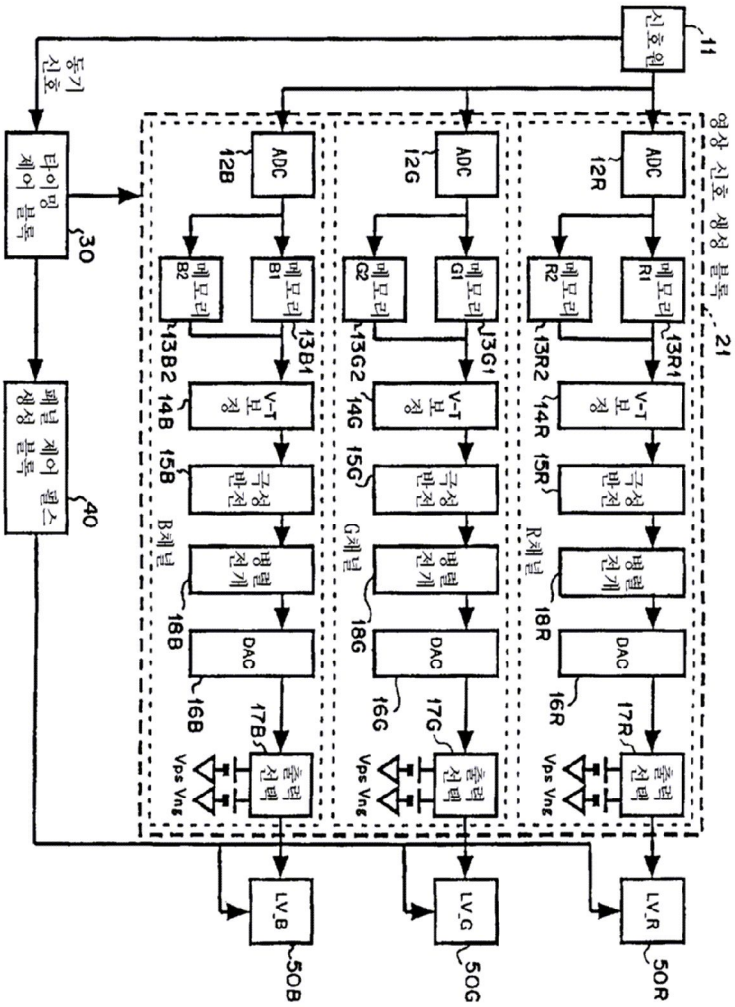
도면3


Vsig
P/N_cnt
Out_cnt
Mem2 Clk
Mem1 Clk
Mem2 R/W
Mem1 R/W
Video
Hsync
Tsig
Tpcg
Pos
Neg
Write
Read
TH(i)
TH(i+1)

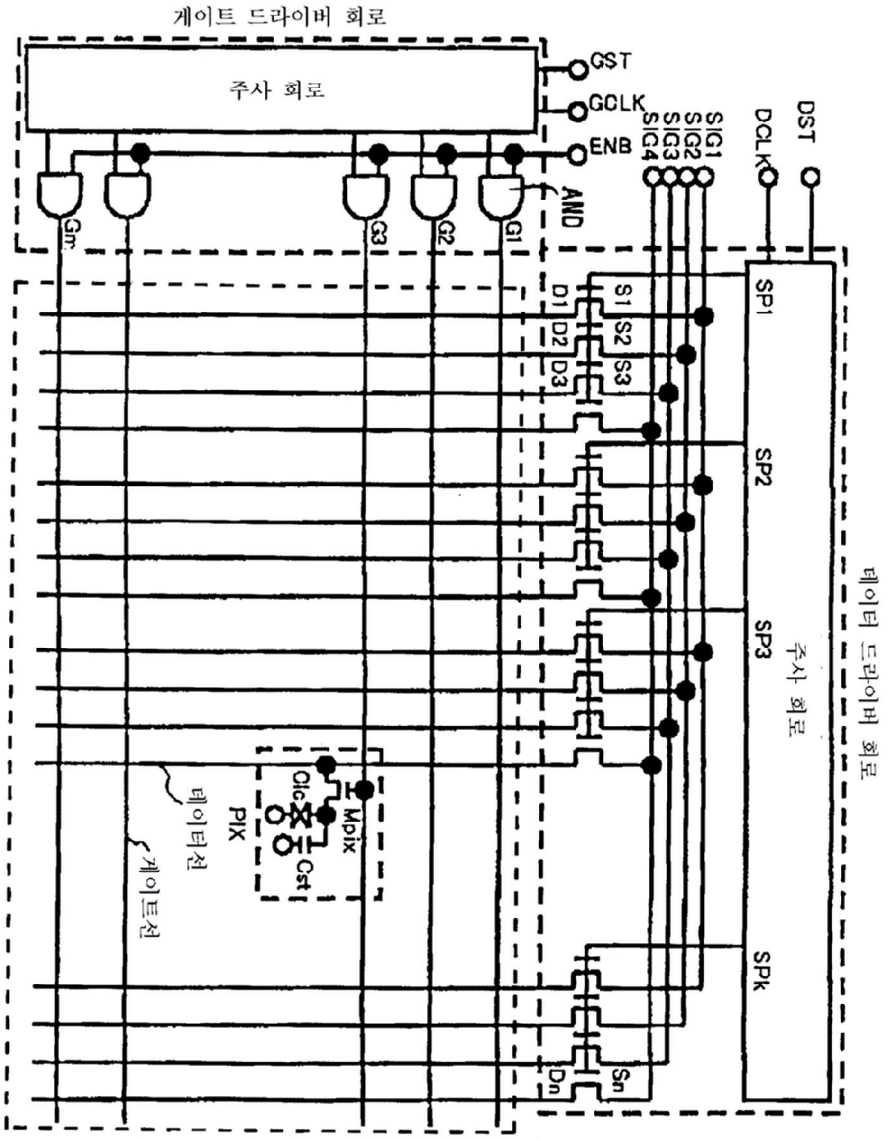
도면4


Hsync
Vin
DST
DCLK
Vsig
SP1
SP2
SP3
SPn
ENB
Gi
Gi+1
TH(i)
Tbnk
TH(i+1)
Tsik
Tpcg
Vps
Vns

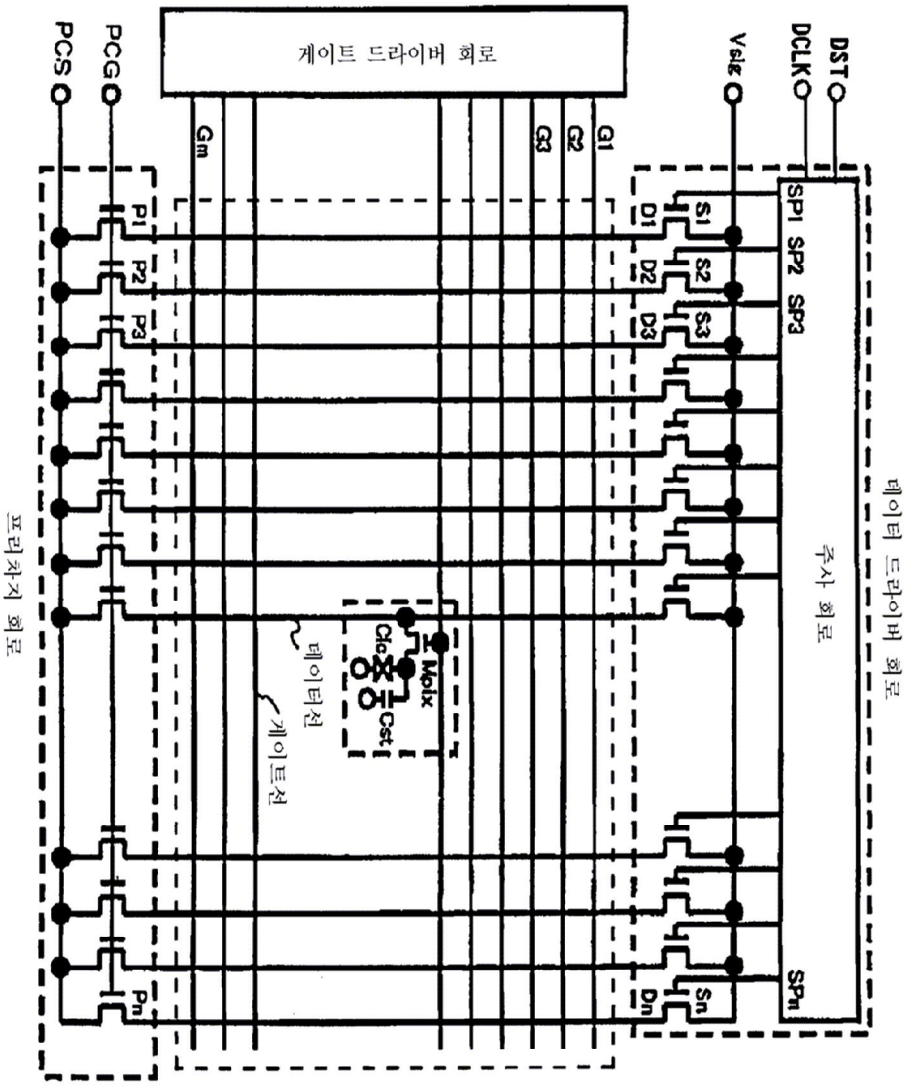
도면5


신호원
11
동기 신호
타이밍 제어 블록
30
펄널 제어 펄스 생성 블록
40
영상 신호 생성 블록
21
ADC
12B
12G
12R
메모리
B2
B1
G2
G1
R2
R1
13B2
13B1
13G2
13G1
13R2
13R1
V-T 보정
14B
14G
14R
극성 반전
15B
15G
15R
병렬 전개
16B
16G
16R
DAC
17B
17G
17R
출력 선택
Vps Vns
B채널
G채널
R채널
LV_B
LV_G
LV_R
50B
50G
50R

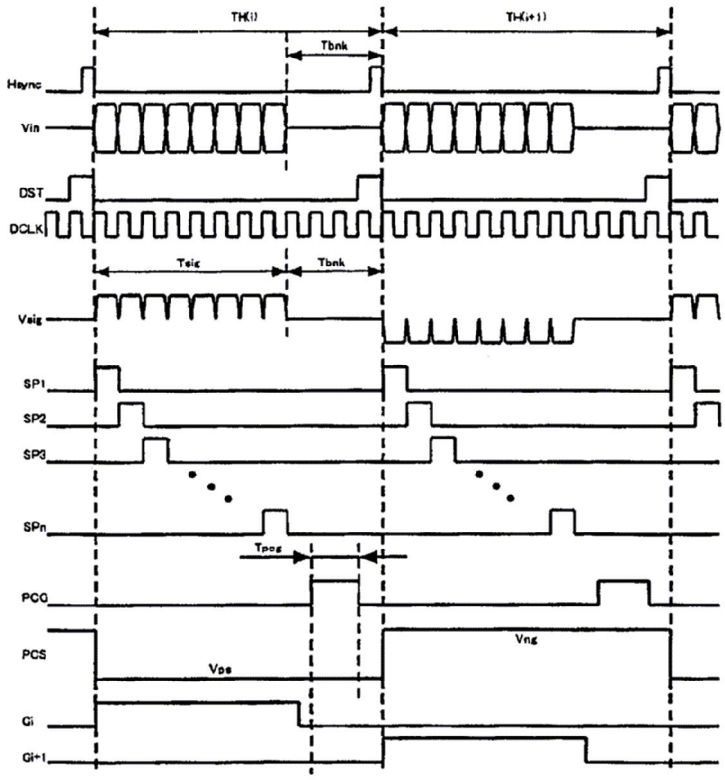
도면6


게이트 드라이버 회로
주사 회로
GST
GCLK
ENB
AND
Gn
G3
G2
G1
SIG1
SIG2
SIG3
SIG4
DCLK
DST
D1
D2
D3
S1
S2
S3
Dn
Sn
SP1
SP2
SP3
SPk
데이터 드라이버 회로
주사 회로
Mpix
Clc
Cst
PIX
데이터선
게이트선

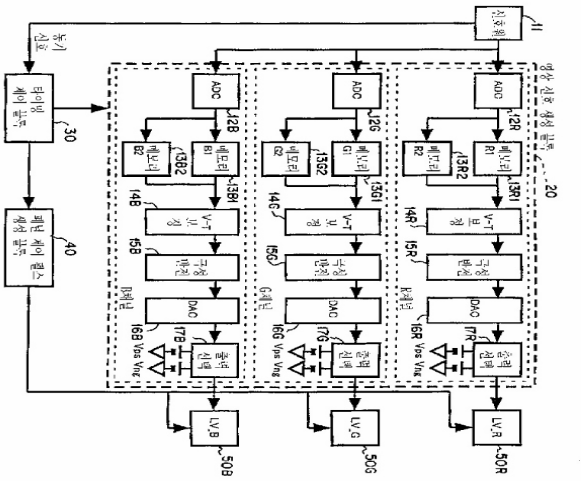
도면7


게이트 드라이버 회로
PCS
PCG
Gm
G3
G2
G1
Vsig
DCLK
DST
P1
P2
P3
Pn
D1
D2
D3
Dn
S1
S2
S3
Sn
SP1
SP2
SP3
SPn
Mpix
Clc
Cst
데이터선
게이트선
프리차지 회로
주사 회로
데이터 드라이버 회로

도면8


TH(i)
TH(i+1)
Tbnk
Hsync
Vin
DST
DCLK
Tsig
Tbnk
Vsig
SP1
SP2
SP3
SPn
Tpcg
PCG
PCS
Vng
Vps
Gi
Gi+1

专利名称(译)	液晶显示装置的驱动电路及其驱动方法		
公开(公告)号	KR1020010051618A	公开(公告)日	2001-06-25
申请号	KR1020000066925	申请日	2000-11-11
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	SEKINE HIROYUKI		
发明人	SEKINE,HIROYUKI		
IPC分类号	G09G3/20 G09G3/36 G09G5/00 G02F1/133 G02F		
CPC分类号	G09G3/3611 G09G5/006 G09G2320/0276 G09G3/3648 G09G2310/0248		
代理人(译)	CHANG, SOO KIL CHU，晟敏		
优先权	1999321389 1999-11-11 JP		
其他公开文献	KR100358879B1		
外部链接	Espacenet		

摘要(译)

用途：通过消除液晶显示面板的预充电电路来减小面板尺寸，消除预充电引起的面板不均匀，从而在整个面板上显示均匀的图像，并提高产量作为一个整体。组成：用于驱动液晶显示设备的驱动电路的特征在于，生成要施加到面板的视频信号的视频信号生成块通过顺序连接用于AD的ADC电路来配置每个面板的图像信号。 R，G，B的颜色，具有允许为面板保持一行信号的容量的两个存储器，用于校正传输光强度到面板输入电压的非线性的VT校正电路，极性反转电路面板的交流驱动液晶像素，用于DA转换由极性反转电路输出的数字信号的DAC电路，以及用于向面板选择预充电电压的输出选择电路，输出选择电路显示模拟在图像信号的水平周期的前半部分中DAC电路的信号，并在第二半周期中对面板进行预充电。