

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/13

(11) 공개번호 특2000-0062748
(43) 공개일자 2000년10월25일

(21) 출원번호	10-2000-0010871
(22) 출원일자	2000년03월04일
(30) 우선권주장	99-056848 1999년03월04일 일본(JP)
(71) 출원인	닛뽕덴끼 가부시끼가이샤 가네꼬 히사시
(72) 발명자	일본 도오교도 미나또꾸 시바 5초메 7방 1고 나까지마게이이찌
(74) 대리인	일본도오교도미나또꾸시바5초메7방1고닛뽕덴끼가부시끼가이샤나이 박해선, 조영원

심사청구 : 있음

(54) L C D 패널 및 이를 구비한 L C D 장치

요약

타이밍 제어기의 사용없이 픽셀 데이터를 LC 셀에 기입하는 타이밍을 최적화할 수 있는 LCD 패널이 제공된다. 이 패널은, (a) 행렬의 행을 따라 연장되고 이 행렬의 열을 따라 정렬된 복수의 제 1 신호선, (b) 상기 열을 따라 연장되고 상기 행을 따라 정렬된 복수의 제 2 신호선, (c) 상기 행렬의 어레이에 정렬된 LC 셀, (d) 각 LC 셀을 구동하는 구동 소자, 및 (e) 타이밍 제어신호에서 일시지연을 발생시키는 신호지연선을 포함하고, 상기 신호지연선은 상기 행을 따라 연장되고 상기 구동소자에 전기접속되지 않도록 형성되며, 상기 신호지연선은 타이밍 제어신호가 입력되는 제 1 단 및 상기 지연을 포함하는 타이밍 제어신호가 출력되는 제 2 단을 구비한다. 복수의 제 1 신호선의 각각은 선택신호를 상기 행들 중의 대응하는 하나에 위치한 구동소자에 공급하기 위해 사용된다. 복수의 제 2 신호선의 각각은 데이터 신호를 상기 열들 중의 대응하는 하나에 위치한 구동소자에 공급하기 위해 사용된다. 상기 지연을 포함하는 타이밍 제어신호는 복수의 제 2 신호선을 통해 상기 데이터 신호를 대응하는 열에 위치한 구동소자에 공급하는 타이밍 제어를 위해 사용된다.

대표도

도3

색인어

타이밍 제어기, 신호지연선, 타이밍 제어신호

명세서

도면의 간단한 설명

도 1 은 종래 LCD 장치의 구성을 도시한 개략도.
도 2 는 도 1 에 도시한 종래 LCD 장치의 동작을 도시한 타이밍도.
도 3 은 본 발명의 제 1 실시예에 따른 LCD 장치의 개략도.
도 4 는 도 3 에 도시한 LCD 장치의 동작을 도시한 타이밍도.
도 5 는 본 발명의 제 2 실시예에 따른 LCD 장치의 개략도.

* 도면의 주요부분에 대한 부호의 간단한 설명 *

1 : 유리기판	2 : TFT
5 : LC 셀	7 : 드레인 드라이버
8 : 게이트 드라이버	9 : 신호지연선
12 : 래치신호 단자	20 : TFT 패널
27-1,...,27-n : 드레인선	28-1,...,28-m : 게이트선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 한 쌍의 투명기판이 있고 이 한 쌍의 투명기판 사이에 LC (Liquid-Crystal) 층이 삽입되어 있으며 TFT 및 MIM (Metal-Insulator-Metal) 소자와 같은 구동소자가 상기 한 쌍의 기판 중의 하나에 규칙적으로 정렬된 LCD 패널과, 상기 패널을 사용하여 형성된 LCD 장치에 관한 것이다. 더 구체적으로, 본 발명은, 비교적 넓은 디스플레이 영역을 갖는 소형경량의 디스플레이 장치에 적용가능하며 상이한 해상 모드 또는 애스펙트 (aspect)로 상을 표시할 수 있는 액티브 매트릭스 어드레스 타입으로서 휴대용 또는 비휴대용 디스플레이 단말과 같은 다양한 전자기기에 전형적으로 사용되는 LCD 패널 및 LCD 장치에 관한 것이다.

도 1 및 도 2 는 이러한 종류의 종래 LCD 장치의 구성 및 동작을 각각 도시한 개략도이다.

도 1 의 종래 LCD 장치는, m 행 및 n 열 (m 과 n 은 1 보다 큰 정수) 의 행렬 어레이에 정렬된 복수의 LC 셀 (105) 을 포함하는 TFT 패널 (120), 이 패널 (120) 을 구동하는 드레인 드라이버 (107), 및 상기 패널을 구동하는 게이트 드라이버 (108) 를 구비한다. 상기 행렬의 제 1 내지 제 m 행은 동일 간격으로 도 1 의 X 축을 따라 연장되고 도 1 의 Y 방향을 따라 정렬된다. 상기 행렬의 제 1 내지 제 n 열은 동일간격으로 Y 축을 따라 연장되고 X 방향을 따라 정렬된다.

TFT (102) 는 복수의 LC 셀 (105) 의 각각에 형성된다. 각 셀 (105) 은 디스플레이 전극 (도시안됨) 및 공통전극 (도시안됨) 과 함께 커패시터로서 역할한다. 따라서, 이 셀 (105) 은 도 1 에서 커패시터의 기호로 표시된다. 각 셀 (105) 은 LCD 장치의 픽셀에 대응한다.

디스플레이 전극은 TFT (102) 와 함께 투명유리기판 (101) 의 내부 표면에 형성되고, 공통전극은 기판 (101) 과 결합된 또다른 투명유리기판 (도시안됨) 의 내부표면에 형성되어 상기 디스플레이 전극에 대향 배치된다. 물론, LC 층은 기판 (101) 과 대향 기판 사이의 공간에 형성된다.

기판 (101) 의 내부표면상에, 제 1 내지 제 m 게이트선 (128-1, 128-2, ..., 128- m), 제 1 내지 제 n 드레인선 (127-1, 127-2, ..., 127- n), 및 TFT (102) 가 형성된다. m 게이트선 (128-1 내지 128- m) 은 행렬의 m 행을 따라 각각 연장된다. n 드레인선 (127-1 내지 127- n) 은 행렬의 n 열을 따라 각각 연장된다. TFT (102) 는 게이트선 (128-1 내지 128- m) 과 드레인선 (127-1 내지 127- n) 의 각 교점에 위치한다. 따라서, TFT (102) 의 총 수는 ($m \times n$) 이다.

서로 평행인 게이트선 (128-1 내지 128- m) 은 기판 (101) 외부에 위치한 게이트 드라이버 (108) 에 전기 접속된다. 서로 평행이고 게이트선 (128-1 내지 128- m) 에 수직인 드레인선 (127-1 내지 127- n) 은 기판 (101) 외부에 위치한 드레인 드라이버 (107) 에 전기접속된다.

n 개의 드레인선 (127-1 내지 127- n) 의 각각은 대응하는 드레인선 (127-1, 127-2, ..., 127- n) (즉, 행렬의 대응 열) 을 따라 정렬된 TFT (102) 의 드레인 전극 (D) 에 전기접속된다. m 개의 게이트선 (128-1 내지 128- m) 의 각각은 대응하는 게이트선 (128-1, 128-2, ..., 128- m) (즉, 행렬의 대응 행) 을 따라 정렬된 TFT (102) 의 게이트 전극 (G) 에 전기접속된다.

각 TFT (102) 의 소스 (S) 는 기판 (101) 에 형성된 대응하는 LC 셀 (105) 을 형성하는 두 개의 전극 중의 하나 (즉, 대응하는 디스플레이 전극) 에 전기접속된다. 셀 (105) 의 다른 전극 (즉, 공통전극) 은 예컨대 접지처럼 공통 전압원에 전기접속된다.

게이트 드라이버 (108) 에는 수직 스타트 신호 (VSP0) 와 수직 시프트 클럭신호 (VCK0) 가 인가된다. 상기 신호 VSP0 및 VCK0 에 응답하여, 게이트 드라이버 (108) 는 선택신호 (VG1, VG2, ..., VG m) 를 발생시켜 상기 행렬의 행들 중 대응하는 하나를 선택한 후, 이들을 대응하는 게이트선 (128-1, 128-2, ..., 128- m) 에 각각 공급한다.

드레인 드라이버 (107) 에는 화상신호 (DAT0), 수평 스타트 신호 (HSP0), 수평 시프트 클럭신호 (HCK0), 및 래치신호 (LP0) 가 인가된다. 신호 (DAT0, HSP0, HCK0, 및 LP0) 에 응답하여, 드레인 드라이버 (107) 는 픽셀 데이터 신호 (HD1, HD2, ..., HD n) 를 발생시켜 화상을 형성한 후, 이들을 대응하는 드레인선 (127-1 내지 127- n) 에 각각 공급한다. 이 픽셀 데이터 신호 (HD1 내지 HD n) 의 공급 또는 입력은 래치신호 (LP0) 에 의해 제어된다.

도 1 에 도시된 종래 LCD 장치는 다음과 같이 동작한다.

수평 스타트 신호 (HSP0) 를 드레인 드라이버 (107) 에 인가하면, 행렬의 m 개의 행 중 하나에 대한 화상신호 (DAT0) 가 드라이버 (107) 로 입력하기 시작한다. 화상신호 (DAT0) 의 입력은 수평 시프트 클럭신호 (HCK0) 의 인가와 동기되도록 수행된다. 인가된 화상신호 (DAT0) 에 기초하여, 드레인 드라이버 (107) 는 행렬의 m 개의 행 중 하나에 대한 픽셀 데이터 신호 (HD1 내지 HD n) 를 발생시킨 후, 이들을 동시에 특정 타이밍으로 드레인선 (127-1 내지 127- n) 에 각각 공급한다.

한편, 수직 스타트 신호 (VSP0) 를 게이트 드라이버 (108) 에 인가하면, 선택신호 (VG1 내지 VG m) 의 발생이 개시된다. 그후, 드라이버 (108) 는 선택신호 (VG1 내지 VG m) 를 동시에 게이트선 (128-1 내지 128- m) 에 각각 공급한다. 도 2 에 도시된 바와 같이, 신호 (VG1 내지 VG m) 의 각각은 펄스를 포함하므로, 게이트 전극에 신호 (VG1, VG2, ..., VG m) 가 인가된 TFT (102) 가 온상태 (on) 로 된다. 이렇게 온상태로 된 TFT (102) 를 통해, 드레인선 (127-1 내지 127- n) 은 대응하는 LC 셀 (105) 에 전기접속되어, 행렬의 m 개의 행 중 하나를 따라 정렬된 셀 (105) 을 선택한다. 신호 (VG1 내지 VG m) 의 펄스는 서로 위상이 연속적으로 시프트되므로, 행렬의 제 1 내지 제 m 행 각각을 따라 정렬된 셀 (105) 이 연속적으로 선택된다.

픽셀 데이터 신호 (HD1 내지 HDn) 가 행렬의 선택된 행들에 위치한 선택된 셀 (105) 에 각각 공급된 후, 신호 (HD1 내지 HDn) 에 포함된 픽셀 데이터가 선택된 셀에 기입된다. 따라서, 셀 (105) 은 신호 (HD1 내지 HDn) 에 의해 구동되어, 이렇게 기입된 픽셀 데이터에 대응하는 종래 LCD 장치의 스크린에 화상을 디스플레이한다.

전형적으로, 선택신호 (VG1 내지 VGm) 는 게이트선 (128-1 내지 128-m) 의 입력단 (128-1A 내지 128-mA) 에서 도 2 의 실선으로 표시된 파형 (A1 내지 Am) 을 각각 갖는다. 한편, 신호 (VG1 내지 VGm) 는 선 (128-1 내지 128-m) 의 출력단 (128-1B 내지 128-mB) 에서 도 2 의 파선으로 표시된 파형 (B1 내지 Bm) 을 각각 갖는다. 도 2 로부터, 각 파형 (B1 내지 Bm) 은 출력단 (128-1B 내지 128-mB) 에서 동작의 상승 및 하강에지를 포함함을 알 수 있다. 파형 (B1 내지 Bm) 의 동작의 상승 및 하강에지는 파형 (A1 내지 Am) 의 일시 시프트 또는 위상지연 Δt_0 을 일으킬 것이다. 시프트 또는 지연 Δt_0 는 "게이트선 지연"으로 알려져 있고, 이는 선 (128-1 내지 128-m) 의 저항 및 선 (128-1 내지 128-m) 근처의 기생용량에 의해 유도된다.

따라서, 픽셀 데이터신호 (HD1 내지 HDn) 의 인가 타이밍은 "게이트선 지연 Δt_0 "를 고려하여 적절히 조정될 필요가 있다. 그렇지 않으면, 신호 (HD1 내지 HDn) 에 포함된 픽셀 데이터는 모든 대응하는 LC 셀 (105) 에 올바르게 기입될 수 없다.

예를 들어, 도 2 에 도시된 바와 같이, 행렬의 제 1 행에 대한 신호 (HD1 내지 HDn) 로부터 대응 셀 (105) 로의 픽셀 데이터 기입동작이 시간 TA1 에서 개시된다고 가정한다. 이 때, 선택신호 (VG1) 가 게이트선 (128-1) 의 입력단 (128-1A) 에서 상승한다. 그 후, 행렬의 제 2 행에 대한 신호 (HD1 내지 HDn) 내의 픽셀 데이터의 대응 셀 (105) 로의 기입동작이 시간 TA2 에서 개시된다. 이 경우, 게이트선 (128-1) 에 접속된 모든 TFT (102) 는 오프상태로 되지 않고, 결과적으로 제 2 행에 대한 신호 (HD1 내지 HDn) 에 포함된 픽셀 데이터가 제 1 행에 위치한 대응 셀 (105) 로 기입되는 문제가 생긴다.

이 문제를 방지하기 위해, 도 1 의 종래 LCD 장치에서는, 래치신호 (LP0) 에 대하여 기간 $\Delta t_0'$ 만큼 위상이 포워드 시프트되도록 수직 시프트 클럭신호 (VCK0) 가 게이트 드라이버 (108) 에 공급되는데, 이 기간 $\Delta t_0'$ 는 게이트선 지연 Δt_0 와 같다. 즉, 게이트선 지연 Δt_0 은 신호 VCK0 와 LP0 사이에 시간차 $\Delta t_0'$ ($=\Delta t_0$) 를 부여함으로써 보상된다. 이 보상에 기인하여, 픽셀 데이터 신호 (HD1 내지 HDn) 는 지연된 시간 (TB1 내지 TBm) 에서 드레인선 (127-1 내지 127-n) 에 각각 공급된다. 그 결과, 신호 (HD1 내지 HDn) 에 포함된 픽셀 데이터는 모든 셀 (105) 에 올바르게 기입될 수 있다.

신호 VCK0 와 LP0 사이의 기간 또는 시간차 ($\Delta t_0'$) 는 드레인 드라이버 (107) 와 게이트 드라이버 (108) 를 제어하는 타이밍 제어기 (도시안됨) 에 의해 발생된다. 시간차 ($\Delta t_0'$) 는 수평 시프트 클럭신호 (HCK0) 의 펄스 수를 특정 값까지 카운트함으로써 생성된다.

일반적으로, LCD 장치가 몇가지 상이한 해상 모드 또는 애스펙트 (즉, 상이한 사용 픽셀수) 에 적용가능하도록 설계될 때, 수평 시프트 클럭신호 (HCK0) 의 펄스 길이는 선택된 해상 모드 또는 애스펙트에 따라 변동될 필요가 있다. 상기로부터, 신호 (HCK0) 의 펄스 수는 요구되는 상이한 펄스길이에 따라 상이한 값을 가질 필요가 있다. 따라서, 타이밍 제어기의 구성이 복잡하고 그 디멘전이 확대되는 문제가 생긴다.

이런 종류의 또다른 종래 LCD 장치가 1988년에 공개된 일본특개평 제 63-261389 호 공보에 개시되어 있다. 이 장치에서, LC 셀로의 픽셀 데이터 기입동작은 TFT 패널 외부에 설치된 아날로그 지연회로를 사용함으로써 수직 시프트 클럭신호에 대해 지연된다.

그러나, 공보 제 63-261389 호에 개시된 종래 LCD 장치에서는, 저항(들)과 커패시터(들)로 형성된 적분기 회로 및 슈미트 트리거 증폭기를 TFT 패널 외부에 설치하여야 한다. 따라서, TFT 패널의 드라이버회로의 구성이 복잡하고 필요한 전자부품의 수를 줄이기 어렵다.

발명이 이루고자하는 기술적 과제

이에 따라, 본 발명의 목적은, 타이밍 제어기의 사용없이 픽셀 데이터를 LC 셀로 기입하는 타이밍을 최적화할 수 있는 LCD 패널 및 LCD 장치를 제공하는 것이다.

본 발명의 다른 목적은, 드라이버 회로의 구성을 단순화하는 LCD 패널 및 LCD 장치를 제공하는 것이다.

구체적으로 언급하지 않은 다른 목적들과 함께 상기 목적들은 다음의 설명으로부터 당업자에게 분명하게 될 것이다.

본 발명의 제 1 태양에 따르면,

- (a) 행렬의 행을 따라 연장되고 이 행렬의 열을 따라 정렬된 복수의 제 1 신호선,
- (b) 상기 행렬의 열을 따라 연장되고 이 행렬의 행을 따라 정렬된 복수의 제 2 신호선,
- (c) 상기 행렬의 어레이에 정렬된 LC 셀,
- (d) 상기 각 LC 셀을 구동하는 구동소자, 및
- (e) 타이밍 제어신호에서 일시 지연을 발생시키는 신호지연선

을 포함하고,

이 신호지연선은 상기 행렬의 행을 따라 연장되고 상기 구동소자에 전기접속되지 않도록 형성되며,

상기 신호지연선은 상기 타이밍 제어신호가 입력되는 제 1 단 및 상기 지연을 포함하는 상기 타이밍 제어신호가 출력되는 제 2 단을 구비하는

LCD 패널이 제공된다.

복수의 제 1 신호선 각각은 상기 행렬의 행들 중 대응하는 하나에 위치한 구동소자에 선택신호를 공급하기 위해 사용된다. 복수의 제 2 신호선 각각은 상기 행렬의 열들 중 대응하는 하나에 위치한 구동소자에 데이터신호를 공급하기 위해 사용된다.

상기 지연을 포함하는 타이밍 제어신호는 복수의 제 2 신호선을 통해 상기 행렬의 대응하는 열들에 위치한 구동소자에 상기 데이터신호를 공급하는 타이밍 제어에 사용된다.

본 발명의 제 1 태양에 따른 LCD 패널을 이용하여, 행렬의 행들 (즉, 복수의 제 1 신호선) 을 따라 연장된 신호지연선은 타이밍 제어신호에서의 상기 지연을 발생시키기 위해 제공된다. 신호지연선에 의해 발생된 상기 지연을 포함하는 타이밍 제어신호는 상기 행렬의 대응하는 열들에 위치한 구동소자에 상기 데이터신호를 공급하는 타이밍 제어를 위해 사용된다.

신호지연선은 복수의 제 1 신호선의 경우와 마찬가지로 복수의 제 2 신호선과 교차하므로, 타이밍 제어신호의 지연량은 복수의 제 2 신호선에 의해 발생된 선택신호의 지연량과 대략 동일하다. 이는, 상기 선택신호의 지연량에 대응하는 최적화된 타이밍에서 상기 데이터신호가 구동소자에 공급됨을 의미한다.

또한, 해상 모드 또는 애스펙트의 변경에 의해 선택신호의 지연량이 변하더라도, 타이밍 제어신호의 지연량은 선택신호의 지연량에서의 변화에 따라 자동적으로 변한다.

결과적으로, 화상 데이터를 LC 셀로 기입하는 타이밍은 해상모드가 변하더라도 임의의 타이밍 제어기의 사용없이 최적화될 수 있다.

또한, 복잡한 구동 구성이 필요하지 않으므로, 드라이버회로의 구성은 단순화될 수 있다.

본 발명의 제 1 태양에 따른 패널의 바람직한 실시예에서, 신호지연선은 복수의 제 1 신호선의 것과 대략 동일한 전기특성을 갖는다. 이 실시예에서는, 타이밍 제어신호에서의 일시 지연이 선택신호의 일시 지연과 실질적으로 또는 완전히 동일하다는 추가적인 이점이 있는데, 이로 인해, 선택신호에서의 일시 지연이 완전히 보상된다.

신호지연선의 전기특성은 일반적으로 신호지연선의 전기저항 및 기생용량을 포함한다. 그러나, 타이밍 제어신호에서의 일시 지연에 영향을 미치는 다른 요소를 포함할 수도 있다.

본 발명의 제 1 태양에 따른 패널의 다른 실시예에서는, 신호지연선이 복수의 제 2 신호선으로의 데이터신호의 입력측에 위치한다. 이 실시예에서는, 타이밍 제어신호의 일시 지연량이 복수의 제 2 신호선에 의해 발생하는 선택신호의 일시 지연량과 실질적으로 또는 완전히 동일할 수 있는 추가적인 이점이 있다. 이는, 드레인 드라이버로의 신호지연선의 접속선이 가능한 한 짧을 수 있기 때문이다.

본 발명의 제 1 태양에 따른 패널의 또다른 실시예에서는, 구동소자가 TFT 이다. 복수의 제 1 신호선의 각각은 행렬의 행들 중 대응하는 하나에 위치한 TFT 의 게이트전극에 전기접속된다. 복수의 제 2 신호선의 각각은 행렬의 열들 중 대응하는 하나에 위치한 TFT 의 소스 또는 드레인 전극에 전기접속된다.

본 발명의 제 1 태양에 따른 패널의 또다른 실시예에서, 신호지연선의 제 2 단에서의 지연을 포함하는 타이밍 제어신호는 복수의 제 2 신호선의 대응하는 후단에서 선택신호의 각각의 것과 대략 동일한 둔각의 상승 및 하강에지를 갖는 파형을 갖는다.

바람직하게는, 복수의 제 1 신호선의 각각은 복수의 제 2 신호선과 대략 수직이다. TFT 는 매우 많이 사용되고 고화질을 제공하므로 구동소자는 TFT 인 것이 바람직하다.

본 발명의 제 2 태양에 따르면,

(a) (a-1) 행렬의 행을 따라 연장되고 상기 행렬의 열을 따라 정렬된 복수의 제 1 신호선,

(a-2) 상기 행렬의 열을 따라 연장되고 상기 행렬의 행을 따라 정렬된 복수의 제 2 신호선,

(a-3) 상기 행렬의 어레이에 정렬된 LC 셀,

(a-4) 각 LC 셀을 구동하는 구동소자, 및

(a-5) 타이밍 제어신호에서 일시 지연을 발생시키는 신호지연선을 포함하며,

이 신호지연선은 상기 행렬의 행을 따라 연장되고 구동소자에 전기접속되지 않도록 형성되며,

상기 신호지연선은 타이밍 제어신호가 입력되는 제 1 단 및 상기 지연을 포함하는 타이밍 제어신호가 출력되는 제 2 단을 구비하는

LCD 패널,

(b) 선택신호를 복수의 제 1 신호선에 각각 공급하는 선택 신호원, 및

(c) 데이터신호를 복수의 제 2 신호선에 각각 공급하는 데이터 신호원

을 포함하는 LCD 장치가 제공된다.

각 선택신호는 선택신호원으로부터 복수의 제 1 신호선 중의 대응하는 하나를 통하여 상기 행렬의 행들

중 대응하는 하나에 위치한 구동소자에 공급된다.

각 데이터신호는 데이터 신호원으로부터 복수의 제 2 신호선 중의 대응하는 하나를 통하여 상기 행렬의 열들 중 대응하는 하나에 위치한 구동소자에 공급된다.

상기 지연을 포함하는 타이밍 제어신호는 데이터 신호원에 인가되어, 복수의 제 2 신호선을 통해 행렬의 대응하는 열에 위치한 구동소자로 데이터신호를 공급하는 타이밍 제어를 수행한다.

본 발명의 제 2 태양에 따른 LCD 장치를 이용하여, 본 발명의 제 1 태양에 따른 LCD 패널은 선택신호원 및 데이터 신호원과 결합된다. 따라서, 제 1 태양에 따른 패널의 것과 대략 동일한 이유때문에, 화상 데이터를 LC 셀로 기입하는 타이밍은 해상모드가 바뀌어도 임의의 타이밍 제어기의 사용없이 최적화될 수 있다. 또한, 드라이버회로의 구성도 단순화될 수 있다.

본 발명의 제 2 태양에 따른 장치의 바람직한 실시예에서는, 신호지연선이 복수의 제 1 신호선의 것과 대략 동일한 전기특성을 갖는다. 이 실시예에서는, 타이밍 제어신호에서의 일시 지연이 선택신호의 일시 지연과 실질적으로 또는 완전히 동일한 추가적인 이점이 있어서, 선택신호에서의 일시 지연을 완전히 보상한다.

본 발명의 제 2 태양에 따른 장치의 다른 실시예에서는, 신호지연선이 복수의 제 2 신호선으로의 데이터 신호의 입력측에 위치한다. 이 실시예에서는, 타이밍 제어신호의 일시 지연량이 복수의 제 2 신호선에 의해 발생하는 선택신호의 것과 실질적으로 또는 완전히 동일할 수 있는 추가적인 이점이 있다. 이는, 드레인 드라이버로의 신호지연선의 접속선이 가능한 한 짧을 수 있기 때문이다.

본 발명의 제 2 태양에 따른 장치의 또다른 실시예에서는 구동소자가 TFT 이다. 복수의 제 1 신호선의 각각은 행렬의 행들 중 대응하는 하나에 위치한 TFT 의 게이트 전극에 전기접속된다. 복수의 제 2 신호선 각각은 행렬의 열들 중 대응하는 하나에 위치한 TFT 의 소스 또는 드레인 전극에 전기접속된다. 이 실시예에서는, 본 발명의 이점이 현저하게 실현되는 추가적인 이점이 있다.

본 발명의 제 2 태양에 따른 장치의 또다른 실시예에서는, 상기 선택신호가 상기 지연을 포함하지 않은 타이밍 제어신호와 동기되도록 복수의 제 1 신호선에 각각 공급된다.

본 발명의 제 2 태양에 따른 장치의 또다른 실시예에서는, 상기 지연을 포함하는 타이밍 제어신호가 복수의 제 2 신호선의 대응하는 후단에서 각 선택신호의 것과 대략 동일한 둔각의 상승 및 하강에지를 갖는 파형을 갖는다.

발명의 구성 및 작용

이하, 첨부도면을 참조하여, 본 발명의 바람직한 실시예를 설명한다.

제 1 실시예

제 1 실시예에 따른 LCD 장치는 도 3 에 도시한 구성을 취한다.

도 3 에서 알 수 있는 바와 같이, LCD 장치는 TFT 패널 (20), 이 패널 (20) 을 구동하는 드레인 드라이버 (7), 및 상기 패널 (20) 을 구동하는 게이트 드라이버로 이루어진다.

패널 (20) 은 m 행 및 n 열의 행렬 어레이에 정렬된 복수의 LC 셀 (5) 을 포함한다. 상기 행렬의 제 1 내지 제 m 행은 동일 간격으로 도 3 의 X 축을 따라 연장되고 도 3 의 Y 방향을 따라 정렬된다. 상기 행렬의 제 1 내지 제 n 열은 동일 간격으로 도 3 의 Y 축을 따라 연장되고 도 3 의 X 방향을 따라 정렬된다.

TFT (2) 는 복수의 LC 셀 각각에 형성된다. 상술한 바와 동일한 이유로, 각 셀 (5) 은 커패시터 기호로 도 3 에 도시된다. 각 셀 (5) 은 LCD 장치의 한 픽셀에 해당한다.

TFT 패널 (20) 은 투명유리기판 (1), 또다른 투명유리기판 (도시안됨), 및 기판 (101) 과 대향 기판 사이의 공간에 형성된 LC 층 (도시안됨) 을 구비한다.

기판 (1) 의 내부표면 상에, 제 1 내지 제 m 게이트선 (28-1, 28-2, ..., 28- m), 제 1 내지 제 n 드레인선 (27-1, 27-2, ..., 27- n), 및 TFT (2) 가 형성된다. m 개의 게이트선 (28-1 내지 28- m) 은 행렬의 m 개의 행을 따라 각각 연장된다. n 개의 드레인선 (27-1 내지 27- n) 은 행렬의 n 개의 열을 따라 각각 연장된다. TFT (2) 는 게이트선 (28-1 내지 28- m) 과 드레인선 (27-1 내지 27- n) 의 교점에 위치한다. 따라서, TFT (2) 의 전체 수는 $(m \times n)$ 이다.

서로 평행인 게이트선 (28-1 내지 28- m) 은 기판 (1) 및 패널 (20) 의 외부에 위치한 게이트 드라이버 (8) 에 전기접속된다. 서로 평행이며 게이트선 (28-1 내지 28- m) 에 수직인 드레인선 (27-1 내지 27- n) 은 기판 (1) 및 패널 (20) 의 외부에 위치한 드레인 드라이버 (7) 에 전기접속된다.

n 개의 드레인선 (27-1 내지 27- n) 의 각각은 대응하는 드레인선 (27-1, 27-2, ..., 27- n) (즉, 행렬의 대응 열) 을 따라 정렬된 TFT (2) 의 드레인 전극 (D) 에 전기접속된다. m 개의 게이트선 (28-1 내지 28- m) 의 각각은 대응하는 선 (28-1, 28-2, ..., 28- m) (즉, 행렬의 대응 행) 을 따라 정렬된 TFT (2) 의 게이트전극 (G) 에 전기접속된다.

각 TFT (2) 의 소스 (S) 는 대응하는 LC 셀 (5) 을 형성하는 2 개의 전극 중 하나, 즉, 기판 (1) 에 형성된 대응하는 디스플레이 전극 (도시안됨) 에 전기접속된다. 셀 (5) 의 다른 전극 (즉, 공통 전극) 은 예컨대 접지와 같은 공통 전압원에 전기접속된다.

신호지연선 (9) 은 제 1 게이트선 (28-1) 과 드레인 드라이버 (7) 사이에 게이트선 (28-1 내지 28- m) 에 평행하게 연장되도록 기판 (1) 의 내부표면에 형성된다. 즉, 선 (9) 은 기판 (1) 의 드레인 드라이

버측에 위치한다. 선 (9) 은 드레인선 (27-1 내지 27-n) 에 수직 (즉, 교차) 한다. TFT (2) 의 어느 것도 선 (9) 에 전기접속되지 않는다. 게이트 드라이버 (8) 근처의 기판 (1) 측에 위치한 선 (9) 의 입력단 (9a) 에는 게이트 드라이버 (8) 의 주사 타이밍을 결정하기 위해 수직 시프트 클럭신호 (VCK) 가 인가된다. 게이트 드라이버 (8) 의 대향측의 기판 (1) 상에 위치한 선 (9) 의 출력단 (9b) 은 드레인 드라이버 (7) 의 래치신호 단자 (12) 에 전기접속된다.

게이트 드라이버 (8) 에는 수직 스타트 신호 (VSP) 및 수직 시프트 클럭신호 (VCK) 가 인가된다. 신호 (VSP, VCK) 에 응답하여, 게이트 드라이버 (8) 는 선택신호 (VG1, VG2, ..., VGm) 를 발생시켜 행렬의 행들 중 대응하는 하나를 선택한 후, 이들을 대응하는 게이트선 (28-1 내지 28-m) 에 각각 공급한다.

드레인 드라이버 (7) 에는 화상신호 (DAT), 수평 스타트 신호 (HSP), 수평 시프트 클럭신호 (HCK), 및 래치신호 (LP) 가 인가된다. 래치신호 (LP) 는 신호지연선 (9) 을 통해 드라이버 (7) 의 래치단자 (12) 에서 드라이버 (7) 에 인가된다. 신호 (DAT, HSP, HCK, LP) 에 응답하여, 드레인 드라이버 (7) 는 픽셀 데이터 신호 (HD1, HD2, ..., HDn) 를 발생시켜 화상을 형성한 후, 이들을 대응하는 드레인선 (27-1 내지 27-n) 에 각각 공급한다. 픽셀 데이터신호 (HD1 내지 HDn) 의 공급 또는 입력은 래치신호 (LP) 에 의해 제어된다.

도 1 에 도시된 바와 같은 제 1 실시예에 따른 LCD 장치는 다음과 같이 동작한다.

도 4 는 수직 스타트 신호 (VSP), 선택신호 (VG1 내지 VGm), 래치신호 (LP), 및 픽셀 데이터신호 (HD1 내지 HDn) 의 파형을 도시한다. 도 4 에서, 실선 (A1, A2, ..., Am) 은 게이트선 (28-1, 28-2, ..., 28-m) 의 입력단 (28-1A, 28-2A, ..., 28-mA) 에서의 신호 (VG1, VG2, ..., VGm) 의 파형을 각각 나타낸다. 파선 (B1, B2, ..., Bm) 은 게이트선 (28-1, 28-2, ..., 28-m) 의 출력단 (28-1B, 28-2B, ..., 28-mB) 에서의 동일 신호 (VG1, VG2, ..., VGm) 의 파형을 각각 나타낸다.

수평 스타트신호 (HSP) 를 드레인 드라이버 (7) 로 인가하면 행렬의 제 1 행에 대한 화상신호 (DAT) 의 드라이버 (7) 로의 입력이 개시된다. 화상신호 (DAT) 의 입력은 수평 시프트 클럭신호 (HCK) 의 인가와 동기되도록 수행된다. 인가된 화상신호 (DAT) 에 기초하여, 드레인 드라이버 (7) 는 행렬의 m 개의 행 중 하나에 대하여 픽셀 데이터신호 (HD1 내지 HDn) 를 발생시킨 후, 이들을 특정 타이밍으로 드레인선 (27-1 내지 27-n) 에 각각 동시에 공급한다.

한편, 수직 스타트 신호 (VSP) 를 게이트 드라이버 (8) 에 인가하면 제 1 선택신호 (VG1) 의 발생이 개시된다. 그 후, 드라이버 (8) 는 이렇게 발생된 선택신호 (VG1) 를 제 1 게이트선 (28-1) 에 공급한다. 도 4 에 도시된 바와 같이, 신호 (VG1) 는 장방형 펄스를 포함하므로, 게이트 전극 (G) 에서 신호 (VG1) 가 인가된 TFT (2) 는 온상태로 된다. 이렇게 온상태가 된 TFT (2) 를 통해, 드레인선 (27-1 내지 27-n) 은 대응하는 LCD 셀 (5) 에 전기접속되어, 행렬의 제 1 행을 따라 정렬된 셀 (5) 을 선택한다. 따라서, 픽셀 데이터신호 (HD1 내지 HDn) 는 행렬의 제 1 행에 위치한 셀 (5) 에 공급될 수 있고 신호 (HD1 내지 HDn) 에 포함된 화상 데이터가 그곳에 기입될 수 있다.

이 때, 게이트 드라이버 (8) 로부터 전송된 제 1 선택신호 (VG1) 는 게이트선 (28-1 내지 28-m) 의 전기 저항, 존재하는 기생용량 (즉, 게이트선 (28-1) 과 드레인선 (27-1 내지 27-n) 과의 교차에 의해 발생된 기생용량) 등에 기인하여 지연된다. 즉, 도 4 에 도시된 바와 같이, 게이트선 (28-1) 의 출력단 (28-1B) 에서 신호 (VG1) 의 파형 (A1) 의 상승 및 하강에지가 둔각으로 되므로, 신호 (VG1) 는 게이트선 (28-1) 의 출력단 (28-1B) 에서 파형 (B1) 을 갖는다. 이는, 출력단 (28-1B) 에서의 신호 (VG1) 가 입력단 (28-1A) 에서의 신호 (VG1) 에 대해 Δt_0 의 기간 또는 시간차만큼 지연됨을 의미한다. 그

결과, 소위 게이트선 지연시간 Δt 이 행렬의 제 1 열에 위치한 TFT (2) 의 턴온시간과 그 제 n 열에 위치한 TFT (2) 의 턴온시간 사이에 나타난다.

도 3 의 제 1 실시예에 따른 LCD 장치를 이용하여, 드레인 드라이버 (7) 의 래치단자 (12) 는 신호지연선 (9) 의 출력단 (9b) 에 전기접속되고, 선 (9) 은 드레인선 (27-1 내지 27-n) 과 교차된다. 따라서, 게이트 드라이버 (8) 와 선 (9) 의 입력단 (9a) 에 인가되는 수직 시프트 클럭신호 (VCK) 는 제 1 선택신호 (VG1) 의 것과 마찬가지로 지연되어, 선 (9) 의 출력단 (9b) 에서 지연된 수직 시프트 클럭신호 (VCK') 로 된다. 즉, 지연된 수직 시프트 클럭신호 (VCK') 의 파형은 도 4 에 도시된 바와 같이 둔각의 상승 및 하강에지를 갖고, 이것이 제 1 게이트선 (28-1) 의 입력단 (28-1A) 에서 선택신호 (VG1) 에 대해 $\Delta t'$ 의 일시 지연을 생성한다. 지연 $\Delta t'$ 은 게이트선 지연시간 Δt 과 실질적으로 동일하다. 지연된 수직 시프트 클럭신호 (VCK') 는 래치단자 (12) 를 통해 래치신호 (LP) 로서 드레인 드라이버 (7) 에 인가된다.

지연된 수직 시프트 클럭신호 (VCK') 또는 래치신호 (LP) 에 응답하여, 드레인 드라이버 (7) 는 신호 (VCK' 또는 LP) 와 동기된 타이밍 (TB1) 에서 픽셀 데이터신호 (HD1 내지 HDn) 를 드레인선 (27-1 내지 27-n) 으로 동시에 출력한다. 따라서, 신호 (HD1 내지 HDn) 에서의 화상 데이터는 제 1 행에 있는 모든 TFT (2) 가 온상태로 될 때 시간 (TB1) 에서 행렬의 제 1 행에 위치한 셀 (5) 로 기입된다.

다음에, 제 1 행의 것과 마찬가지로, 행렬의 제 2 행에 대한 화상신호 (DAT) 는 수평 시프트 클럭신호 (HCK) 의 인가와 동기되도록 드레인 드라이버 (7) 로 입력된다. 인가된 화상신호 (DAT) 에 기초하여, 드레인 드라이버 (7) 는 행렬의 제 2 행에 대하여 픽셀 데이터신호 (HD1 내지 HDn) 를 발생시킨 후, 이들을 동시에 드레인선 (27-1 내지 27-n) 에 각각 공급한다.

게이트 드라이버 (8) 는 신호 (VG1) 의 것과 마찬가지로 수직 시프트 클럭신호 (VCK) 로부터 선택신호 (VG2) 를 발생시킨 후, 이것을 제 2 게이트선 (28-2) 에 공급한다.

도 4 로부터 알 수 있는 바와 같이, 게이트선 (28-2) 의 출력단 (28-2B) 에서 신호 (VG2) 의 파형 (A2) 의 둔각의 상승 및 하강에지에 기인하여, 신호 (VG2) 는 출력단 (28-2B) 에서 파형 (B2) 을 갖는다. 이는, 출력단 (28-2B) 에서의 신호 (VG2) 가 입력단 (28-2A) 에서의 동일 신호 (VG2) 에 대해 Δt 의 기간 또는 시간차만큼 지연됨을 의미한다. 그 결과, 소위 게이트 지연시간 Δt 이 신호 (VG2) 에서 나

타난다. 신호 (VCK) 는 Δt 와 동일한 지연시간 $\Delta t'$ 을 갖는다. 이에 따라, 픽셀 데이터신호 (HD1 내지 HDn) 는 신호 (VCK' 또는 LP) 와 동기되도록 타이밍 (TB2) 에서 드레인 드라이버 (7) 에 의해 드레인선 (27-1 내지 27-n) 에 인가된다. 따라서, 신호 (HD1 내지 HDn) 는 제 2 행에 있는 모든 TFT (2) 가 온상태로 될 때 시간 (TB2) 에서 행렬의 제 2 행에 위치한 셀 (5) 로 기입된다.

시간 (TB2) 에서, 제 1 게이트선 (28-1) 에 접속된 모든 TFT (2) 는 오프상태로 된다. 그러므로, 픽셀 데이터신호 (HD1 내지 HDn) 로부터 제 1 행에 위치한 셀 (5) 로 기입된 화상 데이터는 불변이다. 또한, 행렬의 제 2 행에 대한 신호 (HD1 내지 HDn) 는 제 2 게이트선 (28-2) 에 접속된 모든 TFT (2) 가 오프상태로 될 때 시간 (TB2) 에서 드레인선 (27-1 내지 27-n) 에 인가되므로, 제 2 행에 대한 신호 (HD1 내지 HDn) 에서의 데이터는 제 1 행에 위치한 셀 (5) 로 기입되지 않는다.

상술한 공정은 행렬의 제 3 내지 제 m 행에 대해서 반복된다. 제 m 행에 대한 픽셀 데이터신호 (HD1 내지 HDn) 는 제 m 게이트선 (28-2) 에 접속된 모든 TFT (2) 가 오프상태로 될 때 시간 (TBm) 에서 드레인선 (27-1 내지 27-n) 에 공급된다. 그 결과, 제 1 내지 제 m 행에 대한 신호 (HD1 내지 HDn) 에서의 화상 데이터는 모든 셀 (5) 로 기입되어, 원하는 화상의 프레임을 디스플레이한다.

도 3 의 제 1 실시예에 따른 LCD 장치를 이용하여, 행렬의 제 1 내지 제 m 행을 따라 연장된 신호지연선 (9) 이 제공되고, 이는 게이트선 (28-1 내지 28-m) 에 평행이고 드레인선 (27-1 내지 27-n) 에 수직이다. 타이밍 제어 클럭신호 (VCK) 는 게이트 드라이버 (8) 뿐만 아니라 선 (9) 의 입력단 (9a) 에도 인가되어, 선 (9) 의 출력단 (9b) 에서 타이밍 제어 클럭신호 (VCK') (즉, 래치신호 (LP)) 를 발생시킨다. 이렇게 발생된 지연된 타이밍 제어 클럭신호 (VCK') 는 데이터신호 (HD1 내지 HDn) 를 행렬의 각 열에 위치한 TFT (2) 에 공급하는 타이밍을 제어 또는 조정하기 위해 사용된다.

신호지연선 (9) 은 제 1 내지 제 m 게이트선 (28-1 내지 28-m) 의 것과 마찬가지로 제 1 내지 제 n 드레인선 (27-1 내지 27-n) 과 교차되므로, 초기 타이밍 제어 클럭신호 (VCK) 에 대한 지연된 타이밍 제어 클럭신호 (VCK') 의 일시 지연량은 게이트선 (28-1 내지 28-m) 에 의해 발생하는 선택신호 (VG1 내지 VGm) 의 것과 대략 또는 실질적으로 동일하다. 이는, 데이터신호 (HD1 내지 HDn) 가 선택신호 (VG1 내지 VGm) 의 지연량에 대응하는 최적 타이밍에서 TFT (2) 에 공급됨을 의미한다.

또한, 선택신호 (VG1 내지 VGm) 의 지연량이 해상 모드 또는 애플리케이션의 변경에 의해 변화되더라도, 지연된 타이밍 제어 클럭신호 (VCK') 또는 래치신호 (LP) 의 지연량은 선택신호 (VG1 내지 VGm) 의 지연량에서의 변화에 따라 자동적으로 변화한다.

결과적으로, 신호 (HD1 내지 HDn) 에 포함된 화상 데이터를 LC 셀 (5) 로 기입하는 타이밍은 해상 모드가 변하더라도 임의의 타이밍 제어기의 사용없이 최적화될 수 있다.

또한, 복잡한 구동 구성이 필요하지 않으므로, 드라이버회로 (7, 8) 의 구성이 단순화될 수 있다.

제 2 실시예

도 5 는 제 2 실시예에 따른 LCD 장치의 구성을 도시하는데, 드레인 드라이버 (7) 및 신호지연선 (9) 이 제 1 실시예와는 다른 위치에 있다는 점을 제외하고는 도 3 에 도시된 제 1 실시예에 따른 LCD 장치의 것과 동일한 구성을 갖는다. 따라서, 설명을 간단하게 하기 위해, 동일 구성에 대한 설명은 도 5 에서 제 1 실시예에 사용된 것과 동일한 부재번호를 붙임으로써 생략된다.

도 5 에서 알 수 있는 바와 같이, LCD 장치는 TFT 패널 (20A), 패널 (20A) 을 구동하는 드레인 드라이버 (7), 및 패널 (20A) 을 구동하는 게이트 드라이버 (8) 로 이루어진다.

제 1 실시예에서와는 달리, 드레인 드라이버 (7) 는 도 5 에서 패널 (20A) 외부에 기판 (1) 아래에 위치한다. 즉, 드라이버 (7) 는 제 1 실시예에서의 드라이버와는 반대쪽에 위치한다. 드라이버 (7) 의 위치에 응답하여, 신호지연선 (9) 은 드라이버 (7) 에 인접하도록 기판 (1) 의 하측에 위치한다. 선 (9) 은 드레인선 (27-1 내지 27-n) 과 직교하고 게이트선 (28-1 내지 28-m) 과 평행이다.

일반적으로, 드레인 드라이버 (7) 는 LCD 장치의 설계에 따라 기판 (1) 의 상측 또는 하측에 위치할 수 있다. 이점을 고려하여, 신호지연선 (9) 은 드라이버 (7) 의 것과 동일 측에 위치한다. 이 경우, TFT 패널 (20A) 외부로의 선 (9) 에 접속된 배선이 가능한 한 짧을 수 있는 추가적인 이점이 있다.

신호지연선 (9) 에 대한 배선 길이가 지나치게 길면, 지연된 수직 시프트 클럭신호 (VCK') 또는 래치신호 (LP) 의 지연시간 ($\Delta t'$) 은 게이트선 지연시간 (Δt) 보다 더 크고, 이것은 보상이 최적화되지 못하게 한다. 이와 달리, 선 (9) 에 접속된 가능한 한 짧게 한 배선때문에, 제 2 실시예에 따른 LCD 장치에서 최적 보상이 보장된다.

제 2 실시예에 따른 LCD 장치는 제 1 실시예에 따른 LCD 장치의 것과 동일한 이점을 가짐은 물론이다.

상기 제 1 및 제 2 실시예에서는, TFT (즉, 3차원 소자) 가 LC 셀 (5) 에 대한 구동소자로서 사용된다. 그러나, 본 발명은 이에 한정되지 않는다. 다이오드로서 역할하는 MIM 소자 (즉, 2차원 소자) 가 이 목적을 위해 사용될 수 있는데, 여기서 신호의 파형은 공지기술에 따라 적절히 조정된다.

또한, 소위 액티브 매트릭스 어드레스 LCD 패널의 구동에 적용할 수 있는, TFT 및 MIM 소자와는 다른 타입의 구동소자가 상기 목적을 위해 사용될 수도 있다.

본 발명의 바람직한 형태를 상술하였지만, 본 발명의 사상에서 벗어나지 않는다면 여러 변형이 가능함은 당업자에게 분명할 것이다. 따라서, 본 발명의 범위는 다음의 청구범위에 의해서만 결정되어야 한다.

발명의 효과

상기한 바와 같이, 본 발명에 따르면, 해상 모드 또는 애스펙트의 변경에 의해 선택신호의 지연량이 변하더라도, 타이밍 제어신호의 지연량이 선택신호의 지연량에서의 변화에 따라 자동적으로 변하기 때문에, 화상 데이터를 LC 셀로 기입하는 타이밍은 해상모드가 변하더라도 임의의 타이밍 제어기를 사용하지 않고서도 픽셀 데이터를 LC 셀로 기입하는 타이밍을 최적화할 수 있으며 또한 드라이버 회로의 구성을 단순화할 수 있는 LCD 패널 및 LCD 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

(a) 행렬의 행을 따라 연장되고 상기 행렬의 열을 따라 정렬된 복수의 제 1 신호선,
 (b) 상기 행렬의 열을 따라 연장되고 상기 행렬의 행을 따라 정렬된 복수의 제 2 신호선,
 (c) 상기 행렬의 어레이에 정렬된 LC 셀,
 (d) 상기 각 LC 셀을 구동하는 구동소자, 및
 (e) 타이밍 제어신호에서의 일시 지연을 발생시키는 신호지연선을 포함하고,
 상기 신호지연선은 상기 행렬의 행을 따라 연장되고 상기 구동소자에 전기접속되지 않도록 형성되며,
 상기 신호지연선은 타이밍 제어신호가 입력되는 제 1 단 및 상기 지연을 포함하는 타이밍 제어신호가 출력되는 제 2 단을 구비하고,
 복수의 제 1 신호선 각각은 선택신호를 상기 행렬의 행들 중 대응하는 하나에 위치한 상기 구동소자에 공급하기 위해 사용되고,
 복수의 제 2 신호선 각각은 데이터신호를 상기 행렬의 열들 중 대응하는 하나에 위치한 상기 구동소자에 공급하기 위해 사용되며,
 상기 지연을 포함하는 타이밍 제어신호는 상기 데이터신호를 복수의 제 2 신호선을 통해 상기 행렬의 대응하는 열에 위치한 상기 구동소자에 공급하는 타이밍 제어를 위해 사용되는 것을 특징으로 하는 LCD 패널.

청구항 2

제 1 항에 있어서,
 상기 신호지연선은 복수의 제 1 신호선의 것과 대략 동일한 전기적 특성을 갖는 것을 특징으로 하는 LCD 패널.

청구항 3

제 1 항에 있어서,
 상기 신호지연선은 복수의 제 2 신호선으로의 상기 데이터신호의 입력측에 위치하는 것을 특징으로 하는 LCD 패널.

청구항 4

제 1 항에 있어서,
 상기 구동소자는 TFT 이며,
 복수의 제 1 신호선 각각은 상기 행렬의 행들 중 대응하는 하나에 위치한 상기 TFT 의 게이트전극에 전기접속되고,
 복수의 제 2 신호선 각각은 상기 행렬의 열들 중 대응하는 하나에 위치한 상기 TFT 의 소스 또는 드레인 전극에 전기접속되는 것을 특징으로 하는 LCD 패널.

청구항 5

제 1 항에 있어서,
 신호지연선의 제 2 단에서의 상기 지연을 포함하는 타이밍 제어신호는 복수의 제 2 신호선의 대응하는 후단에서의 각 선택신호의 것과 대략 동일한 단각의 상승 및 하강에지를 갖는 파형을 구비하는 것을 특징으로 하는 LCD 패널.

청구항 6

(a) (a-1) 행렬의 행을 따라 연장되고 상기 행렬의 열을 따라 정렬된 복수의 제 1 신호선,
 (a-2) 상기 행렬의 열을 따라 연장되고 상기 행렬의 행을 따라 정렬된 복수의 제 2 신호선,
 (a-3) 상기 행렬의 어레이에 정렬된 LC 셀,

(a-4) 각 LC 셀을 구동하는 구동소자, 및

(a-5) 타이밍 제어신호에서의 일시 지연을 발생시키는 신호지연선

을 포함하며,

상기 신호지연선은 상기 행렬의 행을 따라 연장되고 상기 구동소자에 전기접속되지 않도록 형성되며,

상기 신호지연선은 타이밍 제어신호가 입력되는 제 1 단 및 상기 지연을 포함하는 타이밍 제어신호가 출력되는 제 2 단을 구비하는

LCD 패널,

(b) 선택신호를 복수의 제 1 신호선에 각각 공급하는 선택신호원, 및

(c) 데이터신호를 복수의 제 2 신호선에 각각 공급하는 데이터 신호원

을 포함하는 LCD 장치로서,

상기 각 선택신호는 복수의 제 1 신호선 중의 대응하는 하나를 통해 상기 선택신호원으로부터 상기 행렬의 행들 중 대응하는 하나에 위치한 상기 구동소자에 공급되며,

상기 각 데이터신호는 복수의 제 2 신호선 중의 대응하는 하나를 통해 상기 데이터 신호원으로부터 상기 행렬의 열들 중 대응하는 하나에 위치한 상기 구동소자에 공급되고,

상기 지연을 포함하는 상기 타이밍 제어신호는 상기 데이터 신호원에 인가되고, 이에 의해, 상기 데이터 신호를 복수의 제 2 신호선을 통해 상기 행렬의 대응하는 열에 위치한 상기 구동소자에 공급하는 타이밍 제어를 수행하는

것을 특징으로 하는 LCD 장치.

청구항 7

제 6 항에 있어서,

상기 신호지연선은 복수의 제 1 신호선의 것과 대략 동일한 전기적 특성을 갖는 것을 특징으로 하는 LCD 장치.

청구항 8

제 6 항에 있어서,

상기 신호지연선은 복수의 제 2 신호선으로의 상기 데이터신호의 입력측에 위치하는 것을 특징으로 하는 LCD 장치.

청구항 9

제 6 항에 있어서,

상기 구동소자는 TFT 이고,

복수의 제 1 신호선 각각은 상기 행렬의 행들 중 대응하는 하나에 위치한 상기 TFT 의 게이트전극에 전기접속되며,

복수의 제 2 신호선 각각은 상기 행렬의 열들 중 대응하는 하나에 위치한 상기 TFT 의 소스 또는 드레인 전극에 전기접속되는

것을 특징으로 하는 LCD 장치.

청구항 10

제 6 항에 있어서,

복수의 제 1 신호선 각각은 상기 행렬의 행들 중 대응하는 하나에 위치한 상기 트랜지스터의 게이트전극에 전기접속되고, 복수의 제 2 신호선 각각은 상기 행렬의 열들 중 대응하는 하나에 위치한 상기 트랜지스터의 소스 또는 드레인전극에 전기접속되는 것을 특징으로 하는 LCD 장치.

청구항 11

제 6 항에 있어서,

상기 선택신호는 상기 지연을 포함하지 않은 타이밍 제어신호와 동기되도록 복수의 제 1 신호선에 각각 공급되는 것을 특징으로 하는 LCD 장치.

청구항 12

제 6 항에 있어서,

상기 지연을 포함하는 상기 타이밍 제어신호는 복수의 제 2 신호선의 대응하는 후단에서 각 선택신호의 것과 대략 동일한 둔각의 상승 및 하강에지를 갖는 파형을 구비하는 것을 특징으로 하는 LCD 장치.

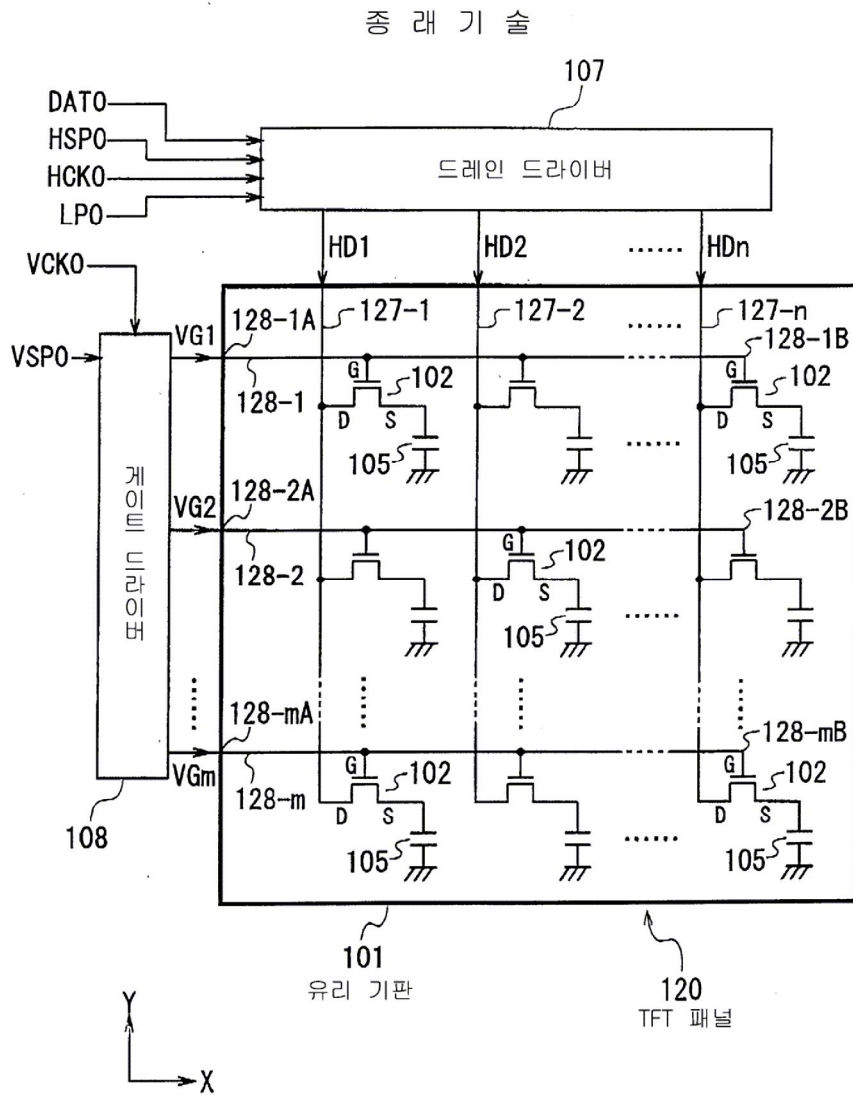
청구항 13

제 6 항에 있어서,

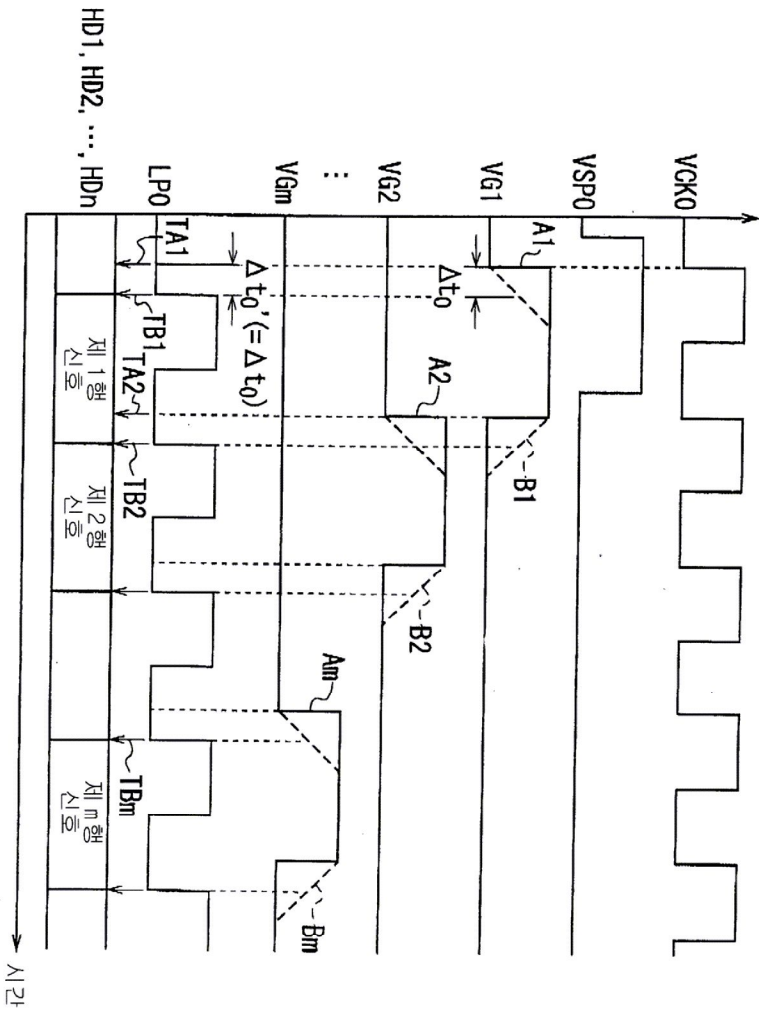
상기 신호지연선은 상기 데이터 신호원의 것과 동일측의 패널에 위치하는 것을 특징으로 하는 LCD 장치.

도면

도면1

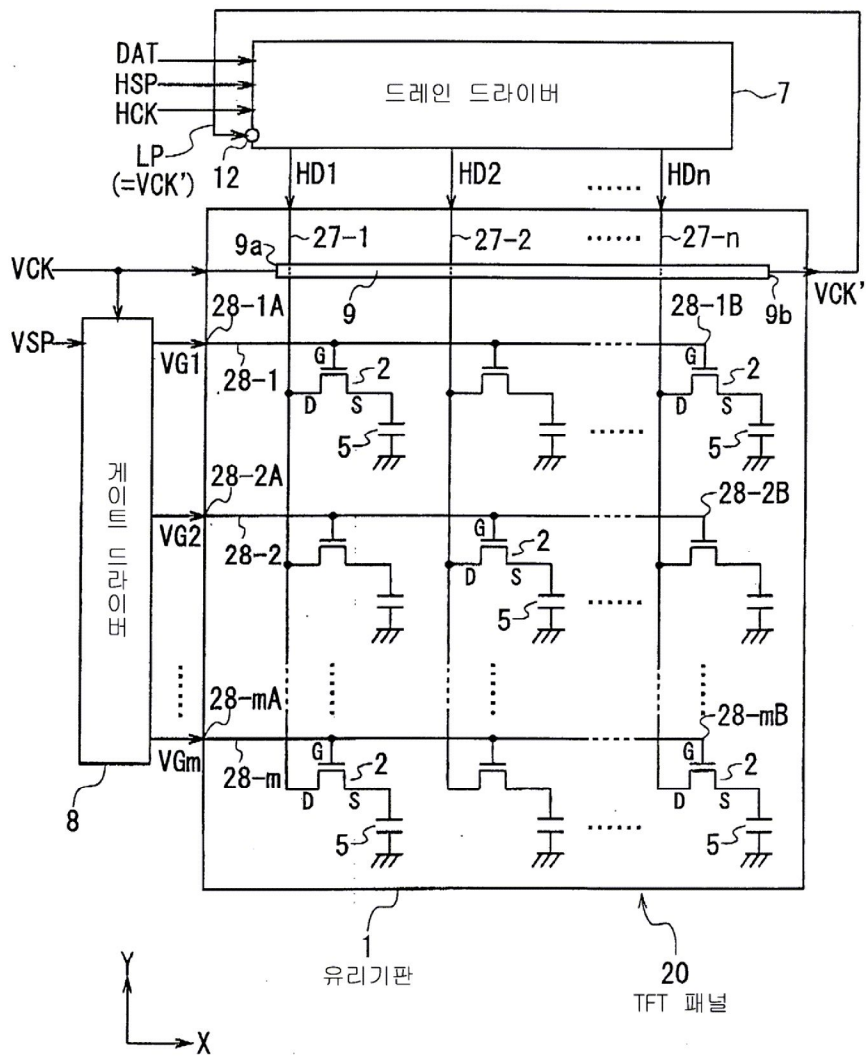


종 래 기 술

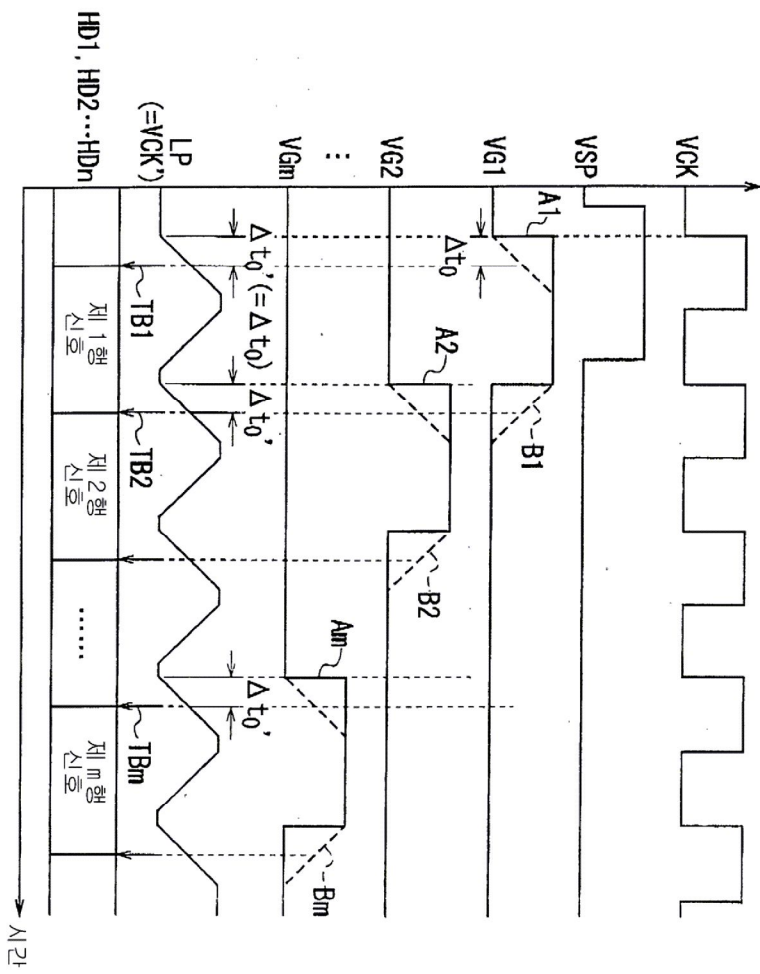


도면2

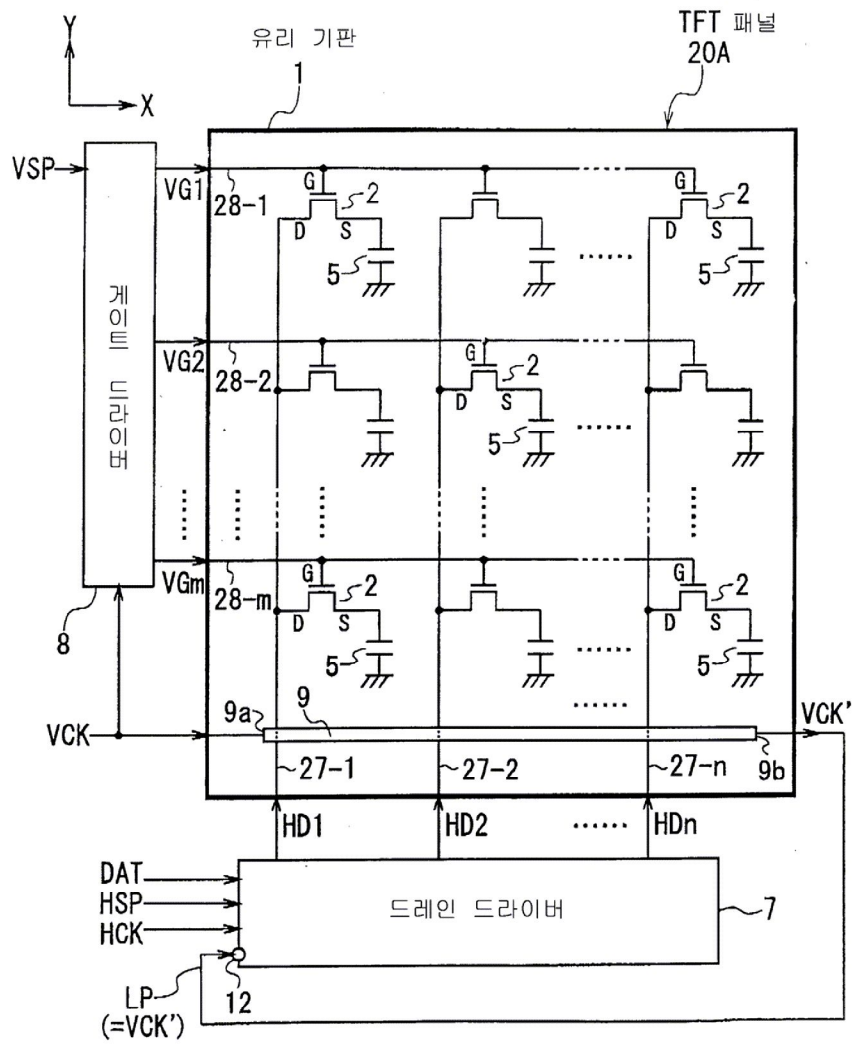
도면3



도면4



도면5



提供了一种LCD面板，其能够优化将像素数据写入LC单元的定时，而无需使用定时控制器。该面板中，(a)沿着所述基体，沿列对齐的多个第一信号线的矩阵，(b)中沿的对准的多个第二信号线的列延伸的沿所述线的行延伸，(c)包括用于在驱动装置产生临时延迟的信号延迟线路，和(e)用于驱动所述LC单元的定时控制信号，(d)布置在所述矩阵阵列，每个LC细胞，信号延迟线是并且信号延迟线设置有输入定时控制信号的第一级和输出包括延迟的定时控制信号的第二级。多个第一信号线中的每一个用于将选择信号提供给位于相应的一行中的驱动元件。多个第二信号线中的每一个用于将数据信号提供给位于相应的一列中的驱动元件。包括延迟的定时控制信号用于定时控制，以通过多条第二信号线将数据信号提供给位于相应列中的驱动元件。

3 指数方面 定时控制器，信号延迟线，定时控制信号

