



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월17일
(11) 등록번호 10-1222949
(24) 등록일자 2013년01월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2005-0082685
(22) 출원일자 2005년09월06일
심사청구일자 2010년08월27일
(65) 공개번호 10-2007-0027267
(43) 공개일자 2007년03월09일
(56) 선행기술조사문헌
KR1020000035585 A*
KR1020050000654 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김선영
경기도 화성시 병점2로 78, 느치미주공아파트 40
9동 1302호 (병점동)
장철상
경기 안양시 동안구 평안동 899-2 향촌현대4차아
파트 207동 601호
김종훈
경기 군포시 산본동 산본사이버텔 910호
(74) 대리인
김용인, 심창섭

전체 청구항 수 : 총 8 항

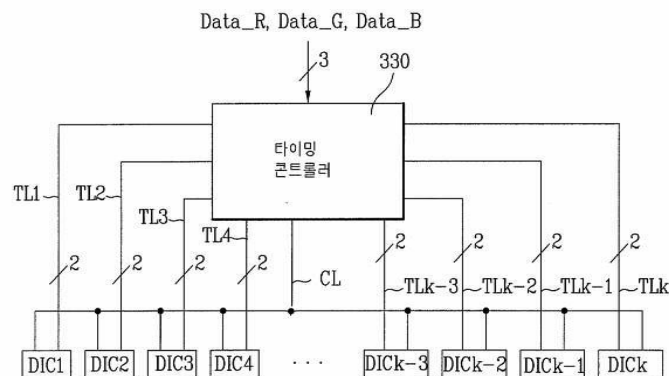
심사관 : 이성현

(54) 발명의 명칭 액정표시장치의 구동회로 및 이의 구동방법

(57) 요약

본 발명은 데이터 전송라인의 수와 주파수의 크기를 최적화시킬 수 있는 액정표시장치의 구동회로 및 이의 구동 방법에 관한 것으로, 화상을 표현하기 위한 서로 다른 색의 p(단, q는 양의 정수)개의 디지털 데이터 신호를 조합하여 새로운 q(단, q는 p보다 작은 양의 정수)개의 디지털 데이터 신호를 생성하고, 상기 생성된 q개의 디지털 데이터 신호를 q개의 데이터 전송라인에 각각 공급하는 타이밍 콘트롤러; 및, 상기 q개의 데이터 전송라인을 통해 공급되는 q개의 디지털 데이터 신호를 조합하여 원래의 p개의 디지털 데이터 신호로 복원하고, 이 복원된 p개의 디지털 데이터 신호를 아날로그 변환하여 액정패널에 공급하는 다수의 데이터 드라이버 집적회로를 포함하여 구성되는 것이다.

대표도 - 도4



특허청구의 범위

청구항 1

화상을 표현하기 위한 서로 다른 색의 p (단, p 는 양의 정수)개의 디지털 데이터 신호를 조합하여 새로운 q (단, q 는 p 보다 작은 양의 정수)개의 디지털 데이터 신호를 생성하고, 상기 생성된 q 개의 디지털 데이터 신호를 q 개의 데이터 전송라인에 각각 공급하는 타이밍 콘트롤러; 및,

상기 q 개의 데이터 전송라인을 통해 공급되는 q 개의 디지털 데이터 신호를 조합하여 원래의 p 개의 디지털 데이터 신호로 복원하고, 이 복원된 p 개의 디지털 데이터 신호를 아날로그 변환하여 액정패널에 공급하는 다수의 데이터 드라이버 집적회로를 포함하며;

상기 p 개의 디지털 데이터 신호는, 적색에 대한 화상을 나타내는 적색 디지털 데이터 신호, 녹색에 대한 화상을 나타내는 녹색 디지털 데이터 신호, 및 청색에 대한 화상을 나타내는 청색 디지털 데이터 신호를 포함하며;

상기 q 개의 디지털 데이터는, 상기 적색 디지털 데이터 신호의 모든 비트와 상기 청색 디지털 데이터 신호의 일부 비트가 조합된 제 1 조합 디지털 데이터 신호, 및 상기 녹색 디지털 데이터 신호의 모든 비트와 상기 청색 디지털 데이터 신호의 나머지 비트가 조합된 제 2 조합 디지털 데이터 신호를 포함하는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 2

제 1 항에 있어서,

상기 각 데이터 드라이버 집적회로는,

상기 q 개의 데이터 전송라인을 통해 공급되는 q 개의 디지털 데이터 신호를 조합하여 원래의 p 개의 디지털 데이터 신호로 복원하는 데이터 복원부;

상기 타이밍 콘트롤러로부터의 소스 쉬프트 클럭 및 소스 스타트 펄스를 사용하여 샘플링 신호를 발생하는 쉬프트 레지스터;

상기 쉬프트 레지스터로부터의 샘플링 신호에 따라 상기 데이터 복원부로부터의 디지털 데이터 신호를 래치하는 래치부; 및,

상기 래치부로부터의 디지털 데이터 신호를 아날로그 신호로 변환하여 표시패널에 공급하는 디지털-아날로그 변환부를 포함하여 구성됨을 특징으로 하는 액정표시장치의 구동회로.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 q 개의 데이터 전송라인은,

상기 제 1 조합 디지털 데이터 신호를 전송하는 제 1 데이터 전송라인; 및,

상기 제 2 조합 디지털 데이터 신호를 전송하는 제 2 데이터 전송라인을 포함하는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 6

제 2 항에 있어서,

상기 제 1 및 제 2 조합 디지털 데이터 신호를 샘플링하기 위한 클럭신호를 상기 타이밍 콘트롤러로부터 공급받

아 상기 데이터 복원부에 전달하는 클럭신호 전송라인을 더 포함하여 구성됨을 특징으로 하는 액정표시장치의 구동회로.

청구항 7

화상을 표시하기 위한 액정표시장치의 구동방법에 있어서,

상기 화상을 표현하기 위한 서로 다른 색의 p (단, p 는 양의 정수)개의 디지털 데이터 신호를 조합하여 새로운 q (단, q 는 p 보다 작은 양의 정수)개의 디지털 데이터 신호를 생성하는 단계;

상기 생성된 q 개의 디지털 데이터 신호를 q 개의 데이터 전송라인을 통해 전송하는 단계; 및,

상기 q 개의 데이터 전송라인을 통해 공급되는 q 개의 디지털 데이터 신호를 조합하여 원래의 p 개의 디지털 데이터 신호로 복원하는 단계; 및,

상기 복원된 p 개의 디지털 데이터 신호를 아날로그 변환하여 액정패널에 공급하는 단계를 포함하여 이루어지며;

상기 p 개의 디지털 데이터 신호는, 적색에 대한 화상을 나타내는 적색 디지털 데이터 신호, 녹색에 대한 화상을 나타내는 녹색 디지털 데이터 신호, 및 청색에 대한 화상을 나타내는 청색 디지털 데이터 신호를 포함하며;

상기 q 개의 디지털 데이터 신호는, 상기 적색 디지털 데이터 신호의 모든 비트와 상기 청색 디지털 데이터 신호의 일부 비트가 조합된 제 1 조합 디지털 데이터 신호, 및 상기 녹색 디지털 데이터 신호의 모든 비트와 상기 청색 디지털 데이터 신호의 나머지 비트가 조합된 제 2 조합 디지털 데이터 신호를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

소스 쉬프트 클럭 및 소스 스타트 펄스를 사용하여 샘플링 신호를 발생하는 단계; 및,

상기 샘플링 신호에 따라 상기 복원된 디지털 데이터 신호를 래치하는 단계를 더 포함하여 이루어짐을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

제 7 항에 있어서,

상기 q 개의 데이터 전송라인은,

상기 제 1 조합 디지털 데이터 신호를 전송하는 제 1 데이터 전송라인; 및,

상기 제 2 조합 디지털 데이터 신호를 전송하는 제 2 데이터 전송라인을 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12

제 7 항에 있어서,

상기 제 1 및 제 2 조합 디지털 데이터 신호는 동일한 클럭신호에 의해 샘플링된 후 복원되는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은 표시장치에 관한 것으로, 특히 데이터 전송라인의 수와 주파수의 크기를 최적화시킬 수 있는 액정표시장치의 구동회로 및 이의 구동방법에 대한 것이다.
- [0014] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 대두되고 있다. 이러한 평판 표시장치로는 액정표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 발광 표시장치(Light Emitting Display) 등이 있다.
- [0015] 평판 표시장치 중 액정표시장치는 다수의 데이터 라인과 다수의 게이트 라인에 의해 정의되는 영역에 다수의 액정셀이 배치되며 각 액정셀에 스위치(Switch) 소자인 박막트랜지스터(Thin Film Transistor)가 형성된 박막트랜지스터 기판과, 컬러필터(Color Filter)가 형성된 컬러필터 기판이 일정한 간격으로 유지되고 그 사이에 형성된 액정층을 포함한다. 이러한 액정표시장치는 데이터 신호에 따라 액정층에 전계를 형성하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 표시한다.
- [0016] 도 1은 종래의 액정표시장치를 개략적으로 나타내는 도면이다.
- [0017] 종래의 액정표시장치는, 도 1에 도시된 바와 같이, n개의 게이트 라인(GL1 내지 GLn)과 m개의 데이터 라인(DL1 내지 DLm)에 의해 정의되는 액정셀을 포함하는 액정패널(110)과, 데이터 라인들(DL1 내지 DLm)에 아날로그 데이터 신호를 공급하기 위한 데이터 드라이버(140)와, 게이트 라인들(GL1 내지 GLn)에 스캔펄스를 공급하기 위한 게이트 드라이버(150)와, 외부로부터 입력되는 디지털 데이터 신호(RGB)를 액정패널(110)의 구동에 알맞도록 정렬하여 데이터 드라이버(140)에 공급함과 아울러 데이터 드라이버(140)와 게이트 드라이버(150)를 제어하는 타이밍 컨트롤러(130)를 구비한다.
- [0018] 액정패널(110)은 n개의 게이트 라인(GL1 내지 GLn)과 m개의 데이터 라인(DL1 내지 DLm)에 의해 정의되는 영역에 형성된 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)에 접속되는 액정셀들을 구비한다. 박막트랜지스터(TFT)는 게이트 라인(GL1 내지 GLn)으로부터의 스캔펄스에 응답하여 데이터 라인(DL1 내지 DLm)으로부터의 데이터 신호를 액정셀로 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터(TFT)에 접속된 서브픽셀전극으로 구성되므로 등가적으로 액정 커패시터(Clc)로 표시될 수 있다. 이러한 액정셀은 액정 커패시터(Clc)에 충전된 데이터 신호를 다음 데이터 신호가 충전될 때까지 유지시키기 위하여 이전단 게이트 라인에 접속된 스토리지 커패시터(Cst)를 포함한다.
- [0019] 타이밍 컨트롤러(130)는 외부로부터 공급되는 디지털 데이터 신호(RGB)를 액정패널(110)의 구동에 알맞도록 정렬하여 데이터 드라이버(140)에 공급한다. 또한, 타이밍 컨트롤러(130)는 외부로부터 입력되는 메인클럭(MCLK), 데이터 인에이블 신호(DE), 수평 및 수직 동기신호(Hsync, Vsync)를 이용하여 데이터 제어신호(DCS)와 게이트 제어신호(GCS)를 생성하여 데이터 드라이버(140)와 게이트 드라이버(150) 각각의 구동 타이밍을 제어한다.
- [0020] 게이트 드라이버(150)는 타이밍 컨트롤러(130)로부터의 게이트 제어신호(GCS)에 응답하여 스캔펄스 즉, 게이트 하이펄스를 순차적으로 발생하는 쉬프트 레지스터를 포함한다. 이를 위해, 게이트 드라이버(150)는 상기 쉬프트 레지스터를 가지는 다수의 게이트 드라이버 집적회로를 구비한다.
- [0021] 도 2는 도 1에 도시된 타이밍 컨트롤러와 다수의 데이터 드라이버 집적회로간의 접속구조를 나타내는 도면으로서, 동 도면에 도시된 바와 같이, 데이터 드라이버(140)는 액정패널(110)의 데이터 라인들(DL) 각각에 아날로그 데이터 신호를 공급하기 위한 다수의 데이터 드라이버 집적회로(242)를 구비한다.
- [0022] 각 데이터 드라이버 집적회로(242)는 타이밍 컨트롤러(130)로부터 공급되는 데이터 제어신호(DCS)에 따라 타이밍 컨트롤러(130)로부터 정렬된 디지털 데이터 신호(Data)를 아날로그 데이터 신호로 변환하여 게이트 라인들(GL1 내지 GLn)에 스캔펄스가 공급되는 1수평 주기마다 1수평 라인분의 아날로그 데이터 신호를 데이터 라인들(DL1 내지 DLm)로 공급한다. 즉, 각 데이터 드라이버 집적회로(142)는 데이터 신호(Data)의 계조수에 대응되는 서로 다른 전압값을 가지는 다수의 감마전압을 생성하고, 디지털 데이터 신호(Data)의 계조값에 따라 하나의 감마전압을 상기 아날로그 데이터 신호로 선택하여 데이터 라인들(DL1 내지 DLm)로 공급한다.
- [0023] 이와 같은, 종래의 액정표시장치의 구동장치는 CMOS 인터페이스 방식에 따라 타이밍 컨트롤러(130)에서 외부로부터의 디지털 소스 데이터(RGB)를 TTL/CMOS(Transistor-Transistor Logic/Complementary Metal Oxide Semiconductor) 레벨로 변환하고, 변환된 데이터 신호(Data)를 1 포트 대 1 포트 또는 1 포트 대 2 포트 방식의

로 데이터 드라이버(140)로 병렬 전송한다.

- [0024] 이를 위해, 종래의 액정표시장치의 구동장치는 도 2에 도시된 바와 같이 타이밍 콘트롤러(130)와 각 데이터 드라이버 집적회로(242)간에 데이터 전송을 위하여 다수의 데이터 전송라인(222)과 데이터 제어신호(DCS)를 전송하기 위한 다수의 제어신호 전송라인(224)을 구비한다.
- [0025] 타이밍 콘트롤러(130)는 TTL/CMOS 레벨의 데이터 신호(Data)를 다수의 데이터 전송라인(222)에 공급함과 동시에 데이터 제어신호(DCS)를 다수의 제어신호 전송라인(224)에 공급한다. 이 제어신호 전송라인(224)은 다수의 클럭라인을 포함한다.
- [0026] 각 데이터 드라이버 집적회로(242)는 다수의 데이터 전송라인(222) 및 다수의 제어신호 전송라인(224)에 공통적으로 접속된다. 이에 따라, 각 데이터 드라이버 집적회로(142)는 다수의 제어신호 전송라인(224)으로부터 공급되는 데이터 제어신호(DCS)에 따라 순차적으로 구동되어 다수의 데이터 전송라인(222)으로부터의 데이터 신호(Data)를 수신하고, 수신된 데이터 신호(Data)를 아날로그 데이터 신호로 변환하여 각 데이터 라인(DL1 내지 DLm)에 공급한다.
- [0027] 일반적으로, 상기 데이터 전송라인(222)의 수가 적을수록 액정표시장치의 사이즈는 작아진다. 그러나, 상기 데이터 전송라인의 수가 적을수록 이 데이터 전송라인(222)을 따라 공급되는 디지털 데이터 신호의 주파수가 증가할 수밖에 없다. 즉, 상기 데이터 전송라인(222)의 수를 줄이게 되면 액정표시장치의 사이즈를 줄일 수 있는 장점이 있는 반면 상기 주파수가 증가하는 문제점이 발생하며, 상기 데이터 전송라인(222)의 수를 늘리게 되면 액정표시장치의 사이즈가 증가하는 단점이 있는 반면 상기 주파수를 줄일 수 있는 장점이 있다.
- [0028] 따라서, 상기 두 개의 장점을 최대한 효과적으로 나타낼 수 있도록 상기 데이터 전송라인(222)의 수를 최적화시키는 것이 중요하다.
- [0029] 그러나, 종래의 액정표시장치의 구동회로는 상기 데이터 전송라인(222)의 수가 최적화되어 있지 않아, 주파수가 크게 증가하거나 액정표시장치의 사이즈가 크게 증가하는 문제점을 발생시킨다.

발명이 이루고자 하는 기술적 과제

- [0030] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 안출한 것으로, R/G/B 디지털 데이터 신호를 조합하여 2개의 새로운 디지털 데이터 신호를 생성하고, 이를 데이터 전송라인을 통해 데이터 집적회로에 공급함으로써 주파수 대비 데이터 전송라인의 수를 크게 감소시킬 수 있는 액정표시장치의 구동회로 및 이의 구동방법을 제공하는 그 목적이 있다.

발명의 구성 및 작용

- [0031] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동회로는, 화상을 표현하기 위한 서로 다른 색의 p(단, q는 양의 정수)개의 디지털 데이터 신호를 조합하여 새로운 q(단, q는 p보다 작은 양의 정수)개의 디지털 데이터 신호를 생성하고, 상기 생성된 q개의 디지털 데이터 신호를 q개의 데이터 전송라인에 각각 공급하는 타이밍 콘트롤러; 및, 상기 q개의 데이터 전송라인을 통해 공급되는 q개의 디지털 데이터 신호를 조합하여 원래의 p개의 디지털 데이터 신호로 복원하고, 이 복원된 p개의 디지털 데이터 신호를 아날로그 변환하여 액정패널에 공급하는 다수의 데이터 드라이버 집적회로를 포함하여 구성됨을 그 특징으로 한다.
- [0032] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동방법은, 화상을 표시하기 위한 액정표시장치의 구동방법에 있어서, 상기 화상을 표현하기 위한 서로 다른 색의 p(단, q는 양의 정수)개의 디지털 데이터 신호를 조합하여 새로운 q(단, q는 p보다 작은 양의 정수)개의 디지털 데이터 신호를 생성하는 단계; 상기 생성된 q개의 디지털 데이터 신호를 q개의 데이터 전송라인을 통해 전송하는 단계; 및, 상기 q개의 데이터 전송라인을 통해 공급되는 q개의 디지털 데이터 신호를 조합하여 원래의 p개의 디지털 데이터 신호로 복원하는 단계; 및, 상기 복원된 p개의 디지털 데이터 신호를 아날로그 변환하여 액정패널에 공급하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 구동방법.
- [0033] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.
- [0034] 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.
- [0035] 본 발명의 실시예에 따른 액정표시장치는, 도 3에 도시된 바와 같이, 화상을 표시하는 표시부(312)를 갖는 액정패널(310)과; 상기 액정패널(310)에 스캔펄스를 공급하기 위한 다수의 게이트 드라이버 집적회로(GIC1 내지

GICi)와; 시스템(도시되지 않음)으로부터 공급되는 서로 다른 색의 디지털 데이터 신호를 조합하여 새로운 디지털 데이터 신호를 생성하고, 이 생성된 디지털 데이터 신호를 다수의 데이터 전송라인군(TL11 내지 TLk)에 공급하는 타이밍 콘트롤러(330)와; 상기 각 데이터 전송라인군(TL11 내지 TLk)을 통해 공급되는 디지털 데이터 신호를 원래의 디지털 데이터 신호로 복원하고, 이 복원된 디지털 데이터 신호를 아날로그 신호로 변환하여 상기 액정패널(310)에 공급하는 다수의 데이터 드라이버 집적회로(DIC1 내지 DICk)를 포함한다.

[0036] 또한, 본 발명의 실시예에 따른 액정표시장치는 상기 타이밍 콘트롤러(330)와 전원회로(도시되지 않음)가 실장된 인쇄회로기판(Printed Circuit Board)(320)과, 각 데이터 드라이버 집적회로(DIC1 내지 DICk)가 실장되어 인쇄회로기판(320)과 액정패널(310)간에 부착되는 다수의 데이터 테이프 캐리어 패키지(Tape Carrier package; 이하, TCP라 함)(341)와, 각 게이트 드라이버 집적회로(GIC1 내지 GICi)가 실장되어 액정패널(310)에 부착되는 다수의 게이트 TCP(351)를 더 구비한다.

[0037] 액정패널(310)은 매트릭스 형태로 형성된 액정셀들(LC)의 광투과율을 조절하여 화상을 표시한다. 각 액정셀(LC)은 게이트 라인(GL)과 데이터 라인(DL)의 교차점에 접속된 스위칭 소자인 박막트랜지스터를 포함한다. 데이터 라인들(DL)은 각 데이터 드라이버 집적회로(DIC1 내지 DICk)로부터 아날로그 데이터 신호를 공급받는다.

[0038] 각 데이터 TCP(341)는 TAB(Tape Automated Bonding) 방식에 의해 인쇄회로기판(320)과 액정패널(310)간에 부착된다. 이때, 각 데이터 TCP(341)의 입력패드들은 인쇄회로기판(320)에 전기적으로 접속되고, 출력패드들은 액정패널(310)의 데이터 패드에 전기적으로 접속된다. 이러한, 각 데이터 TCP(341) 상에는 데이터 드라이버 집적회로(DIC1 내지 DICk)가 실장된다.

[0039] 각 게이트 TCP(341)는 TAB 방식에 의해 액정패널(310)의 게이트 패드에 전기적으로 접속된다. 이러한, 각 게이트 TCP(341) 상에는 게이트 드라이버 집적회로(GIC1 내지 GICi)가 실장된다.

[0040] 인쇄회로기판(320)에는 타이밍 콘트롤러(330), 전원회로(도시되지 않음), 및 각 데이터 드라이버 집적회로(DIC1 내지 DICk)에 기준 감마전압을 공급하기 위한 기준 감마전압 생성부(도시되지 않음) 등이 실장된다. 또한, 인쇄회로기판(320)에는 각 구성요소들간의 전기적인 접속을 이루기 위한 신호배선들(도시되지 않음)이 형성된다. 이 신호배선들은 상기 데이터 전송라인군(TL11 내지 TLk)을 포함한다.

[0041] 타이밍 콘트롤러(330)는 유저 커넥트(도시되지 않음)를 통해 외부로부터 입력되는 메인클럭(MCLK), 데이터 인에이블 신호(DE), 수평 및 수직 동기신호(Hsync, Vsync)를 이용하여 데이터 제어신호(DCS)와 게이트 제어신호(GCS)를 생성하여 다수의 데이터 드라이버 집적회로(DIC1 내지 DICk)와 각 게이트 드라이버 집적회로(GIC1 내지 GICi)의 구동 타이밍을 제어한다.

[0042] 여기서, 상기 타이밍 콘트롤러(330)와 상기 데이터 드라이버 집적회로(DIC1 내지 DICk)들간의 연결관계를 좀 더 구체적으로 설명하면 다음과 같다.

[0043] 도 4는 도 3의 타이밍 콘트롤러와 데이터 드라이버 집적회로들간의 결합관계를 나타낸 도면이다.

[0044] 즉, 도 4에 도시된 바와 같이, 상기 타이밍 콘트롤러(330)와 상기 제 1 내지 제 k 데이터 드라이버 집적회로(DIC1 내지 DICk)들은 제 1 내지 제 k 데이터 전송라인군(TL11 내지 TLk)에 의해 서로 연결된다. 여기서, 각 데이터 전송라인군(TL11 내지 TLk)은 2개의 데이터 전송라인으로 이루어진다.

[0045] 구체적으로, 도 5는 도 4의 타이밍 콘트롤러와 제 1 데이터 드라이버 집적회로간의 연결관계를 나타낸 도면으로서, 상기 도 5에 도시된 바와 같이, 제 1 데이터 전송라인군(TL1)은 제 1 데이터 전송라인(L1)과 제 2 데이터 전송라인(L2)으로 이루어진다. 결국, 각 데이터 드라이버 집적회로(DIC1 내지 DICk)는, 도 5에 도시된 바와 같이, 제 1 및 제 2 데이터 전송라인(L1, L2)을 통해 상기 타이밍 콘트롤러(330)로부터의 디지털 데이터 신호를 공급받는다.

[0046] 또한, 상기 각 데이터 드라이버 집적회로(DIC1 내지 DICk)는 상기 타이밍 콘트롤러(330)로부터 하나의 클럭신호를 공급받는다. 이를 위해, 상기 각 데이터 드라이버 집적회로(DIC1 내지 DICk)와 상기 타이밍 콘트롤러(330)는 상기 클럭신호를 전송하는 하나의 클럭라인(CL)에 의해 서로 연결된다.

[0047] 상기 타이밍 콘트롤러(330)는 시스템으로부터 공급되는 p개의 디지털 데이터 신호를 공급받는다. 여기서, 상기 p(단, p는 양의 정수)개의 디지털 데이터 신호는 서로 다른 색상에 대한 정보를 갖는 신호로서, 일반적으로 상기 p가 3일 경우 상기 각 신호는 적색에 대한 정보를 갖는 적색 데이터 디지털 신호, 녹색에 대한 정보를 갖는 녹색 데이터 디지털 신호, 그리고 청색에 대한 정보를 갖는 청색 데이터 디지털 신호를 의미한다. 다른 예로, 상기 p가 4일 경우, 상기 3색의 디지털 데이터에 화이트에 대한 정보를 갖는 화이트 데이터 디지털 신호가 더

포함될 수 있다.

- [0048] 한편, 상기 타이밍 콘트롤러(330)와 상기 시스템간은 전송라인(도시되지 않음)을 통해 서로 연결된다. 상기 타이밍 콘트롤러(330)와 상기 시스템간이 3개의 전송라인으로 연결된다면, 상기 3색의 디지털 데이터 신호는 각 전송라인을 통해 독립적으로 상기 타이밍 콘트롤러(330)에 공급된다. 즉, 상기 적색, 녹색, 및 청색 디지털 데이터 신호가 모두 8비트의 디지털 데이터 신호라고 가정하면, 상기 적색 디지털 데이터 신호의 모든 비트는 어느 하나의 전송라인을 통해 상기 타이밍 콘트롤러(330)에 순차적으로 공급되며, 상기 녹색 디지털 데이터 신호의 모든 비트는 다른 어느 하나의 전송라인을 통해 상기 타이밍 콘트롤러(330)에 순차적으로 공급되며, 상기 청색 디지털 데이터 신호의 모든 비트는 나머지 하나의 전송라인을 통해 상기 타이밍 콘트롤러(330)에 공급된다.
- [0049] 또한, 상기 타이밍 콘트롤러(330)는 상기 공급된 3색의 디지털 데이터 신호를, 새로운 q(단, q는 p보다 작은 양의 정수)개의 디지털 데이터 신호로 변환한다. 즉, 상기 타이밍 콘트롤러(330)는 상기 3색의 디지털 데이터 신호를 공급받아, 이보다 적은 2색의 디지털 데이터 신호를 생성한다. 구체적으로, 상기 타이밍 콘트롤러(330)는 상기 각 디지털 데이터 신호의 비트를 조합하여 새로운 2색의 디지털 데이터 신호를 생성한다.
- [0050] 예를 들어, 도 6은 도 4에 도시된 타이밍 콘트롤러로부터 출력되는 디지털 데이터 신호의 파형 및 클럭신호의 파형도로서, 상기 타이밍 콘트롤러(330)는, 도 6에 도시된 바와 같이, 적색 디지털 데이터 신호(Data_R)의 모든 비트들(R0 내지 R7)과 청색 디지털 데이터 신호(Data_B)의 상위 비트들(B0 내지 B3)을 조합하여 하나의 새로운 디지털 데이터 신호(Data_R/B)(이하, '제 1 조합 디지털 데이터 신호(Data_R/B)'로 표기)를 생성한다. 또한, 상기 타이밍 콘트롤러(330)는 도 6에 도시된 바와 같이, 녹색 디지털 데이터 신호(Data_G)의 모든 비트들(G0 내지 G7)과 상기 청색 디지털 데이터 신호(Data_B)의 하위 비트들(B4 내지 B7)을 조합하여 하나의 새로운 디지털 데이터 신호(Data_G/B)(이하, '제 2 조합 디지털 데이터 신호(Data_G/B)'로 표기)를 생성한다.
- [0051] 즉, 상기 타이밍 콘트롤러(330)는 상기 시스템으로부터 공급된 8비트의 3색의 디지털 데이터 신호(Data_R, Data_G, Data_B)를 조합하여 12비트의 제 1 및 제 2 조합 디지털 데이터 신호(Data_R/B, Data_G/B)를 생성한다.
- [0052] 그리고, 상기 타이밍 콘트롤러(330)는 상기 제 1 조합 디지털 데이터 신호(Data_R/B)를 각 데이터 드라이버 집적회로(DIC1 내지 DICk)에 공급한다. 이때, 상기 타이밍 콘트롤러(330)는 상기 제 1 조합 디지털 데이터 신호(Data_R/B)를 각 제 1 데이터 전송라인(L1)을 통해 각 데이터 드라이버 집적회로(DIC1 내지 DICk)에 공급한다.
- [0053] 또한, 상기 타이밍 콘트롤러(330)는 상기 제 2 조합 디지털 데이터 신호(Data_G/B)를 각 데이터 드라이버 집적회로(DIC1 내지 DICk)에 공급한다. 이때, 상기 타이밍 콘트롤러(330)는 상기 제 2 조합 디지털 데이터 신호(Data_G/B)를 각 제 2 데이터 전송라인(L2)을 통해 각 데이터 드라이버 집적회로(DIC1 내지 DICk)에 공급한다.
- [0054] 이때, 각 데이터 드라이버 집적회로(DIC1 내지 DICk)는, 클럭신호(CLK)의 매 상승에지 및 하강에지마다 상기 제 1 및 제 2 조합 디지털 데이터 신호(Data_R/B, Data_G/B)의 각 비트를 샘플링하여 받아들인다.
- [0055] 이후, 상기 각 데이터 드라이버 집적회로(DIC1 내지 DICk)는, 자신들에게 공급된 제 1 및 제 2 조합 디지털 데이터 신호(Data_R/B, Data_G/B)를 재조합하여 원래의 디지털 데이터 신호로 복원한다. 즉, 상기 제 1 및 제 2 조합 데이터 신호의 비트를 재조합하여 원래의 디지털 데이터 신호(적색 디지털 데이터 신호(Data_R), 녹색 디지털 데이터 신호(Data_G), 및 청색 디지털 데이터 신호(Data_B))로 복원한다. 그리고, 이 복원된 디지털 데이터 신호들(Data_R, Data_G, Data_B)을 액정패널(310)의 각 데이터 라인들(DL)에 공급한다.
- [0056] 여기서, 상기 데이터 드라이버 집적회로(DIC1 내지 DICk)의 구성을 좀 더 구체적으로 설명하면 다음과 같다.
- [0057] 도 7은 도 4에 도시된 각 데이터 드라이버 집적회로의 상세 구성도이다.
- [0058] 각 데이터 드라이버 집적회로(DIC1 내지 DICk)는, 도 7에 도시된 바와 같이, 타이밍 콘트롤러(330)로부터 제 1 및 제 2 조합 디지털 데이터 신호(Data_R/B, Data_G/B)를 공급받아, 이들의 비트를 재조합하여 원래의 적색, 녹색, 및 청색 디지털 데이터 신호(Data_B)를 생성하는 데이터 복원부(720)와, 상기 타이밍 콘트롤러(330)로부터의 데이터 제어신호(DCS) 중 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 이용하여 샘플링 신호를 발생하는 쉬프트 레지스터(200)와, 상기 샘플링 신호에 따라 데이터 복원부(720)로부터 공급되는 1라인분의 적색, 녹색, 및 청색 디지털 데이터 신호(Data_R, Data_G, Data_B)를 순차적으로 샘플링하는 제 1 래치(730)와, 데이터 제어신호(DCS) 중 소스 출력 인에이블 신호(SOE)에 따라 제 1 래치(730)에 의해 샘플링된 1라인분의 적색, 녹색, 및 청색 디지털 데이터 신호(Data_G, Data_G, Data_B)를 동시에 출력하는 제 2 래치(740)와, 제 2 래치(740)로부터 공급되는 1라인분의 디지털 데이터 신호를 아날로그 데이터 신호로 변환하여 액정패널(310)의 각

데이터 라인(DL1 내지 DLm)에 공급하는 디지털-아날로그 변환기(750)를 구비한다.

[0059] 이와 같이 설명한 본 발명의 액정표시장치에서, 상기 p는 3으로 설정하고, 상기 q는 2로 설정하며(각 데이터 전송라인군(TL1 내지 TLk)을 이루는 데이터 전송라인(L1, L2)의 수와 동일), 상기 k는 8로 설정하는 것이 바람직하다. 상기 i와 같이 설정할 경우, 본 발명의 액정표시장치는 3색의 디지털 데이터 신호를 2색의 디지털 데이터 신호로 변환하고, 이 변환된 2색의 디지털 데이터 신호를 2개의 데이터 전송라인을 통해 8개의 데이터 드라이버 집적회로(DIC1 내지 DICK) 각각에 공급한다.

[0060] 이러한 실제적 구성을 갖는 본 발명의 액정표시장치와 종래의 액정표시장치간을, 주파수 및 데이터 전송라인의 수에 근거하여, 비교 설명하면 다음과 같다.

[0061] 표 1은 주파수 및 데이터 전송라인의 수에 근거하여 본 발명의 액정표시장치와 종래의 액정표시장치들간을 비교 설명하기 위한 표이다.

표 1

	TTL	Mini-LVDS	PPDS	본 발명
주파수	62.2 MHz	124.4MHz	147MHz	93.3MHz
데이터 전송라인	48	24	32	16
클럭라인	1	2	4	1

[0063] 여기서, 표 1에 도시된 본 발명의 액정표시장치, 종래의 TTL 방식의 액정표시장치, 종래의 Mini-LVDS(Low Voltage Differential Signal) 방식의 액정표시장치, 및 종래의 PPDS(Point to Point Differential Signal) 방식의 액정표시장치는 1920*1080의 해상도를 가지며, 8비트의 디지털 데이터 신호를 공급받으며, 8개의 데이터 드라이버 집적회로(DIC1 내지 DICK)(각 데이터 드라이버 집적회로(DIC1 내지 DICK)는 720개의 채널을 가짐)를 구비한다. 여기서, 상기 TTL 방식 및 Mini-LVDS 방식의 액정표시장치는 2포트 대 2포트 방식을 채용하고 있으며, 상기 PPDS 방식은 2페어 방식을 채용하고 있다.

[0064] 표 1에 도시된 바와 같이, 본 발명의 액정표시장치는, 종래의 Mini-LVDS 방식의 액정표시장치, 그리고 종래의 PPDS 방식의 액정표시장치에 비하여 더 작은 주파수를 나타낸다. 또한, 본 발명의 액정표시장치는, 상기 두 가지 방식의 액정표시장치에 비하여 더 작은 수의 데이터 전송라인 및 더 작은 수의 클럭라인을 사용한다.

[0065] 한편, 본 발명의 액정표시장치는, 종래의 TTL 방식의 액정표시장치에 비하여 약간 높은 주파수를 나타낸다. 그러나, 본 발명의 액정표시장치는, 상기 TTL 방식의 액정표시장치에 비하여 더 작은 수의 데이터 전송라인을 사용한다. 여기서, 본 발명의 액정표시장치의 클럭라인의 수와 상기 TTL 방식의 액정표시장치의 클럭라인의 수는 서로 동일하다.

[0066] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

[0067] 이상에서 설명한 바와 같은 본 발명에 따른 액정표시장치의 구동회로 및 이의 구동방법에는 다음과 같은 효과가 있다.

[0068] 본 발명에 따른 액정표시장치의 구동회로는 디지털 데이터 신호를 변조하여 데이터 전송라인에 공급함으로써, 상기 디지털 데이터 신호가 전송되는 데이터 전송라인의 수를 최적화시킨다. 이에 따라, 본 발명의 액정표시장치의 구동회로는 주파수의 크기 및 데이터 전송라인의 수를 최적화시킬 수 있다.

도면의 간단한 설명

[0001] 도 1은 종래의 액정 표시장치를 개략적으로 나타내는 도면

[0002] 도 2는 도 1에 도시된 타이밍 콘트롤러와 다수의 데이터 드라이버 집적회로간의 접속구조를 나타내는 도면

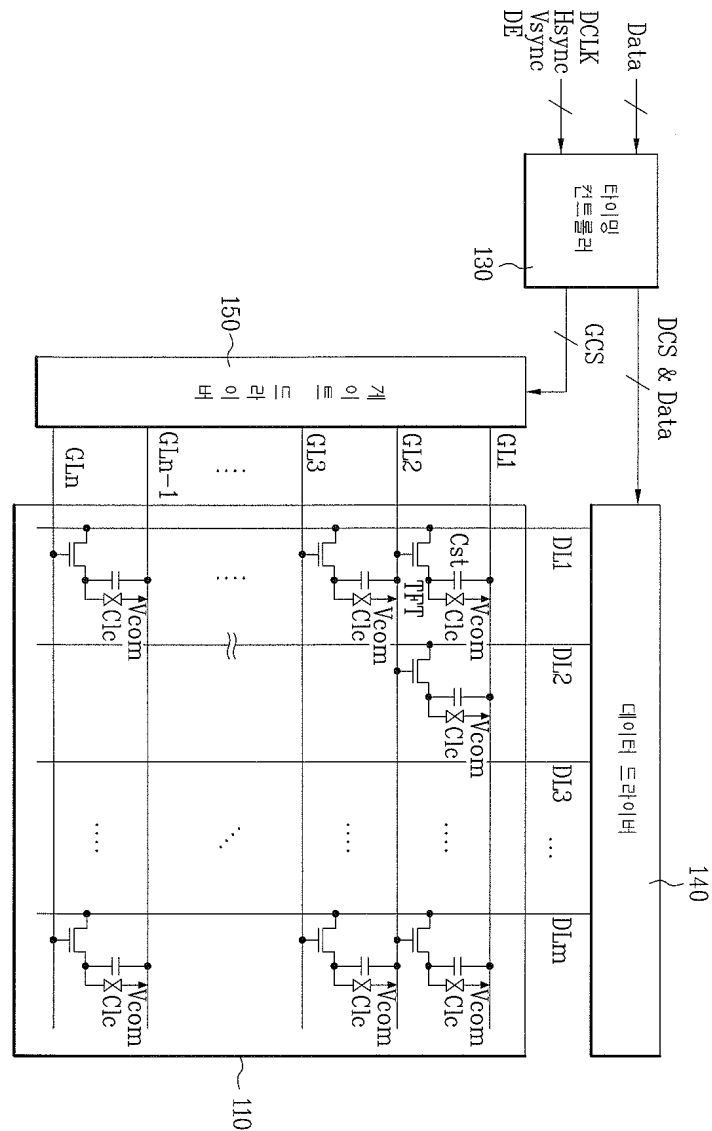
[0003] 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면

[0004] 도 4는 도 3의 타이밍 콘트롤러와 데이터 드라이버 집적회로들간의 결합관계를 나타낸 도면

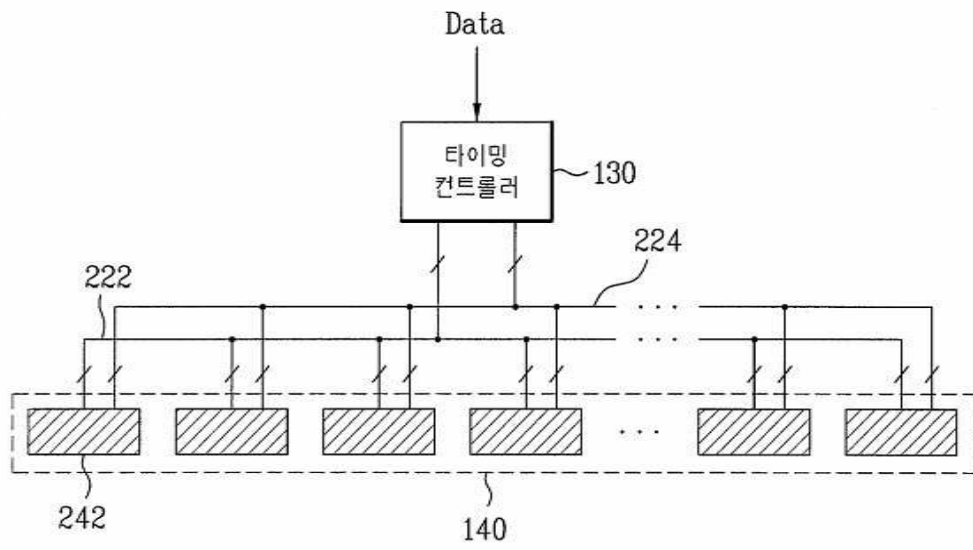
[0005]	도 5는 도 4의 타이밍 콘트롤러와 제 1 데이터 드라이버 집적회로간의 연결관계를 나타낸 도면
[0006]	도 6은 도 4에 도시된 타이밍 콘트롤러로부터 출력되는 디지털 데이터 신호의 파형 및 클럭신호의 파형도
[0007]	도 7은 도 4에 도시된 각 데이터 드라이버 집적회로의 상세 구성도
[0008]	* 도면의 주요부에 대한 부호 설명
[0009]	DIC1 내지 DICk : 제 1 내지 제 k 데이터 드라이버 집적회로
[0010]	TL1 내지 TLk : 제 1 내지 제 k 데이터 전송라인군
[0011]	330 : 타이밍 콘트롤러 Data_R : 적색 디지털 데이터 신호
[0012]	Data_G : 녹색 디지털 데이터 신호 Data_B : 청색 디지털 데이터 신호

도면

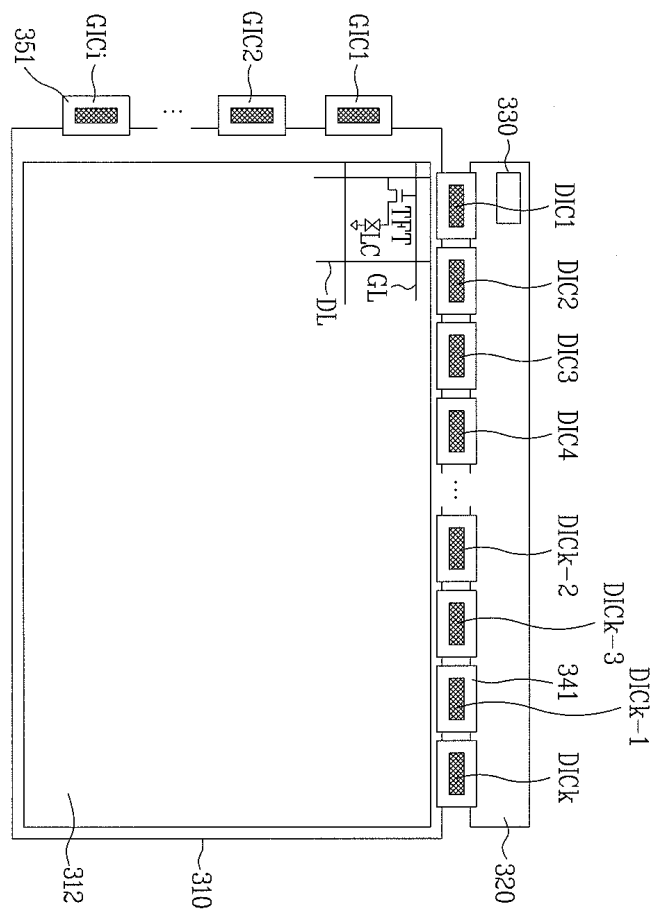
도면1



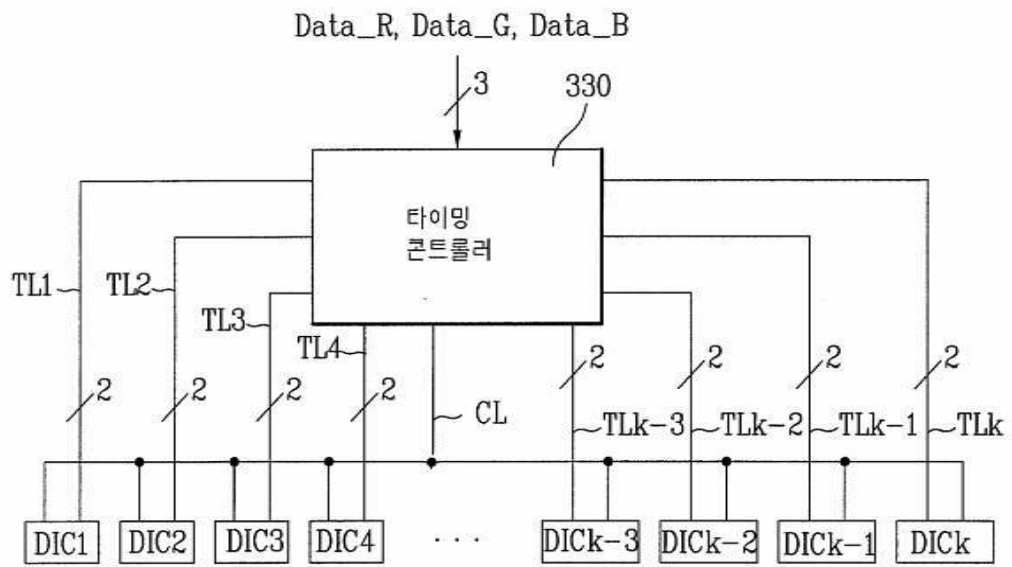
도면2



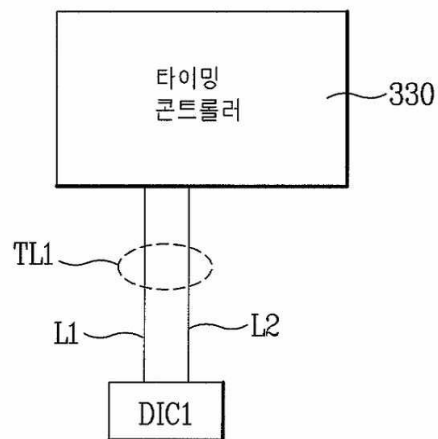
도면3

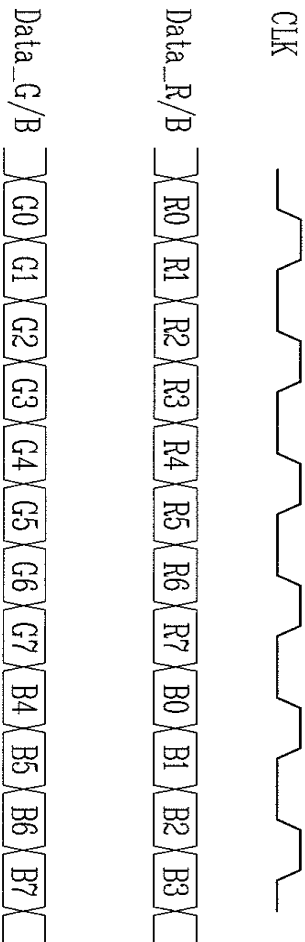


도면4



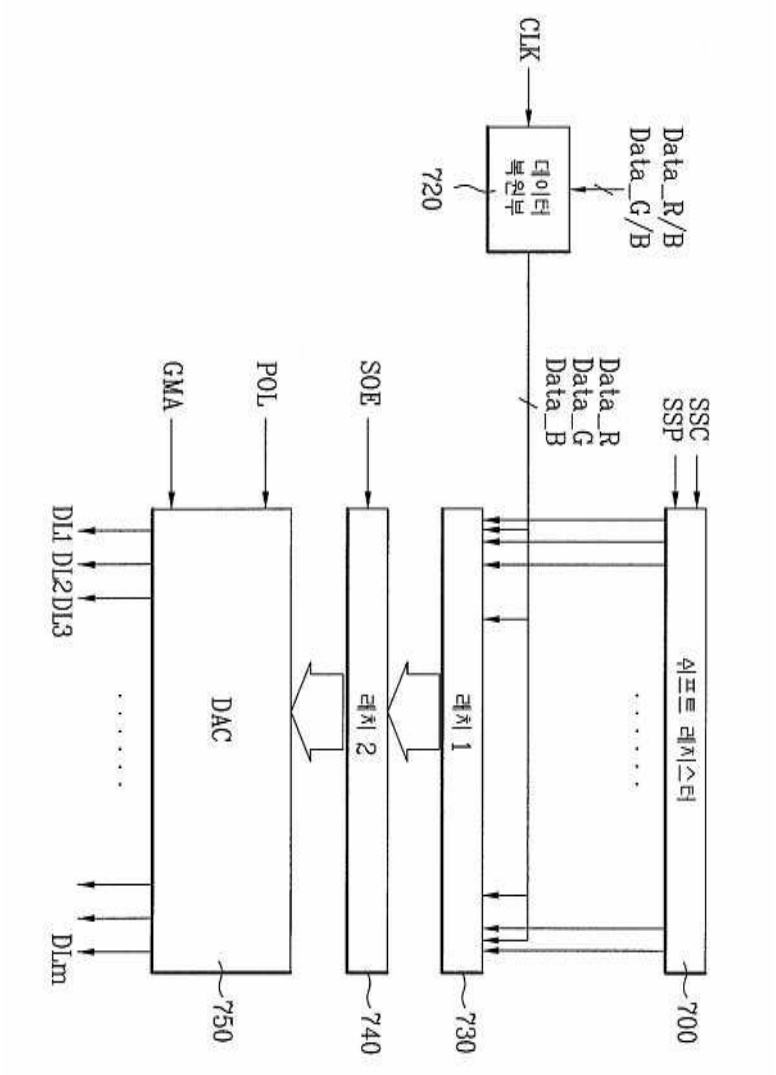
도면5





도면6

도면7



专利名称(译)	标题：液晶显示装置的驱动电路及其驱动方法		
公开(公告)号	KR101222949B1	公开(公告)日	2013-01-17
申请号	KR1020050082685	申请日	2005-09-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SUN YOUNG 김선영 JANG CHUL SANG 장철상 KIM JONG HOON 김종훈		
发明人	김선영 장철상 김종훈		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/2003 G09G3/3648 G09G2300/0426 G09G2310/0218		
代理人(译)	Gimyongin Simchangseop		
其他公开文献	KR1020070027267A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置的驱动电路及其驱动方法，通过调制数字数据信号并将调制信号提供给数据传输线来优化数据传输线的数量。组成：驱动电路液晶显示装置包括定时控制器（330）和多个数据驱动器（DIC1~DICk）。定时控制器通过组合不同颜色的p个数字数据信号产生q个数字数据信号，并分别将q个数字数据信号提供给q个数据传输线。数据驱动器将q数字数据信号转换为p数字数据信号，将p数字数据信号转换为模拟信号，并将转换后的模拟信号提供给液晶显示面板。©KIPO 2007

