



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월04일
(11) 등록번호 10-0850211
(24) 등록일자 2008년07월29일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01) H04L 12/56 (2006.01)

(21) 출원번호 10-2007-0019132

(22) 출원일자 2007년02월26일

심사청구일자 2007년02월26일

(56) 선행기술조사문헌

JP2000035777 A

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이재열

경기 용인시 기흥구 영덕동 대명레이크빌아파트
103-1402

박대진

대구 동구 용계동 68번지 1/3

김중선

경기 성남시 분당구 분당동 장안타운건영아파트
121-1604

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 20 항

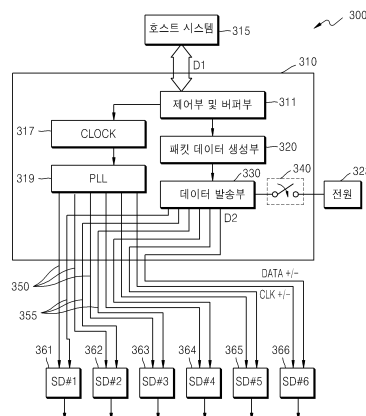
심사관 : 김세영

(54) 타이밍 컨트롤러 및 소스 드라이버를 구비하는 LCD 장치

(57) 요약

타이밍 컨트롤러 및 소스 드라이버를 구비하는 LCD 장치가 개시된다. 본 발명의 일 실시예에 따른 LCD 장치는 외부에서 인가되는 제1 데이터들을 전송받고, 제1 데이터들을 디스플레이 하기 위하여 클럭 신호들 및 제2 데이터들을 출력하는 타이밍 컨트롤러, 및 제2 데이터를 입력받고 이를 아날로그 데이터로 변환하여 디스플레이 패널로 출력하는 다수개의 소스 드라이버들을 구비한다. 클럭 신호들은 타이밍 컨트롤러와 소스 드라이버들을 포인트 투 포인트 방식으로 연결하는 제1 신호선부를 통하여 전송되고, 제2 데이터는 타이밍 컨트롤러와 소스 드라이버들을 포인트 투 포인트 방식으로 연결하는 제2 신호선부를 통하여 전송된다. 제2 데이터는 패킷 데이터 형태인 것을 특징으로 한다. 상술한 바와 같이 본 발명에 따른 LCD 장치는 더 많은 데이터 전송이 가능하도록 하고 전자파 간섭 특성을 개선할 수 있는 장점이 있다. 또한, 패킷 형태의 데이터 이용함으로써, LCD 장치 내의 IP 블록들을 개별적으로 설계할 필요 없이 재사용할 수 있는 장점이 있다.

대표도 - 도3a



(56) 선행기술조사문헌

JP2001324965 A

KR1020000065952 A

JP2002202760 A

JP2004302035 A

특허청구의 범위

청구항 1

외부에서 인가되는 제1 데이터들을 전송받고, 상기 제1 데이터들을 디스플레이 하기 위하여 클럭 신호들 및 제2 데이터들을 출력하는 타이밍 컨트롤러; 및

상기 제2 데이터를 입력받고, 이를 아날로그 데이터로 변환하여 디스플레이 패널로 출력하는 n 개의 소스 드라이버들을 구비하며,

상기 클럭 신호들은 상기 타이밍 컨트롤러와 상기 소스 드라이버들을 포인트 투 포인트 방식으로 연결하는 제1 신호선부를 통하여 전송되고, 상기 제2 데이터는 상기 타이밍 컨트롤러와 상기 소스 드라이버들을 포인트 투 포인트 방식으로 연결하는 제2 신호선부를 통하여 전송되며,

상기 제2 데이터는 패킷 데이터인 것을 특징으로 하는 LCD 장치.

청구항 2

제1항에 있어서,

상기 타이밍 컨트롤러는

상기 제1 데이터를 전송받고 이를 상기 패킷 데이터로 변환하여 상기 제2 데이터로써 출력하는 패킷 데이터 생성부를 포함하며,

상기 패킷 데이터는

페이로드 부의 데이터가 어떠한 정보를 갖는지에 관한 정보를 갖는 헤더; 및

데이터 로딩 시간, 전하 공유 시간, 또는 디스플레이 될 영상 데이터 등을 포함하는 페이로드 부를 포함하는 것을 특징으로 하는 LCD 장치.

청구항 3

제2항에 있어서, 상기 타이밍 컨트롤러는

상기 n 개의 소스 드라이버들로 서로 다른 위상을 가지는 n 개의 클럭 신호들을 각각 출력하는 것을 특징으로 하는 LCD 장치.

청구항 4

제1항에 있어서, 상기 패킷 데이터는

영상 데이터가 상기 소스 드라이버에서 상기 디스플레이 패널로 로딩 되는 시점의 정보를 포함하는 것을 특징으로 하는 LCD 장치.

청구항 5

제3항에 있어서, 상기 타이밍 컨트롤러는

내부에서 발생한 클럭 신호를 입력받고, 서로 다른 위상을 가지는 상기 n 개의 클럭 신호들을 출력하는 위상 동기 루프를 구비하는 것을 특징으로 하는 LCD 장치.

청구항 6

제3항에 있어서, 상기 타이밍 컨트롤러는

다수개의 지연 셀들을 포함하는 지연 라인을 구비하고,

상기 지연 라인을 이용하여, 서로 다른 위상을 가지는 상기 n 개의 클럭 신호들을 출력하는 것을 특징으로 하는 LCD 장치.

청구항 7

제5항에 있어서, 상기 타이밍 컨트롤러는

상기 제1 데이터를 입력받아 저장하고, 디스플레이를 위한 제어 신호를 출력하는 제어부 및 버퍼 메모리 부;

상기 제1 데이터를 이용하여 패킷 데이터인 제2 데이터를 생성하는 패킷 데이터 생성부; 및

상기 제2 데이터를 상기 소스 드라이버로 출력하는 데이터 출력부를 더 구비하는 것을 특징으로 하는 LCD 장치.

청구항 8

제6항에 있어서, 상기 타이밍 컨트롤러는

상기 제1 데이터를 입력받아 저장하고, 디스플레이를 위한 제어 신호를 출력하는 제어부 및 버퍼 메모리 부;

상기 제1 데이터를 이용하여 패킷 데이터인 제2 데이터를 생성하는 패킷 데이터 생성부; 및

상기 제2 데이터를 상기 소스 드라이버로 출력하는 데이터 출력부를 더 구비하는 것을 특징으로 하는 LCD 장치.

청구항 9

제4항에 있어서,

상기 제2 데이터는

페이로드 부에 있는 데이터가 로딩 시간이라는 것을 나타내는 헤더; 및

로딩 시점, 로딩되는 시간 또는 위치 등의 정보를 포함하는 페이로드 부를 포함하며,

상기 LCD 장치는,

사용자는 상기 패킷 데이터의 상기 페이로드 부의 값을 조절함으로써, 상기 제2 데이터의 로딩 시점을 조절하는 것을 특징으로 하는 LCD 장치.

청구항 10

제9항에 있어서, 상기 패킷 데이터는

상기 제2 데이터들의 로딩 시점이 각각 다르게 되도록 설정되는 것을 특징으로 하는 LCD 장치.

청구항 11

제4항에 있어서, 상기 패킷 데이터는

픽셀 양단의 전압 극성을 바꿔주기 위하여 요구되는 시간인 전하 공유 시간(charge sharing time)의 정보 또는 실제 디스플레이 될 영상 정보인 것을 특징으로 하는 LCD 장치.

청구항 12

제11항에 있어서, 상기 소스 드라이버는

상기 패킷 데이터를 전송 받고, 이를 디코딩하여 로딩 시점 또는 전하 공유 시간 등에 관한 정보를 얻는 디코더를 더 포함하는 것을 특징으로 하는 LCD 장치.

청구항 13

제1항에 있어서, 상기 패킷 데이터의 크기는

상기 한 개의 패킷 데이터에 들어가는 이미지 신호의 개수에 따라서 각각 다르게 설정되는 것을 특징으로 하는 LCD 장치.

청구항 14

제1항에 있어서,

상기 제1 신호선부는 다수개의 제1 신호선들을 구비하고,

상기 제2 신호선부는 다수개의 제2 신호선들을 구비하며,

상기 제1 신호선들과 상기 제2 신호선들은 각각 서로 다른 신호들인 것을 특징으로 하는 LCD 장치.

청구항 15

제1항에 있어서, 상기 LCD 장치는

데이터 인에이블 신호의 하나의 활성화 구간 동안에, 디스플레이 패널 수평 1 라인에 디스플레이 될 영상 데이터를 전송 받는 것을 특징으로 하는 LCD 장치.

청구항 16

제15항에 있어서, 상기 LCD 장치는

제2 데이터를 전송하는데 있어서,

디스플레이 패널 수평 1라인에 디스플레이 될 영상 데이터를 하나의 상기 패킷 데이터로 상기 소스 드라이버로 전송하거나,

디스플레이 패널 수평 1라인에 디스플레이 될 영상 데이터를 2개 이상의 상기 패킷 데이터들로 나누어 전송하는 것을 특징으로 하는 LCD 장치.

청구항 17

제1항에 있어서, 상기 타이밍 컨트롤러는

상기 제2 데이터 전송에 필요한 차동 전류를 공급 또는 차단하는 스위칭 부를 포함하는 것을 특징으로 하는 LCD 장치.

청구항 18

제17항에 있어서, 상기 타이밍 컨트롤러는

상기 제2 데이터가 전송되지 않는 시간 구간을 감지하고, 그에 응답하여 상기 제2 데이터의 전송이 이뤄지지 않는 시간 구간에서 상기 스위칭 부가 오프되도록 제어하는 것을 특징으로 하는 LCD 장치.

청구항 19

외부에서 인가되는 제1 데이터들을 전송받고, 상기 제1 데이터들을 디스플레이 하기 위하여 클럭 신호들 및 제2 데이터들을 출력하는 타이밍 컨트롤러; 및

상기 타이밍 컨트롤러의 출력 신호를 입력받고, 이를 아날로그 데이터로 변환하여 디스플레이 패널로 출력하는 다수개의 소스 드라이버들을 구비하며,

상기 클럭 신호들 및 제2 데이터들은 상기 타이밍 컨트롤러와 상기 소스 드라이버들을 포인트 투 포인트 방식으로 연결하는 제1 신호선부를 통하여 전송되며,

상기 제2 데이터는 패킷 데이터가 되며,

상기 클럭 신호는 상기 제2 데이터에 임베딩되어 출력되는 것을 특징으로 하는 LCD 장치.

청구항 20

제19항에 있어서,

상기 제2 데이터는

페이로드 부에 있는 데이터가 어떠한 정보를 가지는지에 관한 정보를 가진 헤더; 및

로딩 시점, 로딩되는 시간 또는 위치 등의 정보를 포함하는 페이로드 부를 포함하며,

상기 LCD 장치는

사용자는 상기 패킷 데이터의 상기 페이로드 부의 값을 조절함으로써, 상기 제2 데이터의 로딩 시점을 조절하는

것을 특징으로 하는 LCD 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <32> 본 발명은 소스 드라이버 및 타이밍 컨트롤러를 포함하는 LCD 장치에 관한 것으로서, 특히 LCD 장치 내의 IP 블록들의 재사용이 가능한 LCD 장치에 관한 것이다.
- <33> 도 1은 종래의 LCD 장치를 나타내는 도면이다.
- <34> 도 1을 참조하면, 종래의 LCD 장치(100)는 타이밍 컨트롤러(110), 다수개의 소스 드라이버들(125), 및 디스플레이 패널(140)을 구비한다.
- <35> 타이밍 컨트롤러(110)는 호스트 시스템(105)으로부터 영상 데이터를 전송받는다. 여기서, 전송받는 영상 데이터는 제1 데이터(D1)이라 하자. 타이밍 컨트롤러(110)는 제1 데이터(D1)를 제어부 및 버퍼부(controller & buffer)(112)에 일시 저장하고, 제1 데이터(D1)가 출력되는 시점 및 위치를 결정하여 제2 데이터(D2_i)를 출력한다. 또한, 클럭 출력부(114)는 제2 데이터(D2_i)가 전송 되는 필요한 클럭 신호(CLK)를 출력한다.
- <36> 소스 드라이버들(125)은 제2 데이터를 전송받고 이를 아날로그 신호로 변환하여 디스플레이 패널(140)로 출력한다.
- <37> 디스플레이 패널(140)은 소스 드라이버 출력 신호들에 따라서 영상 화면을 디스플레이 한다.
- <38> 종래의 LCD 장치(100)에 있어서, 타이밍 컨트롤러(110)에 구비되는 클럭 출력부(114)와 다수개의 소스 드라이버들(125)은 멀티 드롭(multi-drop) 방식으로 연결되어 있었다. 멀티 드롭 방식으로 신호가 전송되는 경우, 클럭 출력부(114)로부터 멀리 위치한 소스 드라이버(SDn)로 입력되는 신호는 클럭 신호(CLK)에 왜곡이 발생한 신호가 된다.
- <39> 또한, 클럭 신호(CLK)가 멀티 드롭 방식으로 전송되고, 제2 데이터 신호(D2_i)가 클럭 신호(CLK)에 동기화되어 동시에 전송되면, 제2 데이터 신호들로부터 전자기 간섭 현상(EMI: Electromagnetic Interference)이 발생하게 된다.
- <40> 도 2는 도 1의 LCD 장치에 입출력되는 신호 또는 데이터를 나타내는 도면이다.
- <41> 도 2를 참조하면, 수평 동기 신호(HSYNC: Horizontal Synchronization signal)(201)가 논리 하이로 인가되면, 디스플레이 패널의 수평 방향으로 구비된 액정 셀들의 동기화가 시작된다.
- <42> 수평 동기 신호(HSYNC)의 논리 하이 구간 내에서, 데이터 인에이블 신호(DE: Data Enable)의 논리 하이 구간이 발생한다. 데이터 인에이블 신호(DE)는 데이터 전송이 활성화 될 수 있도록 하는 신호로, 논리 하이 구간동안 데이터 전송이 활성화된다. 즉, 데이터 인에이블 신호(DE)의 논리 하이 구간 동안에, 데이터 전송이 이뤄진다.
- <43> 210 신호를 참조하면, 데이터 인에이블 신호(DE)의 논리 하이 구간동안, 제1 데이터(D1)들이 전송된다. 여기서, 논리 하이 한 구간동안에는 디스플레이 패널의 수평방향 1 라인을 디스플레이 시킬 수 있는 데이터 양 만큼이 전송된다. 데이터 인에이블 신호(DE)의 논리 로우 구간인 c 에서 d 구간 동안에는 호스트 시스템(105)에서 타이밍 컨트롤러(110)로 어떠한 데이터도 전송되지 않는다.
- <44> 클럭 신호(CLK)(215)는 일정 주파수를 갖고, 계속하여 출력된다. 타이밍 컨트롤러(110)로 전송된 제1 데이터(D1)는 클럭 신호(CLK)의 라이징 에지(rising edge) 또는 폴링 에지(falling edge)에 동기화되어 전송된다.
- <45> 도시된 220, 225, 230 신호 라인을 참조하면, 타이밍 컨트롤러(110)에서 소스 드라이버들(125)로 전송되는 제2 데이터(D2_i)는 멀티 드롭(multi-drop)으로 연결된 신호선을 통하여 공통적으로 전송된다. 따라서, 제2 데이터(D2_i)는 하나의 클럭 신호(CLK)에 동기화되어 전송되므로, 동일한 타이밍(timing)에 제2 데이터 전송이 이뤄진다.
- <46> 상술한 바와 같이, 각각의 소스 드라이버들(125)에 동일 시점에 제2 데이터들(D2_i)이 전송되므로, 데이터 전송

에 필요한 차동 전류(Differential current) 또한 동일 시점에 한번에 인가된다. 따라서, 한번의 전류가 갑자기 요구되므로, 시스템의 안정도가 떨어지게 되는 문제점이 있다. 또한, 상술한 인접한 소스 드라이버들로 동시에 데이터가 인가되므로, 전자파 간섭(EMI) 현상이 크게 발생하게 되는 문제점이 있다.

<47> 또한, 종래의 LCD 장치의 타이밍 컨트롤러(110)는 제1 데이터(D1)를 입력받고, 제2 데이터(D2)를 출력하는데 있어서, 각각의 데이터 로드 시점(data load time), 또는 전하 공유 시간(charge share time) 등의 동작 조건을 각각 별도로 세팅(setting)하여야 한다. 즉, 상기 데이터 로드 시점(data load time), 전하 공유 시간(charge share time) 등을 수행하기 위한 별도의 회로를 내부적으로 구비하여야만 한다.

<48> 또한, 종래의 LCD 장치는 LCD 장치의 해상도, color depth, 소스 드라이버의 채널 수 등이 변경될 경우, 기존의 IP 블록(Intellectual Property block)을 재사용하지 못하는 단점이 있다. 여기서, IP 블록이란, 반도체 직접 회로(IC: Integrated Circuit) 설계 시, 독립적인 기능을 갖고 재이용이 가능하도록 설계된 기능 블록(반도체 설계 모듈)을 뜻한다. 즉, 반도체의 로직 회로를 구성하기 위해 필요한 기능을 하드웨어 또는 소프트웨어 상태로 정리한 블록을 뜻한다. IP 블록의 예로, 도시된 소스 드라이버들(125), 타이밍 컨트롤러(110) 내의 각 구성들(예를 들어, 제어부 및 버퍼부(115) 등)이 있다. 이러한, 종래의 LCD 장치는 미국등록특허 제6,954,201호 등에 자세히 나타나있다.

<49> 상술한 바와 같이, 종래의 LCD 장치(100)는 클럭 신호를 멀티 드롭(multi drop) 방식으로 연결된 신호선을 통하여 전송하므로, 전자파 간섭(EMI) 현상이 크게 발생하고, 일정 시점에 모든 소스 드라이버들에 데이터가 전송되므로 시스템의 안정도가 떨어지는 문제가 있다. 또한, LCD 장치 및 소스 드라이버 등이 바뀔 때마다 기존의 IP 블록들을 재사용하지 못하고 변경해줘야 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<50> 본 발명이 이루고자하는 기술적 과제는 클럭 신호를 포인트 투 포인트 방식으로 연결된 신호선을 통하여 전송함으로써, 전자기 간섭 현상의 발생을 줄일 수 있는 LCD 장치를 제공하는데 있다.

<51> 본 발명이 이루고자하는 다른 기술적 과제는 소스 드라이버로 전송되는 데이터를 패킷 데이터 형태로 함으로써, 동작 조건이 변경되어도 IP 블록의 재사용이 가능한 LCD 장치를 제공하는데 있다.

발명의 구성 및 작용

<52> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 LCD 장치는 타이밍 컨트롤러 및 다수개의 소스 드라이버들을 구비한다.

<53> 타이밍 컨트롤러는 외부에서 인가되는 제1 데이터들을 전송받고, 제1 데이터들을 디스플레이 하기 위하여 클럭 신호들 및 제2 데이터들을 출력한다.

<54> 소스 드라이버는 제2 데이터를 입력받고, 이를 아날로그 데이터로 변환하여 디스플레이 패널로 출력한다.

<55> 클럭 신호들은 타이밍 컨트롤러와 소스 드라이버들을 포인트 투 포인트 방식으로 연결하는 제1 신호선부를 통하여 전송되고, 제2 데이터는 타이밍 컨트롤러와 소스 드라이버들을 포인트 투 포인트 방식으로 연결하는 제2 신호선부를 통하여 전송된다.

<56> 제2 데이터는 패킷 데이터인 것을 특징으로 한다.

<57> 바람직하게, 타이밍 컨트롤러는 제1 데이터를 패킷 데이터 형태로 변환하여 출력하는 패킷 데이터 생성부를 포함한다.

<58> 바람직하게, 패킷 데이터는 제2 데이터가 소스 드라이버에서 디스플레이 패널로 로딩 되는 시점의 정보를 포함한다.

<59> 바람직하게, 타이밍 컨트롤러는 내부에서 발생한 클럭 신호를 입력받고, 이를 위상 지연하여 서로 다른 위상을 가지는 n 개의 클럭 신호들을 출력하는 위상 동기 루프를 구비한다.

<60> 본 발명의 다른 실시예에 따른 LCD 장치는 타이밍 컨트롤러 및 다수개의 소스 드라이버들을 구비한다.

<61> 타이밍 컨트롤러는 외부에서 인가되는 제1 데이터들을 전송받고, 제1 데이터들을 디스플레이 하기 위하여 클럭 신호들 및 제2 데이터들을 출력한다.

- <62> 소스 드라이버들은 타이밍 컨트롤러의 출력 신호를 입력받고, 이를 아날로그 데이터로 변환하여 디스플레이 패널로 출력한다.
- <63> 클럭 신호들 및 제2 데이터들은 타이밍 컨트롤러와 소스 드라이버를 포인트 투 포인트 방식으로 연결하는 제1 신호선부를 통하여 전송된다.
- <64> 제2 데이터는 패킷 데이터 형태로 전송된다.
- <65> 클럭 신호는 상기 제2 데이터에 임베딩되어 출력되는 것을 특징으로 한다.
- <66> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <67> 이하, 첨부한 도면을 참조하여 본 발명이 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <68> 도 3a는 본 발명의 일 실시예에 따른 LCD 장치를 나타내는 도면이다.
- <69> 도 3a에서는, 6개의 소스 드라이버들이 구비되는 경우를 예로 들어 도시하였으며, 이외의 다수개의 소스 드라이버들이 구비될 수 있음은 자명하다 할 것이다.
- <70> 도 3a를 참조하면, 본 발명의 일 실시예에 따른 LCD(Liquid Crystal Display) 장치(300)는 타이밍 컨트롤러(TCON: Timing Controller)(310) 및 다수개의 소스 드라이버(SD: Source Driver)들(361 내지 366)을 구비한다.
- <71> 타이밍 컨트롤러(310)는 외부의 호스트 시스템(Host System)(315)으로부터 제1 데이터(D1)를 전송받고, 제1 데이터(D1)가 디스플레이 될 위치 및 시점을 조절하여 제2 데이터(D2)를 소스 드라이버들(361 내지 366)로 출력한다. 여기서, 외부의 호스트 시스템(315)은 개인 컴퓨터(PC: Personal Computer), 그래픽 카드(graphic card), TV의 그래픽 처리 장치 등이 될 수 있다.
- <72> 타이밍 컨트롤러(310)는 내부적으로 클럭(CLOCK)(317), 위상 동기 루프(PLL: Phase Locked Loop)(319), 제어부 및 버퍼 메모리부(Controller & Buffer memory unit)(311), 패킷 데이터 생성부(Packet data generator)(320), 및 데이터 발송부(Data transmitter)(330)를 구비한다.
- <73> 클럭(317)은 일정 주파수를 가지는 클럭 신호(CLK)를 발생시킨다. 여기서, 일정 주파수 및 클럭 신호의 발생시기 등은 제어부 및 버퍼 메모리부(311)의 조절에 따라서 결정된다.
- <74> 위상 동기 루프(319)는 클럭(317)에서 발생한 클럭 신호를 입력받고, 이를 위상 차이가 있는 다수개의 클럭 신호들(350)을 다수개의 소스 드라이버들로 각각 출력한다. 따라서, 위상 동기 루프(319)에서 출력되는 다수개의 클럭 신호들은 각각 서로 다른 위상을 가진다. 여기서, 위상 동기 루프(319)는 클럭(317)의 내부에 구비될 수도 있고, 외부에 구비될 수도 있다. 도 3a에서는 위상 동기 루프(319)가 클럭(317)의 외부에 구비되는 경우를 예로 들어 도시하였다.
- <75> 제어부 및 버퍼 메모리부(311)는 호스트 시스템(315)으로부터 제1 데이터(D1), 및 각종 제어신호를 전송받는다. 그리고, 제1 데이터(D1)를 일시 저장하고, 상기 제어신호에 따라서 제1 데이터(D1)가 디스플레이 될 시점, 위치(주소)등을 결정한다. 여기서, 각종 제어신호는 수평 동기 신호(HSYNC), 수직 동기 신호(VSYNC) 등이 된다.
- <76> 패킷 데이터 생성부(320)는 픽셀에 디스플레이 하기 위한 영상 데이터인 제1 데이터(D1) 및 제어부 및 버퍼 메모리부(311)에서 출력되는 각종 제어신호를 이용하여 헤더(header) 및 페이로드(payload) 부를 포함하는 패킷 데이터(packet data)를 생성한다.
- <77> 여기서, 헤더(header)는 페이로드(payload) 부에 있는 데이터가 가지는 의미를 결정한다. 예를 들어, 헤더의 값에 따라서 페이로드 데이터는 소스 드라이버(SD)에서 디스플레이 패널로 로딩(loading)되는 시점, 페이로드(payload) 부의 데이터가 위치하는 주소(address), 픽셀 양단의 전압 극성을 바꿔주기 위하여 요구되는 시간인 전하 공유 시간(charge sharing time) 등에 대한 정보를 가진 부분이 될 수도 있고, 실제 디스플레이 되는 영상 정보를 가진 부분이 될 수도 있다.
- <78> 데이터 발송부(330)는 패킷 데이터 생성부(320)에서 출력되는 데이터를 각각의 소스 드라이버로 출력한다.
- <79> 본 발명에 따른 LCD 장치(300)의 타이밍 컨트롤러(310)는 스위칭 부(switching unit)(340)를 더 구비할 수 있다. 스위칭 부(340)는 데이터 발송부에서 데이터 발송이 이뤄지지 않는 구간에서 전원의 공급을 차단한다. 여기

서, 스위칭 부(340)의 온 또는 오프(on or off)는 데이터 발송부에서 출력되는 신호 레벨을 추적하고, 전송이 이뤄지지 않는 비활성화 구간을 감지한다. 그리고, 상기 전송 비활성화 구간에서 스위치를 오프하여, 전원 공급을 차단하게 된다. 여기서, 전원은 차동 전류(difference current)의 공급원이 될 수 있다.

- <80> 도 3a에서는 스위칭 부(340)를 단순한 스위치를 예로 들어 도시하였으나, 이외의 통상적인 전원 제어 장치가 이용될 수 있음은 자명하다 할 것이다. 즉, 스위칭 부(340)는 데이터 발송부에서 출력되는 신호 레벨을 추적하고 이에 응답하여 전력 공급을 제어하는 전원 공급 제어 장치가 되는 것이다.
- <81> 다수개의 소스 드라이버들(361 내지 366)은 타이밍 컨트롤러(310)에서 출력되는 제2 데이터(D2)들을 각각 인가받고, 상기 제2 데이터(D2)에 따라 디스플레이 패널의 액정(liquid crystal) 양단에 인가된 전압 값을 출력한다. 소스 드라이버(SD)는 일종의 디지털 투 아날로그 컨버터(DAC: Digital to Analog Converter)이다. 따라서, 디지털 신호인 제2 데이터(D2)를 아날로그 전압으로 변환하여 출력한다. 소스 드라이버에서 출력되는 아날로그 전압 값에 따라서, 액정을 구동하는 게조 전압이 바뀌므로, 액정에서 출력되는 빛의 밝기가 달라지는 것이다.
- <82> 여기서, 클럭 신호(CLK)를 출력하는 데 있어서, 타이밍 컨트롤러(310)와 다수개의 소스 드라이버들은 포인트 투 포인트(point to point) 방식으로 연결된다. 포인트 투 포인트 방식으로 연결된 제1 신호선(350) 부를 통하여, 개별적으로 클럭 신호들을 전송하게 된다. 여기서, 개별적으로 전송되는 클럭 신호들은 위상 동기 루프(319)에서 출력되는 서로 다른 위상을 갖는 클럭 신호들이 될 수 있다. 그리고, 위상 동기 루프(319)에서 위상 지연을 시키지 않고 서로 다른 위상을 갖는 클럭 신호들이 될 수 도 있다.
- <83> 또한, 제2 데이터(D2)를 출력하는 데 있어서, 타이밍 컨트롤러(310)와 다수개의 소스 드라이버들은 포인트 투 포인트(point to point) 방식으로 연결된다. 포인트 투 포인트 방식으로 연결된 제2 신호선(355) 부를 통하여, 패킷 데이터(packet data) 형의 제2 데이터(D2)가 각각의 소스 드라이버들로 개별적으로 전송된다.
- <84> 여기서, 366 소스 드라이버(SD#6)로 전송되는 데이터에, 'DATA +/-'로 도시되어 있는 것은, 전송되는 데이터가 반전 및 비 반전의 차동 신호 형태이기 때문이다. 클럭 신호 역시 'CLK +/-'로 도시되어 있으며, 반전 및 비 반전의 차동 신호 형태로 전송된다.
- <85> 도 3b는 도 3a의 일 변형 예를 나타내는 도면이다.
- <86> 도 3b를 참조하면, 도 3b는 도 3a의 위상 동기 루프(319) 대신에 지연 라인(Delay Line)(373)을 구비한다. 나머지 구성은 도 3a와 동일하므로, 상세 설명은 생략하도록 한다.
- <87> 지연 라인(373)은 클럭(370)에서 출력되는 클럭 신호(CLK)를 입력받고, 이를 지연 셀(delay cell)들을 이용하여 지연시킨다. 따라서, 지연 라인(373)에서는 서로 다른 위상을 가지는 다수개의 클럭 신호(CLK)들이 출력된다.
- <88> 여기서, 지연 라인(373)은 클럭(371)의 내부에 구비될 수 도 있고, 클럭(371)의 외부에 구비될 수 도 있다. 도 3b에서는 지연 라인(373)이 클럭(371)의 외부에 구비되는 경우를 예로 들어 도시하였다.
- <89> 지연 라인에 구비되는 지연 셀들은 이하의 도 3c에서 상세히 설명한다.
- <90> 도 3c는 도 3b에 구비되는 클럭 및 지연라인을 자세히 나타내는 도면이다.
- <91> 도 3c를 참조하면, 도 3b의 지연라인(373)은 다수개의 지연 셀들(380)을 구비한다. 지연 셀(380)은 인버터(381)를 이용하여 구현할 수 있다. 지연 셀을 인버터를 이용하여 구현할 경우, 지연량은 저항 R(resistance) 값 및 커패시턴스 C(capacitor)의 값을 조절함으로써 정할 수 있다. 여기서, 원래의 클럭 신호(CLK)를 CLK0로 하고, 첫 번째 인버터(381)를 통과하여 위상 지연된 신호를 제1 클럭 신호(CLK1), 두 개의 인버터(381, 382)를 통과하여 위상 지연된 신호를 제2 클럭 신호(CLK2)라 한다.
- <92> 따라서, 지연 라인(373)을 통과하면, 구비되는 소스 드라이버들의 개수 이상의 서로 다른 위상을 가지는 클럭 신호들이 출력된다. 그리고, 각각의 클럭 신호들에 동기화된 각각의 제2 데이터들이 소스 드라이버들로 출력된다.
- <93> 도 4a는 도 3a의 LCD 장치에 입출력되는 신호 또는 데이터를 나타내는 도면이다.
- <94> 도 4a를 참조하면, 데이터 인에이블 신호(DE)의 논리 하이 구간 동안에, 호스트 시스템(315)에서 출력되는 제1 데이터(D1)가 타이밍 컨트롤러(310)로 전송된다.
- <95> 타이밍 컨트롤러(310)에서 제1 소스 드라이버(SD1)(361)로 전송되는 제2 데이터는 a3 시점에서 출력된다. 제2

소스 드라이버(SD2)(362)로 전송되는 제2 데이터는 b1 시점에 출력된다. 그리고, 제3 소스 드라이버(SD3)(363)로 전송되는 제2 데이터는 c1 시점에서 출력된다. 전술한 바와 같이, 위상 동기 루프(319) 또는 지연 라인(373)을 통과하면서, 서로 다른 위상을 갖는 클럭 신호들에 각각 동기화되므로, 출력되는 시점이 서로 달라진다.

<96> 또한, 패킷 데이터 내에 로딩 시점(data load time)을 개별적으로 설정한다.

<97> 바람직하게, 각각의 소스 드라이버들에서의 로딩 시점은 다르게 설정하도록 한다. 즉, 제1 소스 드라이버(361)로 전송되는 제2 데이터는 a4 시점에 로드 되도록 하고, 제2 소스 드라이버(362)로 전송되는 제2 데이터는 b2 시점에 로드 되도록 한다. 이렇게, 로드 시점을 각각 다르게 함으로써, 동시 스위칭 노이즈(simultaneous switching noise)를 감소시키고, 패널 게이트 라인(panel gate line)의 지연(delay)으로 인하여 발생하는 각 소스 드라이버간의 로드 시간(data load time)의 차이를 보상해 줄 수 있다.

<98> 여기서, 소스 드라이버들로 전송되는 제2 데이터의 형태는 이하의 도 4b에서 상술하도록 한다.

<99> 도 4b는 도 3a에 입출력되는 제2 데이터의 일 형태를 나타내는 도면이다.

<100> 도 4b를 참조하면, 제2 데이터(D2)는 패킷 데이터(packet data)의 형태를 가진다. 패킷 데이터(packet data)(430)는 헤더(431) 및 페이로드 부(435)를 포함한다.

<101> 여기서, 헤더(431)는 페이로드 부(435)의 데이터가 어떠한 데이터인지에 관한 정보를 가진 부분이다. 페이로드 부(435)는 영상 데이터, 로딩 시간, 또는 전하 공유 시간 등에 관한 실질적인 정보를 가진 부분이 된다. 패킷 데이터 생성부(320)에서 제2 데이터(D2)를 생성한다.

<102> 페이로드 데이터는 헤더(431)의 값에 따라 제2 데이터(D2)가 소스 드라이버에서 패널 디스플레이로 로딩되는 시점인 로딩 시간(data load time) 정보가 될 수 있다. 또한, 전하 공유 시간(charge sharing time), 데이터가 위치하는 정확한 주소, 또는 데이터의 크기 정보가 더 포함될 수도 있다.

<103> 예를 들어, 헤더(431)가 뒤따라오는 페이로드 데이터(435)는 로딩 시간이 된다는 것을 나타내고, 페이로드 데이터(435)가 로딩 시간(data load time)을 포함한다고 하자. 그러면, 소스 드라이버를 전송 받은 패킷 데이터(430)에 포함된 페이로드 데이터(435)를 로딩 시간으로 인식하여, 상기 로딩 시간에서 데이터를 로딩하게 된다. 소스 드라이버(SD)는 제2 데이터에 존재하는 로드 시점 정보를 해석(decoding)함으로써, 제2 데이터를 해당 시간에 디스플레이 패널로 로드 시키는 것이다.

<104> 그리고, 헤더(431)가 뒤따라오는 페이로드 데이터(435)는 영상 데이터가 된다는 것을 나타내고, 페이로드 데이터(435)가 영상 데이터를 포함한다고 하자. 그러면, 소스 드라이버는 전송받은 패킷 데이터(430)를 영상 데이터로 인식하게 된다.

<105> 따라서, 본 발명의 실시예에 따른 LCD 장치는 종래의 LCD 장치에서, LCD 장치의 해상도, color depth 등이 변경되거나 소스 드라이버의 채널 수 등이 바뀔 경우, 기존의 IP 블록들을 재사용하지 못하게 되는 단점을 극복할 수 있다. 또한, 그 이외에 디스플레이를 위하여 필요한 전하 공유 시간(charge sharing time), 데이터가 위치하는 정확한 주소, 또는 데이터의 크기 정보 등이 바뀌더라도, 상기 변화된 정보에 따라 패킷 데이터를 생성하면 된다. 즉, 패킷 데이터 형태의 제2 데이터를 생성시킴으로써, 기존의 IP 블록들을 재사용할 수 있는 것이다.

<106> 도 5는 도 3a의 LCD 장치에 입출력되는 신호 또는 데이터의 다른 형태를 나타내는 도면이다.

<107> 도 5를 참조하면, 한번의 데이터 전송 구간에 패킷 데이터를 2개로 만들어 전송하는 경우를 도시하였다.

<108> 한번의 데이터 전송 구간에 디스플레이 패널 수평 1라인에 출력될 데이터를 전송한다. 여기서, 1라인만큼의 데이터를 2개의 패킷 데이터 또는 그 이상 개수의 패킷 데이터로 나뉘어 전송시킬 수 있다.

<109> 바람직하게, 첫 번째 전송되는 패킷 데이터의 로딩 시점은 다르게 되도록 설정한다. 그리고, 두 번째 전송되는 패킷 데이터의 로딩 시점을 다르게 되도록 설정한다. 즉, 510 패킷 데이터는 a5 시점에 로딩되도록 하고, 520 패킷 데이터는 b5 시점에 로딩되도록 한다. 또한, 515 패킷 데이터와 525 패킷 데이터의 로딩 시점 또한 다르게 설정할 수 있다.

<110> 이러한 방식은 LCD 패널에 아날로그 데이터(analog data)가 로딩될 때 많은 전류가 소모됨으로써 발생하는 파워 노이즈(power noise)로 인한 소스 드라이버의 오동작을 감소할 수 있다. 여기서, 오동작이란 소스 드라이버의 전원이 불안정해져 타이밍 컨트롤러(TCON)로부터 전송되어지는 고속을 데이터를 정상적으로 입력받을 수 없는 문제이다.

- <111> 도 6a는 도 3a의 소스 드라이버에 연결되는 디스플레이 패널을 나타내는 도면이다.
- <112> 도 6a는 디스플레이 패널(600)은 무수히 많은 액정 셀(610)들을 구비한다. 액정 셀들에 걸리는 전압의 극성이 모두 동일하면, 순간적인 색상 변화가 발생하게 되므로, 교차로 액정 셀들의 극성을 다르게 한다. 도시된 바와 같이, 인접한 액정 셀들은 서로 다른 극성을 갖게 되는 것이다.
- <113> 또한, 각각의 액정 셀들의 전압 극성은 계속 변하게 된다.
- <114> 도 6b는 도 6a의 패널 내의 액정을 나타내는 도면이다.
- <115> 도 6b를 참조하면, 액정 셀(610)은 인가되는 양단 전압의 크기에 따라서 밝기가 결정된다. 액정 셀들의 전압 극성은 계속하여 바뀌게 된다. 도 6b에 도시된 바와 같이, A 단자 및 B 단자에 각각 (+), 및 (-) 전압을 걸어서 1v 전압차가 발생하도록 한 뒤, 이어서 A 단자 및 B 단자에 각각 (-), 및 (+) 전압을 걸어서 1v 전압차가 발생하도록 한다.
- <116> 도 6c는 도 6b의 액정 내에 공급되는 차동 전압을 나타내는 도면이다.
- <117> 도 6c를 참조하면, A 단자의 전압의 630 그래프와 같이 변화하고, B 단자의 전압은 650 그래프와 같이 변화한다.
- <118> 전압을 변화시키는데 있어서, 기준 전압은 0V가 되도록 하고, 두 전압의 합이 0V가 되도록 한다. 여기서, 최고 또는 최소 전압지점에서 A 및 B 단자 모두에서 0V의 전압 값이 될 때까지의 시간을 전하 공유 시간(charge sharing time)이라 한다. 도시된 t1부터 t3까지의 시간이 되는 것이다.
- <119> 본 발명에서는 이러한 전하 공유 시간과 시작 시간을 패킷 데이터에 포함되도록 함으로써, 전하 공유 시간을 변경할 수 있도록 하였다.
- <120> 도 7은 도 3a의 다른 변형례를 나타내는 도면이다.
- <121> 도 7을 참조하면, 2개의 소스 드라이버 묶음마다 하나의 클럭 신호선이 연결되는 경우를 도시하였다. 나머지 구성들은 도 3a와 동일하므로 상세 설명은 생략하도록 한다. 또한, 2개 이상개의 소스 드라이버 묶음마다 하나의 클럭 신호선이 연결될 수 있음은 자명하다 할 것이다.
- <122> 도 8은 도 3a의 다른 변형례를 나타내는 도면이다.
- <123> 도 8을 참조하면, 각각의 클럭 신호들을 대응되는 각각의 데이터 신호들에 임베딩(embedding) 시켜 전송할 수 있다. 즉, 도 3a에서와 같이, 클럭 신호들을 위하여 별도의 제1 신호선부를 구비할 필요 없이, 임베딩 기술(embedding)을 이용하여 클럭 신호를 대응되는 제2 데이터(D2)에 병합하여 전송하는 것이다. 상술한 임베딩(embedding) 기술은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이라 할 것이다.
- <124> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

- <125> 상술한 바와 같이 본 발명에 따른 LCD 장치는 타이밍 컨트롤러와 소스 드라이버 사이의 클럭 신호선을 포인트 투 포인트 방식으로 연결하고, 타이밍 컨트롤러타이밍 컨트롤러타이밍 컨트롤러형태로 함으로써, 더 많은 데이터 전송이 가능하도록 하고 전자파 간섭 특성을 개선할 수 있는 장점이 있다. 패킷 형태의 데이터 이용함으로써, LCD 장치 내의 IP 블록들을 개별적으로 설계할 필요 없이 재사용할 수 있는 장점이 있다. 그리고, 스위칭 부를 통하여, 소스 드라이버들로 데이터가 전송되지 않는 구간에서는 차동 전류의 공급을 차단함으로써, 소비 전력을 감소시킬 수 있는 효과가 있다.

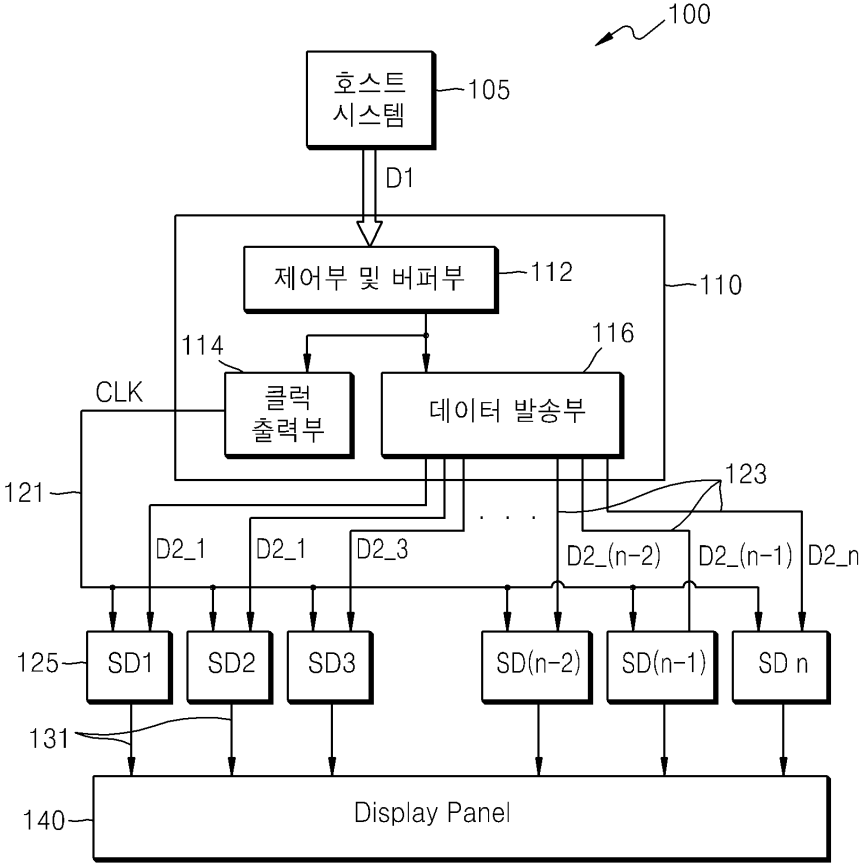
도면의 간단한 설명

- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 종래의 LCD 장치를 나타내는 도면이다.

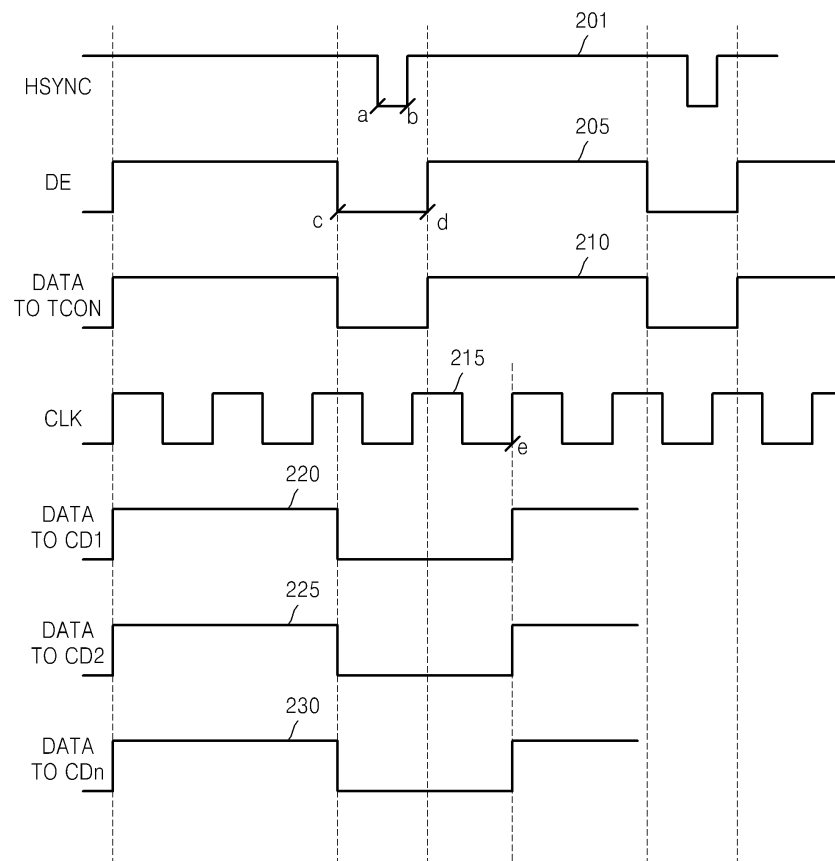
- <3> 도 2는 도 1의 LCD 장치에 입출력되는 신호 또는 데이터를 나타내는 도면이다.
- <4> 도 3a는 본 발명의 일 실시예에 따른 LCD 장치를 나타내는 도면이다.
- <5> 도 3b는 도 3a의 일 변형례를 나타내는 도면이다.
- <6> 도 3c는 도 3b에 구비되는 클럭 및 지연라인을 자세히 나타내는 도면이다.
- <7> 도 4a는 도 3a의 LCD 장치에 입출력되는 신호 또는 데이터를 나타내는 도면이다.
- <8> 도 4b는 도 3a에 입출력되는 제2 데이터의 일 형태를 나타내는 도면이다.
- <9> 도 5는 도 3a의 LCD 장치에 입출력되는 신호 또는 데이터의 다른 형태를 나타내는 도면이다.
- <10> 도 6a는 도 3a의 소스 드라이버에 연결되는 디스플레이 패널을 나타내는 도면이다.
- <11> 도 6b는 도 6a의 패널 내의 액정을 나타내는 도면이다.
- <12> 도 6c는 도 6b의 액정 내에 공급되는 차동 전압을 나타내는 도면이다.
- <13> 도 7은 도 3a의 다른 변형례를 나타내는 도면이다.
- <14> 도 8은 도 3a의 다른 변형례를 나타내는 도면이다.
- <15> **도면의 주요부분에 대한 부호의 설명**
- <16> 300: LCD 장치(Liquid Crystal Display Device)
- <17> 310: 타이밍 컨트롤러(TCON: Timing Controller)
- <18> 311: 제어부 및 버퍼 메모리 부(Controller & Buffer Memory unit)
- <19> 315: 클럭 신호 발생부
- <20> 317: 클럭(Clock)
- <21> 319: 위상 동기 루프(PLL: Phase Locked Loop)
- <22> 310: 패킷 데이터 생성부(Packet data generator)
- <23> 323: 전원(power)
- <24> 330: 데이터 발송부(Data transmitter)
- <25> 340: 스위칭 부(Switching unit)
- <26> 350: 제1 신호선
- <27> 355: 제2 신호선
- <28> 361 내지 366: 소스 드라이버(SD: Source Driver)
- <29> 373: 지연 라인(Delay Line)
- <30> 600: 디스플레이 패널(Display panel)
- <31> 610: 액정 셀(Liquid crystal cell)

도면

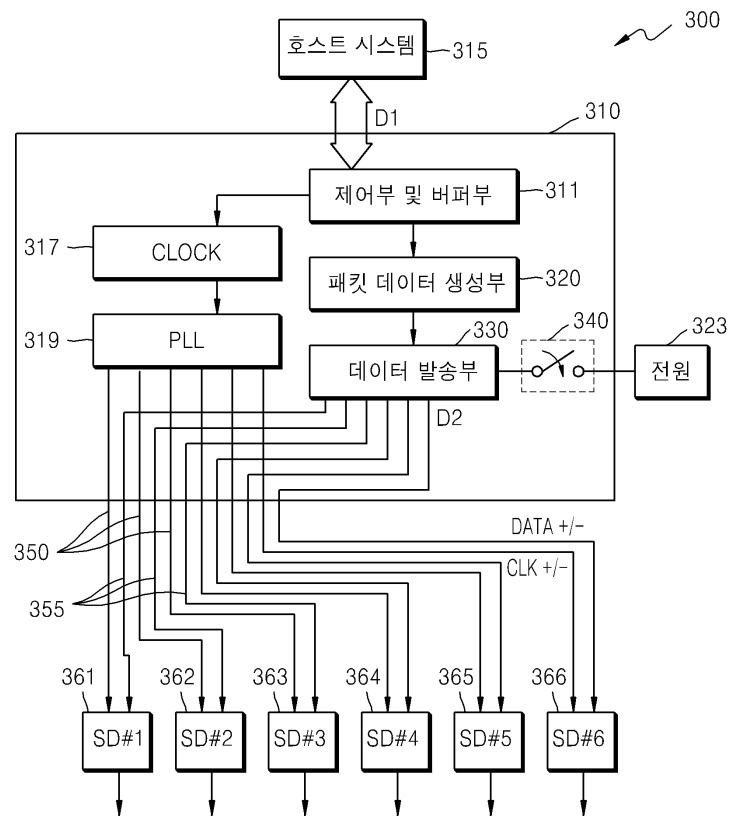
도면1



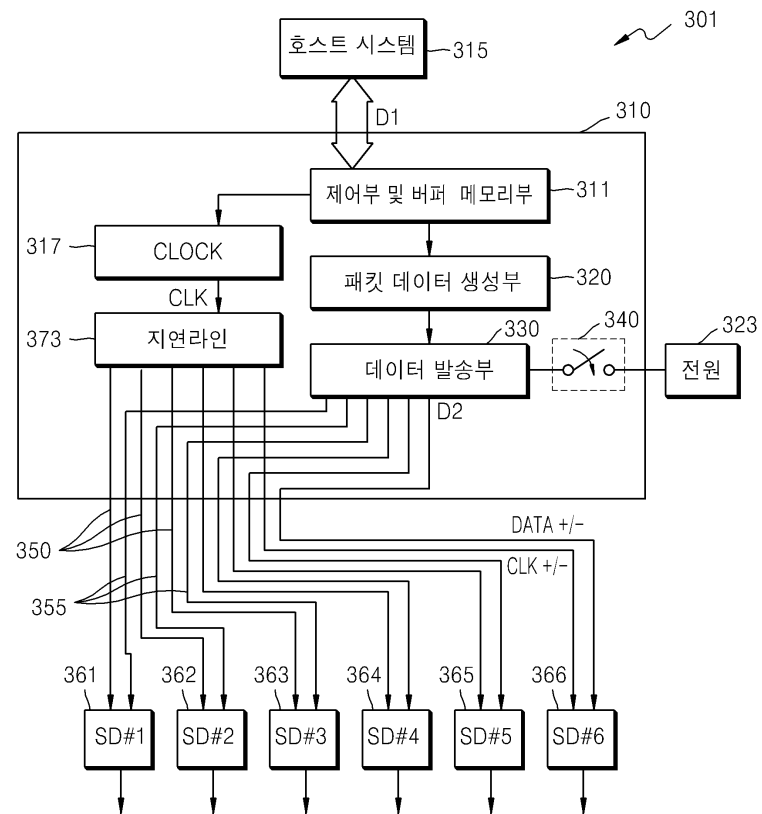
도면2



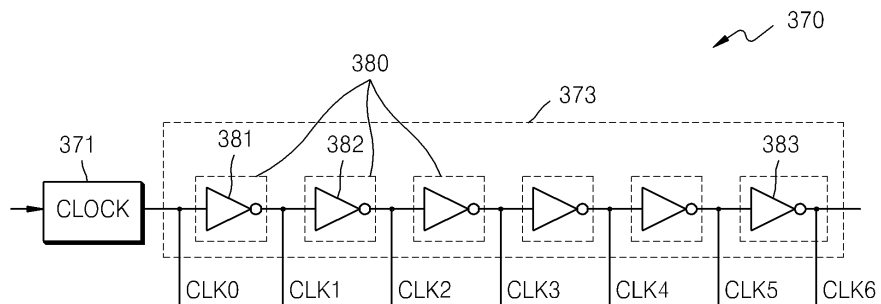
도면3a



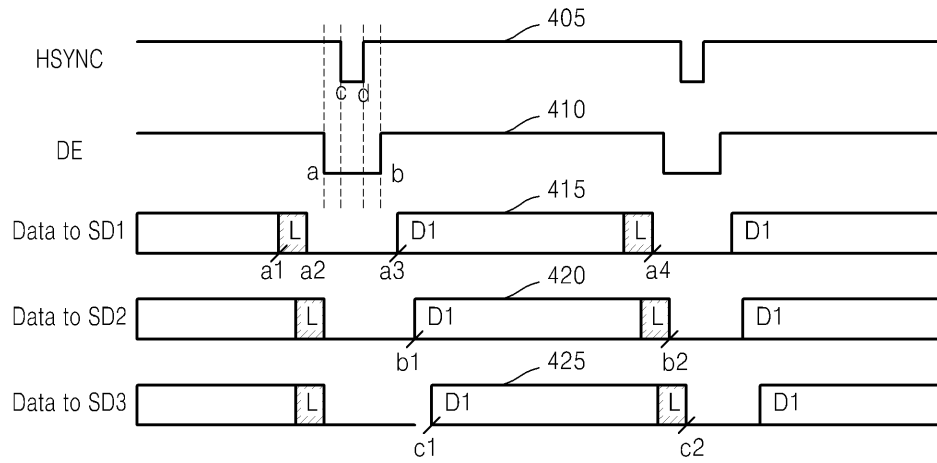
도면3b



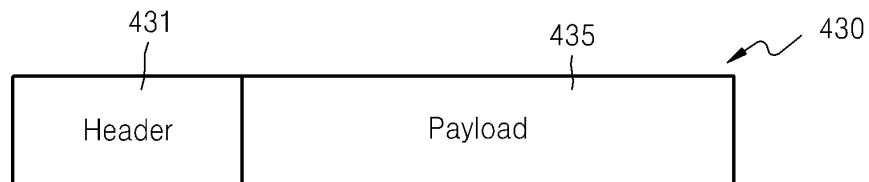
도면3c



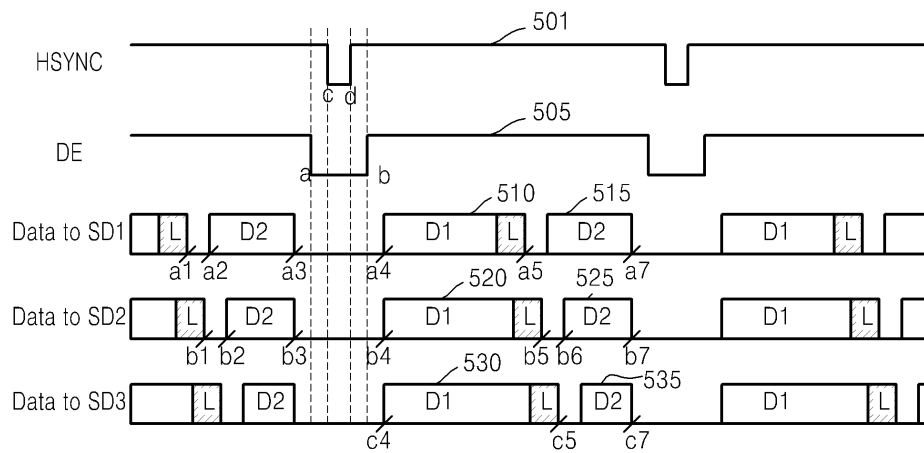
도면4a



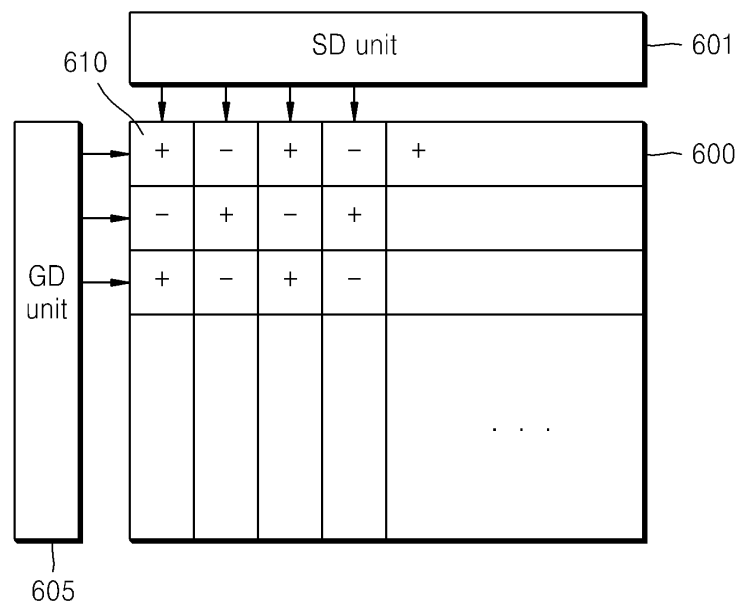
도면4b



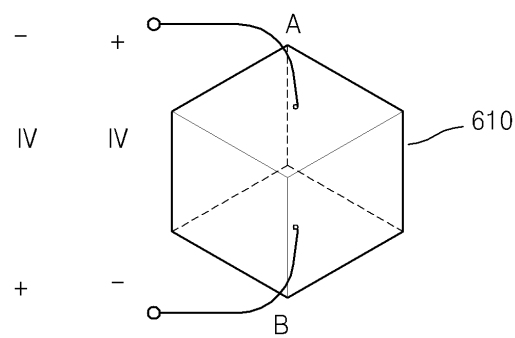
도면5



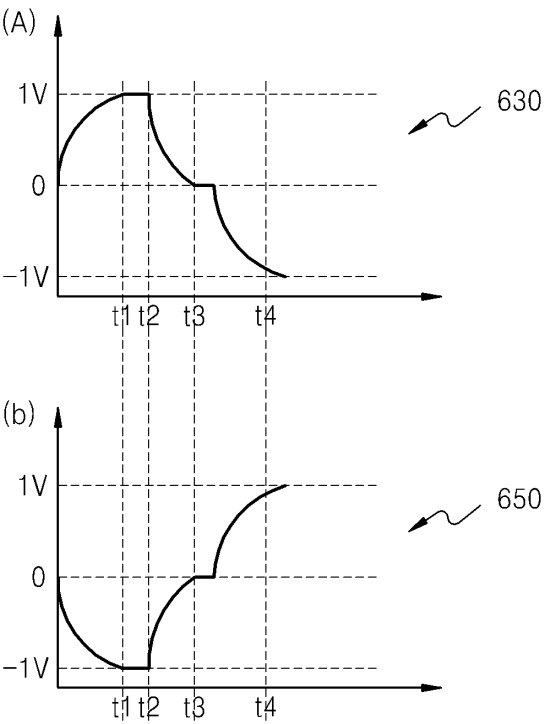
도면6a



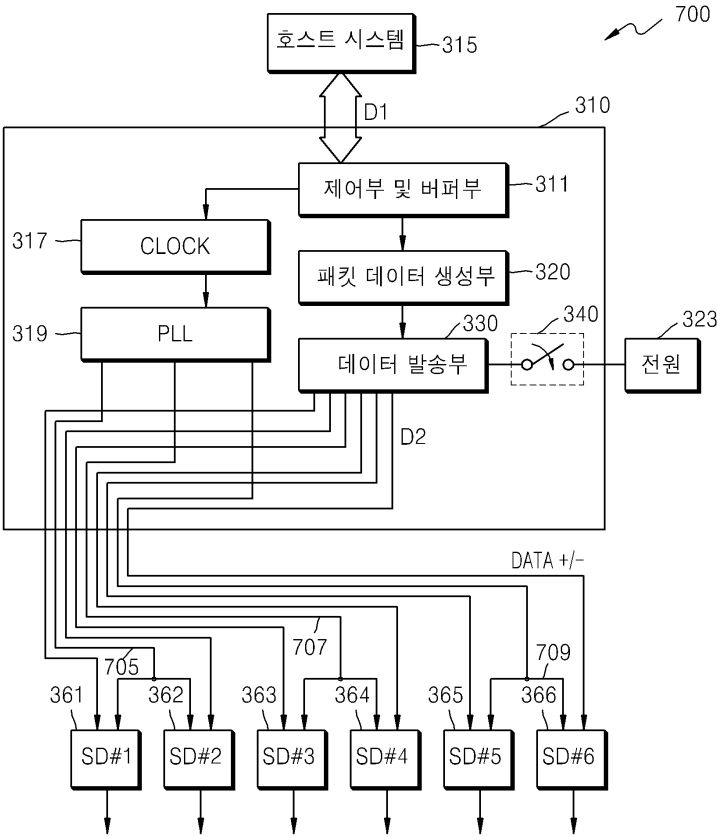
도면6b



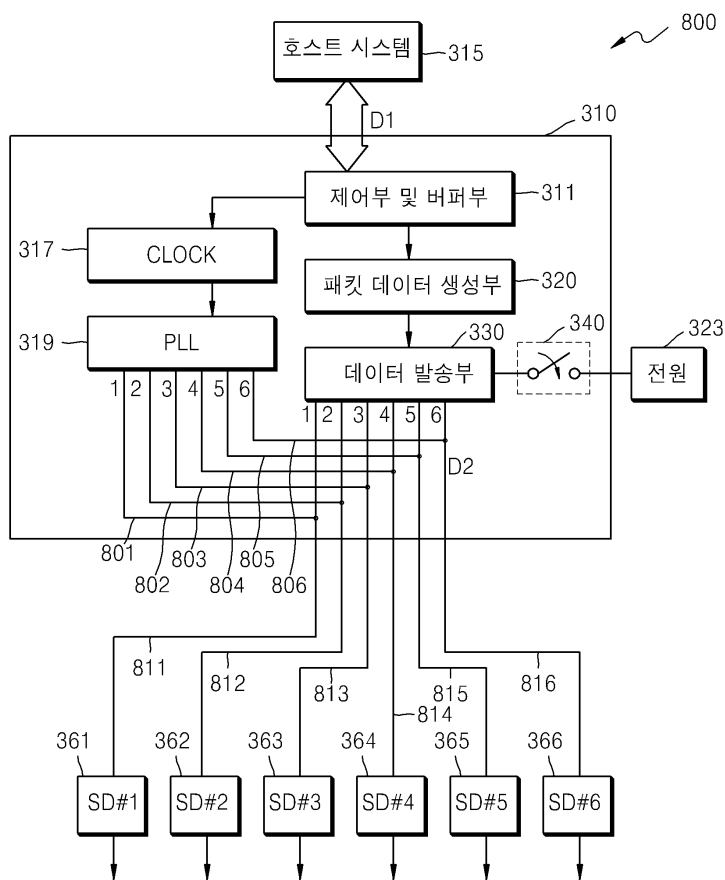
도면6c



도면7



도면8



专利名称(译)	具有时序控制器和源驱动器的LCD设备		
公开(公告)号	KR100850211B1	公开(公告)日	2008-08-04
申请号	KR1020070019132	申请日	2007-02-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE JAE YOUL 이재열 PARK DAE JIN 박대진 KIM JONG SEON 김종선		
发明人	이재열 박대진 김종선		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04L12/56		
CPC分类号	G09G2330/06 G09G3/3611 G09G3/3614 G09G2310/0297 G09G2300/0426		
外部链接	Espacenet		

摘要(译)

公开了一种具有定时控制器和源极驱动器的LCD装置。根据本发明的一个实施方式的液晶显示装置正在传送从外部施加的第一数据时，它接收所述第一定时控制器，用于输出所述时钟信号和显示数据的第二数据，和第二数据，这以及多个源驱动器，用于将模拟数据转换为模拟数据并将模拟数据输出到显示面板。时钟信号通过用于连接所述定时控制器和在点对点方式的源极驱动器的第一信号线发送的，所述第二数据经由连接所述定时控制器和在点对点方式的源极驱动器的第二信号线发送。第二个数据是分组数据的形式。如上所述，根据本发明的LCD装置具有能够实现更多数据传输和改善电磁干扰特性的优点。此外，还有的是，可以在不必单独地通过在包的形式，IP块在LCD装置中使用的数据而设计的可重复使用的优点。

