



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월10일 10-0737633 2007년07월03일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0026919 2001년05월17일 2006년01월25일	(65) 공개번호 (43) 공개일자	10-2002-0088462 2002년11월29일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 비오이 하이디스 테크놀로지 주식회사
 경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 김철하
 경상북도예천군유천면연천동304-7

(74) 대리인 나승택
 조영현

(56) 선행기술조사문헌 KR1019930006483 JP06069505	JP05072553 JP09265114
--	--------------------------

심사관 : 양성지

전체 청구항 수 : 총 1 항

(54) 박막 트랜지스터 액정표시장치

(57) 요약

본 발명은 액정표시장치의 화면상에 발생하는 플리커와 잔상을 제거할 수 있는 박막 트랜지스터 액정표시장치를 개시한다. 개시된 본 발명은 기판; 상기 기판 상에 일방향으로 연장하게 배치되는 다수개의 게이트 버스 라인; 상기 게이트 버스 라인과 수직으로 교차 배치되어, 단위 화소 영역을 한정하는 다수개의 데이터 버스 라인; 상기 게이트 버스 라인과 데이터 버스 라인의 교차부에 배치되는 박막 트랜지스터; 상기 게이트 버스 라인과 평행하게, 단위 화소 영역들의 중앙부에 배치되는 공통 버스 라인; 및 상기 단위 화소 영역 상에 배치되는 화소 전극을 포함하며, 상기 화소 전극은 상기 공통 버스 라인의 소정부분과 각각 오버랩되면서 단위 화소 영역 내에서 상기 공통 버스 라인의 양측으로 배치되는 제 1화소 전극과 제 2 화소 전극으로 구성되며, 상기 박막 트랜지스터는 상기 데이터 버스 라인으로부터 상기 게이트 버스 라인의 상부로 인출되는 두개의 드레인 전극과, 상기 드레인 전극들 사이에 배치되는 하나의 소오스 전극으로 구성되며, 상기 각 드레인 전극은 인접한 제 1 및 제 2 화소 전극과 각각 콘택된 것을 특징으로 한다.

대표도

도 3

특허청구의 범위

청구항 1.

기관;

상기 기관 상에 일방향으로 연장하게 배치되는 다수개의 게이트 버스 라인;

상기 게이트 버스 라인과 수직으로 교차 배치되어, 단위 화소 영역을 한정하는 다수개의 데이터 버스 라인;

상기 게이트 버스 라인과 데이터 버스 라인의 교차부에 배치되는 박막 트랜지스터;

상기 게이트 버스 라인과 평행하게, 단위 화소 영역들의 중앙부에 배치되는 공통 버스 라인; 및

상기 단위 화소 영역 상에 배치되는 화소 전극을 포함하며, 상기 화소 전극은 상기 공통 버스 라인의 소정부분과 각각 오버랩되면서 단위 화소 영역 내에서 상기 공통 버스 라인의 양측으로 배치되는 제 1화소 전극과 제 2화소 전극으로 구성되며,

상기 박막 트랜지스터는 상기 데이터 버스 라인으로부터 상기 게이트 버스 라인의 상부로 인출되는 두개의 드레인 전극과, 상기 드레인 전극들 사이에 배치되는 하나의 소오스 전극으로 구성되며, 상기 각 드레인 전극은 인접한 제 1 및 제 2 화소 전극과 각각 콘택된 것을 특징으로 하는 박막 트랜지스터 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로서, 보다 구체적으로는, 디스플레이시의 플리커와 잔상을 제거하여 화면 품질을 향상 시킨 박막 트랜지스터 액정표시장치(Thin Film Transistor Liquid Crystal Display)에 관한 것이다.

일반적으로 박막 트랜지스터 액정표시장치는 TFT를 구동소자로하여 화소 전극에 데이터 버스 라인을 따라 인가되는 그 래픽 신호를 디스플레이하는 장치이다.

도 1은 종래 기술에 따른 박막 트랜지스터 액정표시장치에서의 박막 트랜지스터를 도시한 평면도로서, 도시한 바와 같이, 게이트 버스 라인(3)과 데이터 버스 라인(1)이 교차하는 상기 게이트 버스 라인(3) 상에 채널층(5)이 형성되어 있다. 상기 채널층(5) 가장자리 양측에서는 상기 데이터 버스 라인(1)과 콘택된 소오스 전극(7a)이 배치되어 있고, 도면에서는 도시하지 않았지만, 화소 전극과 콘택되는 드레인 전극(7b)이 배치되어 있다.

도 2는 상기 도 1의 A-A'부분을 수직 절단한 단면도로서, 도시한 바와 같이, 투명성 절연 기관(10) 상에 게이트 전극(3)이 형성되어 있고, 상기 게이트 전극(3)상에는 게이트 절연막(11)과 채널층(5)이 형성되어 있다. 또한, 상기 소오스/드레인 전극(7a, 7b)은 도핑된 비정질 실리콘막으로된 오믹 콘택층(13)을 사이에두고 형성되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 액정표시장치가 대형화 및 고화질화되면서 큰 전류로 구동되는 박막 트랜지스터가 필요하게 되었는데, 박막 트랜지스터가 큰 전류로 동작하기 위해서는 소오스/드레인 전극간 거리 대 채널층의 폭이 커야하지만, 채널층의 폭이 커지려면 소오스/드레인 전극 폭이 커져야 하므로, 이 경우에는 개구율과 휘도 저하가 발생하는 문제가 있다.

또한, 큰 화면의 박막 트랜지스터 액정표시장치는 통상 분할 노광 공정을 통해 제작하고 있는데, 제작하는 과정에서 도 2에 도시된 게이트 전극과 소오스 및 드레인 전극들 간의 오버랩되는 길이 L_1 , L_2 가 노광되는 영역 별로 일치하지 않게 되

며, 이로 인하여, 박막 트랜지스터가 액정표시장치를 구동시킬때 인가되는 구동신호가 게이트와 소오스및 드레인 전극간의 오버랩되는 부분의 기생용량의 차이에 의하여 화소 전압의 전압강하(ΔV_p)의 차이를 유발하게 된다. 그런데, 이러한 현상은 액정표시장치가 디스플레이될때 플리커 및 잔상으로 나타나게되어 화면 품질을 심각하게 떨어뜨리게 된다.

따라서, 본 발명은 상기한 문제점을 해결할 뿐만 아니라, 큰 전류로 구동 가능한 박막 트랜지스터를 갖는 박막 트랜지스터 액정표시장치를 제공하는데 그 목적이 있다.

또한, 본 발명은 플리커및 잔상 방지를 통해 화면 품질을 높일 수 있는 박막 트랜지스터 액정표시장치를 제공하는데 그 다른 목적이 있다.

발명의 구성

상기한 목적을 달성하기 위한, 본 발명은 기관; 상기 기관 상에 일방향으로 연장하게 배치되는 다수개의 게이트 버스 라인; 상기 게이트 버스 라인과 수직으로 교차 배치되어, 단위 화소 영역을 한정하는 다수개의 데이터 버스 라인; 상기 게이트 버스 라인과 데이터 버스 라인의 교차부에 배치되는 박막 트랜지스터; 상기 게이트 버스 라인과 평행하게, 단위 화소 영역들의 중앙부에 배치되는 공통 버스 라인; 및 상기 단위 화소 영역 상에 배치되는 화소 전극을 포함하며, 상기 화소 전극은 상기 공통 버스 라인의 소정부분과 각각 오버랩되면서 단위 화소 영역 내에서 상기 공통 버스 라인의 양측으로 배치되는 제 1 화소 전극과 제 2 화소 전극으로 구성되며, 상기 박막 트랜지스터는 상기 데이터 버스 라인으로부터 상기 게이트 버스 라인의 상부로 인출되는 두개의 드레인 전극과, 상기 드레인 전극들 사이에 배치되는 하나의 소오스 전극으로 구성되며, 상기 각 드레인 전극은 인접한 제 1 및 제 2 화소 전극과 각각 콘택된 것을 특징으로 한다.

본 발명에 의하면, 박막 트랜지스터의 드레인 전극을 두개로 형성함으로써, 액정표시장치의 고해상도에 필요한 많은 전류를 공급할 수 있다.

(실시예)

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

도 3은 본 발명에 따른 박막 트랜지스터 액정표시장치를 도시한 평면도로서, 도시한 바와 같이, 다수개의 데이터 버스 라인(21)과 게이트 버스 라인(23)이 수직으로 교차 배치되어, 단위 화소 영역을 한정하고 있고, 상기 단위 화소 영역들의 중심에는 상기 게이트 버스 라인(23)과 평행한 공통 버스 라인(31)이 배치되어 있다. 상기 공통 버스 라인(31)의 소정 부분과 각각 오버랩되도록 단위 화소 영역내에는 제 1 화소 전극(29a)과 제 2 화소 전극(29b)이 배치되어 있다. 상기 데이터 버스 라인(21)과 게이트 버스 라인(23)이 교차하는 영역 상의 상기 게이트 버스 라인(23) 상에는 스위칭 역할을 하는 박막 트랜지스터(22)가 배치되어 있다.

상기 박막 트랜지스터(22)는 두 개의 드레인 전극을 갖는데 각각의 드레인 전극은 단위 화소 내의 분할된 화소 전극과 인접한 단위 화소 영역내의 화소 전극에 각각 콘택되어 있다.

도 4a는 본 발명에 따른 박막 트랜지스터 액정표시장치에서의 박막 트랜지스터를 도시한 평면도로서, 상기 게이트 버스 라인(23) 상에는 채널층(25)이 형성되어 있고, 상기 채널층(25)의 양측 가장자리에는 각각 드레인 전극(28a, 28b)이 배치되어 있다. 상기 채널층(25)의 중심부에서는 상기 데이터 버스 라인(21)과 콘택된 소오스 전극(27)이 배치되어 있다.

도 4b는 상기 도 4a의 B-B' 부분을 수직 절단한 단면도로서, 도시한 바와 같이, 투명성 절연 기판(30) 상에는 게이트 전극 역할을 하는 게이트 버스 라인(23)이 형성되어 있고, 상기 게이트 버스 라인(23) 상에는 게이트 절연막(21)이 형성되어 있다. 상기 게이트 절연막(21) 상에는 채널층(25)과 소오스 전극(27) 및 두개의 드레인 전극(28a, 28b)이 오믹 콘택층(23)을 사이에 두고 각각 배치되어 있다.

이와 같은 구조를 갖는 박막 트랜지스터는 다음과 같이 동작한다. 먼저 두개의 드레인 전극(28a, 28b)을 갖고 있으므로, 상기 중심부에 배치된 소오스 전극(27)과 같이 두개의 채널 영역을 형성하여 종래 박막 트랜지스터보다 두배의 전류를 얻을 수 있게 된다. 또한 게이트 전극(23)과 오버랩되는 두개의 드레인 전극의 길이 L_3 , L_4 는 각각 틀려질수 있으나, 전체적으로 오버랩되는 길이, 즉 $L_3 + L_4$ 는 일정하게되어 화소 전압의 강하(ΔV_p)의 차이가 없다. 이러한 일정한 화소 전압의 강하

(ΔV_p)는 공통 버스 라인으로부터 인가되는 공통 전압을 플러스(+)와 마이너스(-) 교류전압으로 인가되는 화소의 교류전압의 합이 영(0)이 되도록 조절함으로써 화소에 직류가 인가되는 것을 막을 수 있다. 따라서, 직류 전압이 인가되는 것을 막음으로써 플리커와 잔상을 방지할 수 있다.

발명의 효과

이상에서 자세히 설명된 바와 같이, 본 발명에 의하면, 두개의 드레인 전극을 형성함으로써 종래 박막 트랜지스터에 사용되는 전류의 두배로 박막 트랜지스터를 구동시킬 수 있으며, 이에 따라, 액정표시장치의 고해상도 디스플레이를 할수 있게 되는 잇점이 있다.

또한, 두개의 드레인 전극과 게이트 전극이 오버랩되는 길이가 전체적으로 일정하므로, 화소 전압 강하가 일정하게되어 플리커와 잔상을 제거할 수 있으며, 그래서 화면 품질을 높일 수 있다.

본 발명의 원리와 정신에 위배되지 않는 범위에서 여러 실시예는 이 기술에 속하는 당업자에게 자명할 뿐만 아니라 용이하게 발명해낼 수 있다. 따라서 여기에 첨부된 청구 범위는 앞서 설명된 것에 한정하지 않고, 상기의 청구범위는 이 발명에 내제되어 있는 특허성 있는 신규한 모든 것을 포함하며, 아울러 이 발명이 속하는 기술 분야에서 통상의 지식을 가진자에 의해서 균등하게 처리되는 모든 특징을 포함한다.

도면의 간단한 설명

도 1은 종래 기술에 따른 박막 트랜지스터 액정표시장치에서의 박막 트랜지스터를 도시한 평면도.

도 2는 상기 도 1의 A-A'부분을 수직 절단한 단면도.

도 3은 본 발명에 따른 박막 트랜지스터 액정표시장치를 도시한 평면도.

도 4a는 본 발명에 따른 박막 트랜지스터 액정표시장치에서의 박막 트랜지스터를 도시한 평면도.

도 4b는 상기 도 4a의 B-B' 부분을 수직 절단한 단면도.

도면의 주요 부분에 대한 부호의 설명

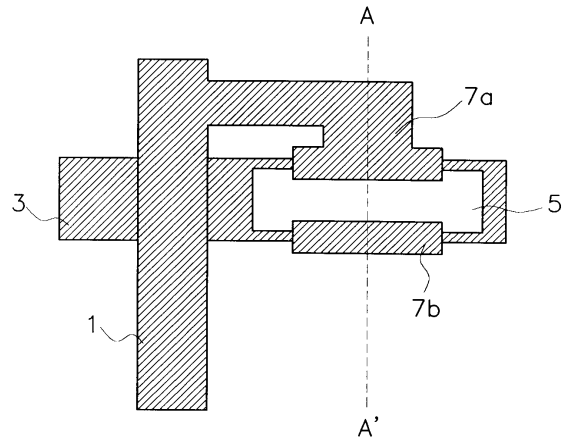
21: 데이터 버스 라인 22: 박막 트랜지스터(TFT)

23: 게이트 버스 라인 29a: 제 1 화소 전극

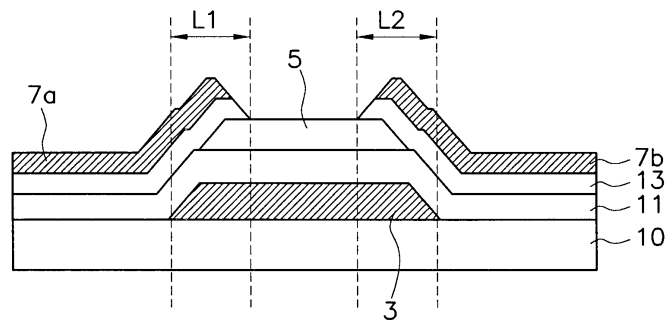
29b: 제 2 화소 전극 31: 공통 버스 라인

도면

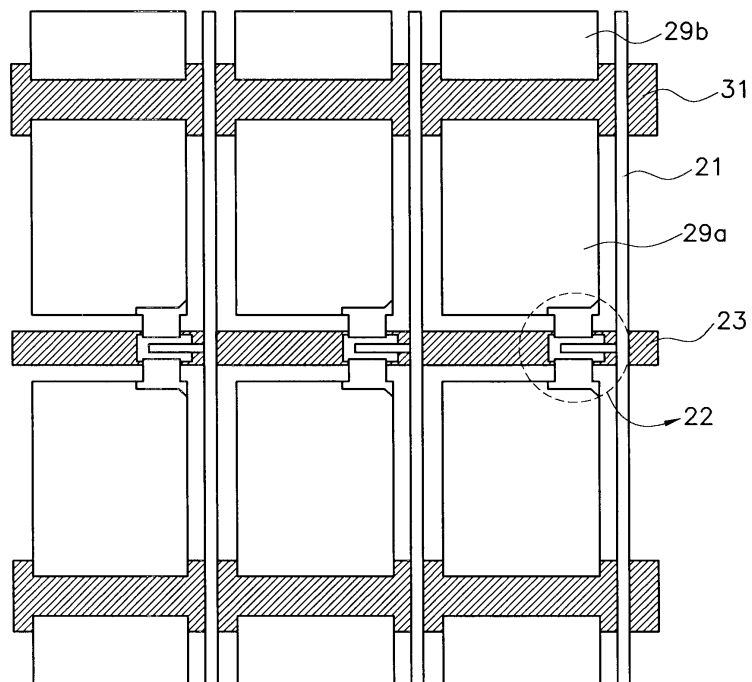
도면1



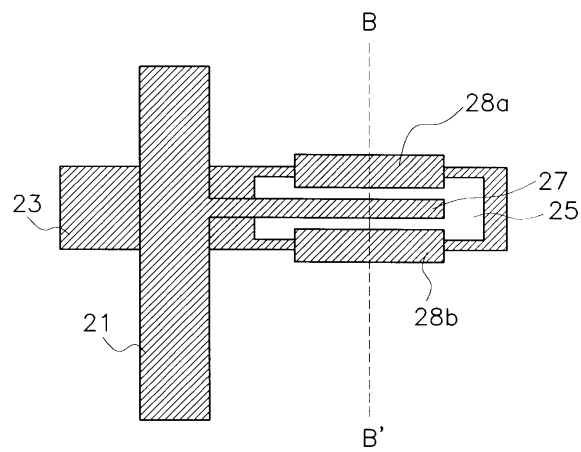
도면2



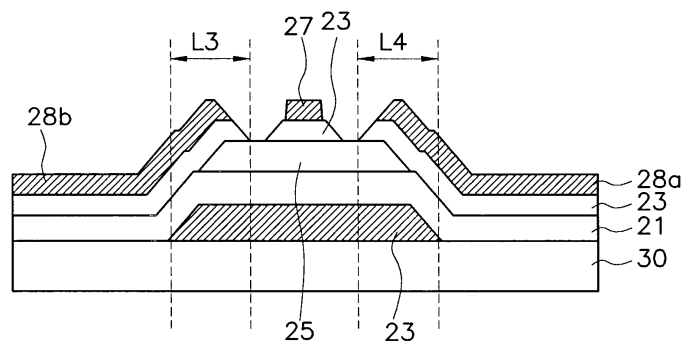
도면3



도면4a



도면4b



专利名称(译)	薄膜晶体管液晶显示器		
公开(公告)号	KR100737633B1	公开(公告)日	2007-07-10
申请号	KR1020010026919	申请日	2001-05-17
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	KIM CHULHA		
发明人	KIM,CHULHA		
IPC分类号	G02F1/136		
代理人(译)	赵龙HYUN		
其他公开文献	KR1020020088462A		
外部链接	Espacenet		

摘要(译)

本发明公开了在液晶显示器的屏幕上产生的闪烁和去除余像的薄膜晶体管液晶显示器。所公开的发明包括多条栅极总线：栅极总线，其布置在基板上延伸；基板在特定方向上的多条数据总线；薄膜晶体管：公共总线：布置在栅极总线上单元像素区域的中心部分和布置在数据总线和栅极总线的交叉点上的单位像素区域上的像素电极限制了它垂直交叉排列的单位像素区域。并且，像素电极包括公共总线的规定部分和第一像素电极以及第二像素电极，第一像素电极和第二像素电极在单位像素区域内分别与公共总线的两侧重叠。并且薄膜晶体管包括两个漏电极和一个设置在漏电极之间的源电极。并且分别与其接触的是第一和第二像素电极。从数据总线引出两个漏电极用于栅极总线的上部。

