



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/36 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월17일 10-0719086 2007년05월10일
--	-------------------------------------	--

(21) 출원번호	10-2005-0007749	(65) 공개번호	10-2005-0077290
(22) 출원일자	2005년01월27일	(43) 공개일자	2005년08월01일
심사청구일자	2005년01월27일		

(30) 우선권주장 JP-P-2004-00018583 2004년01월27일 일본(JP)

(73) 특허권자 엔이씨 일렉트로닉스 가부시기가이샤
일본 211-8668 가나가와쥬 가와사끼시 나카하라꾸 시모누마베 1753

(72) 발명자 미야자키기요시
일본 211-8668 가나가와쥬 가와사끼시 나카하라꾸 시모누마베 1753엔
이씨 일렉트로닉스 가부시기가이샤 나이

(74) 대리인 조의제

(56) 선행기술조사문헌
KR1020020033072

심사관 : 박부식

전체 청구항 수 : 총 18 항

(54) L C D패널구동용 구동전압발생회로

(57) 요약

LCD패널을 구동하는데 사용되는 구동전압들을 출력하기 위한 구동전압발생회로이 제공된다. 구동전압발생회로는 브리더, 버퍼증폭기, 스위치회로, 및 구동전압들이 각각 나타나게 하는 한 세트가 되는 제1 내지 제N출력단자들을 구비한다. 브리더는 한 세트가 되는 다른 전압들인 제1 내지 제N전압들이 제1 내지 제N노드들 상에 각각 나타나게 하고, 여기서 N은 2이상의 임의의 정수이고, 제1내지 제N전압들은 계조레벨들에 각각 관련된다. 스위치회로는 버퍼증폭기의 입력 및 출력들, 제1 내지 제N노드들, 및 제1 내지 제N출력단자들 간의 접속들을 절환한다.

대표도

도 4

특허청구의 범위

청구항 1.

한 세트가 되며 서로 다른 제1 내지 제N전압들(N은 2이상의 임의의 정수)이 제1 내지 제N노드들 상에 나타나게 하는 브리더로서, 상기 제1 내지 제N전압들은 계조레벨들에 각각 관련되는 브리더;

버퍼증폭기;

구동전압들을 LCD패널에 제공하기 위한 한 세트가 되는 제1 내지 제N출력단자들; 및

상기 버퍼증폭기의 입력 및 출력, 상기 제1 내지 제N노드들, 및 상기 제1 내지 제N출력단자들 간의 접속들을 절환하는 스위치회로를 포함하는 구동전압발생회로서,

각 수평기간은 제1 내지 제N기간을 포함하고, 그 중 선두인 제1기간이 제1수평기간의 1/2이며,

제1기간 동안, 상기 스위치회로는 상기 제1노드를 상기 버퍼증폭기의 입력에 접속시키고, 상기 버퍼증폭기의 출력을 상기 제1 내지 제N출력단자들의 모두에 접속시키며,

상기 제1기간에 후속하는 제2기간 동안, 상기 스위치회로는 상기 제2노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 버퍼증폭기의 출력을 상기 제2 내지 제N출력단자들에 접속시키고, 상기 제1출력단자로부터의 상기 버퍼증폭기의 출력의 접속을 끊으며,

i를 2부터 N까지의 임의의 정수로 하는 제i기간 동안, 상기 스위치회로는 상기 제i노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 버퍼증폭기의 출력을 상기 제i 내지 제N출력단자들에 접속시키고, 상기 버퍼증폭기의 출력으로부터 상기 제1 내지 제i-1출력단자들의 접속들을 끊는 구동전압발생회로.

청구항 2.

삭제

청구항 3.

제1항에 있어서, 상기 스위치회로는 상기 제2기간 동안에는 상기 제1노드를 상기 제1출력단자에 접속시키는 구동전압발생회로.

청구항 4.

삭제

청구항 5.

제1항에 있어서, 상기 스위치회로는 상기 제i기간 동안에는 상기 제1 내지 제i-1노드들을 상기 제1 내지 제i-1출력단자들에 접속시키는 구동전압발생회로.

청구항 6.

제1항에 있어서, 상기 제1기간은 상기 제2기간의 지속기간보다 긴 지속기간을 가지는 구동전압발생회로.

청구항 7.

제1항에 있어서, 상기 제1기간은 상기 제2 내지 제N기간의 지속기간들보다 긴 지속기간을 가지는 구동전압발생회로.

청구항 8.

제1항에 있어서, 상기 스위치회로는,

상기 버퍼증폭기의 입력을 상기 제1 및 제2전압들 중의 선택된 하나로 전환하는 입력스위치모듈; 및

출력스위치모듈을 구비하며,

상기 출력스위치모듈은 제1기간 동안 상기 버퍼증폭기의 출력을 제1 및 제2출력단자들에 접속하고,

제1기간에 후속하는 제2기간 동안에는, 상기 출력스위치모듈은 상기 버퍼증폭기의 출력을 상기 제2출력단자에 접속시키며 상기 제1출력단자로부터의 상기 버퍼증폭기의 출력의 접속이 끊어지게 하고, 상기 제1출력단자를 상기 제1노드에 접속시키는 구동전압발생회로.

청구항 9.

제8항에 있어서, 상기 입력스위치모듈은,

상기 제1기간 동안에는 상기 제1노드를 상기 버퍼증폭기의 입력에 접속시키고, 상기 제2기간 동안에는 상기 제2노드를 상기 버퍼증폭기의 입력에 접속시키는 구동전압발생회로.

청구항 10.

제1항에 있어서, 상기 스위치회로는,

상기 버퍼증폭기의 입력을 제1 내지 제3전압들 중의 선택된 하나로 전환하는 입력스위치모듈; 및

출력스위치모듈을 구비하며,

상기 출력스위치모듈은 제1기간 동안에는 상기 버퍼증폭기의 출력을 제1 내지 제3출력단자들에 접속시키며,

상기 제1기간에 후속하는 제2기간 동안에는 상기 출력스위치모듈은 상기 버퍼증폭기의 출력을 상기 제2 및 제3출력단자들에 접속시키며 상기 제1출력단자로부터 상기 버퍼증폭기의 출력의 접속을 끊고, 상기 제1출력단자를 상기 제1노드에 접속시키고,

상기 제2기간에 후속하는 제3기간 동안에는 상기 출력스위치모듈은 상기 버퍼증폭기의 출력을 상기 제3출력단자에 접속시키며 상기 제1 및 제2출력단자들로부터 상기 버퍼증폭기의 출력의 접속을 끊고, 상기 제1 및 제2출력단자들을 상기 제1 및 제2노드에 각각 접속시키는 구동전압발생회로.

청구항 11.

제10항에 있어서, 상기 입력스위치모듈은 상기 제1기간 동안에는 상기 제1노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 제2기간 동안에는 상기 제2노드를 상기 버퍼증폭기의 입력에 접속시키고, 상기 제3기간 동안에는 상기 제3노드를 상기 버퍼증폭기의 입력에 각각 접속시키는 구동전압발생회로.

청구항 12.

제1항에 있어서, 상기 스위치회로는,

상기 제1 내지 제N노드들 중의 선택된 하나를 상기 버퍼증폭기의 입력에 접속하기 위한 입력다중화기모듈,

상기 버퍼증폭기의 출력을 상기 제1 내지 제N출력단자들 중의 선택된 것(들)에 접속하기 위한 출력다중화기모듈, 및

상기 제1 내지 제N노드들 중의 선택된 것(들)을 상기 제1 내지 제N출력단자들 중의 관련된 것(들)에 접속하기 위한 바이패스다중화기모듈을 구비하는 구동전압발생회로.

청구항 13.

제12항에 있어서, 제1기간 동안, 상기 입력다중화기모듈은 상기 제1노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 출력다중화기모듈은 상기 버퍼증폭기의 출력을 상기 제1 내지 제N출력단자들의 모두에 접속시키며, 상기 바이패스다중화기모듈은 상기 제1 내지 제N출력단자들로부터 상기 제1 내지 제N노드들의 접속을 끊고,

i를 2부터 N까지의 범위의 임의의 정수로 하는 제i기간 동안, 상기 입력다중화기모듈은 상기 제i노드(TP_i)를 상기 버퍼증폭기의 입력에 접속시키며, 상기 출력다중화기모듈은 상기 버퍼증폭기의 출력을 상기 제i 내지 제N출력단자들에 접속시키고 상기 버퍼증폭기의 출력으로부터 상기 제1 내지 제i-1출력단자들의 접속을 끊으며, 상기 바이패스다중화기모듈은 상기 제1 내지 제i-1노드들을 상기 제1 내지 제i-1출력단자들에 각각 접속시키고 상기 제i 내지 제N출력단자들로부터 상기 제i 내지 제N노드들의 접속을 각각 끊는 구동전압발생회로.

청구항 14.

제1항에 있어서, 각 수평기간은 제1 내지 제N기간들로 나누어지며,

상기 제1 내지 제N전압들은 다음의 관계

$$V_1 < V_2 < \dots V_N$$

를 만족하며 여기서 Vi는 상기 제i전압의 레벨이며,

상기 LCD패널 내의 공통전극이 접지로 풀다운되는 제1수평기간 내의 제1기간 동안, 상기 스위치회로는 상기 제1노드를 상기 버퍼증폭기의 입력에 접속시키고, 상기 버퍼증폭기의 출력을 상기 제1 내지 제N출력단자들의 모두에 접속시키며,

i를 2부터 N까지의 범위의 임의의 정수로 하는 상기 제1수평기간 내의 제i기간 동안, 상기 스위치회로는 상기 제i노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 버퍼증폭기의 출력을 상기 제i 내지 제N출력단자들에 접속시키며, 상기 버퍼증폭기의 출력으로부터 상기 제1 내지 제i-1출력단자들의 접속을 끊고, 상기 제1 내지 제i-1노드들을 상기 제1 내지 제i-1출력단자들에 각각 접속시키며,

상기 LCD패널 내의 공통전극이 특정 전압으로 풀업되는 제2수평기간 내의 제1기간 동안, 상기 스위치회로는 상기 제N노드를 상기 버퍼증폭기의 입력에 접속시키고, 상기 버퍼증폭기의 출력을 상기 제1 내지 제N출력단자들의 모두에 접속시키고,

상기 제2수평기간 내의 제i기간 동안, 상기 스위치회로는 상기 제(N-i+1)노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 버퍼증폭기의 출력을 상기 제1 내지 제(N-i+1)출력단자들에 접속시키며, 상기 버퍼증폭기의 출력으로부터 상기 제(N-i+2) 내지 제N출력단자들의 접속을 끊고, 상기 제(N-i+2) 내지 제N노드들을 상기 제(N-i+2) 내지 제N출력단자들에 접속시키는 구동전압발생회로.

청구항 15.

한 세트의 구동전압들이 n 개(n 은 2이상의 임의의 정수)의 출력단자들에 각각 나타나게 하는 구동전압발생회로; 및

화소데이터에 응답하여 상기 구동전압들 중의 하나를 선택하도록 그리고 상기 선택된 구동전압을 LCD패널 내의 신호선들 중의 관련된 하나에 출력하도록 설계된 출력선택회로를 포함하며,

상기 구동전압발생회로는,

한 세트가 되는 n 개의 다른 전압들이 n 개의 노드들에 각각 나타나게 하는 브리더로서, 상기 n 개의 다른 전압들은 n 개의 다른 계조레벨들에 각각 관련된 브리더,

버퍼증폭기, 및

스위치회로를 구비하며,

상기 n 개의 출력단자들은 한 세트가 되는 제1 내지 제 N 출력단자들을 구비하며, 여기서 N 은 2와 n 사이에서 선택된 정수이며,

상기 한 세트가 되는 n 개의 다른 전압들은 한 세트가 되는 제1 내지 제 N 전압들을 구비하며, 상기 n 개의 노드들은 한 세트가 되는 제1 내지 제 N 노드들을 구비하고,

상기 스위치회로는 상기 버퍼증폭기의 입력 및 출력, 상기 제1 내지 제 N 노드들, 및 상기 제1 내지 제 N 출력단자들 간의 접속들을 절환하며,

각 수평기간은 제1 내지 제 N 기간을 포함하고, 그 중 선두인 제1기간이 제1수평기간의 1/2이며,

제1기간 동안, 상기 스위치회로는 상기 제1노드를 상기 버퍼증폭기의 입력에 접속시키고, 상기 버퍼증폭기의 출력을 상기 제1 내지 제 N 출력단자들의 모두에 접속시키며,

상기 제1기간에 후속하는 제2기간 동안, 상기 스위치회로는 상기 제2노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 버퍼증폭기의 출력을 상기 제2 내지 상기 제 N 출력단자들에 접속시키고, 상기 제1출력단자로부터 상기 버퍼증폭기의 출력의 접속을 끊고,

i 를 2부터 N 까지의 범위의 임의의 정수로 하는 제 i 기간 동안, 상기 스위치회로는 상기 제 i 노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 버퍼증폭기의 출력을 상기 제 i 내지 제 N 출력단자들에 접속시키며, 상기 버퍼증폭기의 출력으로부터 상기 제1 내지 제 $i-1$ 출력단자들의 접속을 끊는 LCD구동기.

청구항 16.

삭제

청구항 17.

제15항에 있어서, 상기 스위치회로는 상기 제2기간 동안에는 상기 제1노드를 상기 제1출력단자에 접속시키는 LCD구동기.

청구항 18.

삭제

청구항 19.

제15항에 있어서, 상기 스위치회로는 상기 제 i 기간 동안에는 상기 제1 내지 제 $i-1$ 노드들을 상기 제1 내지 제 $i-1$ 출력단자들에 접속시키는 LCD구동기.

청구항 20.

제15항에 있어서, 상기 제1기간은 상기 제2기간의 지속기간보다 긴 지속기간을 가지는 LCD구동기.

청구항 21.

제15항에 있어서, 상기 제1기간은 상기 제2 내지 제 N 기간들의 지속기간들보다 긴 지속기간을 가지는 LCD구동기.

청구항 22.

신호선들을 구비한 LCD패널;

한 세트의 구동전압들이 n 개(n 은 2이상의 임의의 정수)의 출력단자들에 각각 나타나게 하는 구동전압발생회로; 및

화소데이터에 응답하여 상기 구동전압들 중의 하나를 선택하도록 그리고 상기 선택된 구동전압을 상기 신호선들 중의 관련된 하나에 출력하도록 설계된 출력선택회로를 포함하며,

상기 구동전압발생회로는,

한 세트가 되는 n 개의 다른 전압들이 n 개의 노드들에 각각 나타나게 하는 브리더로서, 상기 n 개의 다른 전압들은 n 개의 다른 계조레벨들에 각각 관련된 브리더,

버퍼증폭기, 및

스위치회로를 구비하며,

상기 n 개의 출력단자들은 한 세트가 되는 제1 내지 제 N 출력단자들을 구비하며, 여기서 N 은 2와 n 사이에서 선택된 정수이며,

상기 한 세트가 되는 n 개의 다른 전압들은 한 세트가 되는 제1 내지 제 N 전압들을 구비하며, 상기 n 개의 노드들은 한 세트가 되는 제1 내지 제 N 노드들을 구비하고,

상기 스위치회로는 상기 버퍼증폭기의 입력 및 출력, 상기 제1 내지 제 N 노드들, 및 상기 제1 내지 제 N 출력단자들 간의 접속들을 절환하며,

각 수평기간은 제1 내지 제 N 기간을 포함하고, 그 중 선두인 제1기간이 제1수평기간의 1/2이며,

제1기간 동안, 상기 스위치회로는 상기 제1노드를 상기 버퍼증폭기의 입력에 접속시키고, 상기 버퍼증폭기의 출력을 상기 제1 내지 제 N 출력단자들의 모두에 접속시키며,

상기 제1기간에 후속하는 제2기간 동안, 상기 스위치회로는 상기 제2노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 버퍼증폭기의 출력을 상기 제2 내지 상기 제 N 출력단자들에 접속시키고, 상기 제1출력단자로부터 상기 버퍼증폭기의 출력의 접속을 끊고,

i를 2부터 N까지의 범위의 임의의 정수로 하는 제i기간 동안, 상기 스위치회로는 상기 제i노드를 상기 버퍼증폭기의 입력에 접속시키며, 상기 버퍼증폭기의 출력을 상기 제i 내지 제N출력단자들에 접속시키며, 상기 버퍼증폭기의 출력으로부터 상기 제1 내지 제i-1출력단자들의 접속을 끊는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 구동전압발생회로, LCD(liquid crystal display)구동기 및 액정표시장치에 관한 것이다. 더 상세하게는, 본 발명은 LCD구동기 내에서의 구동전압들(계조전압이라고도 불림)의 발생에 관한 것이다.

최근의 모바일 전자장치, 이를테면 셀룰러폰은 종종 사람-기계(man-machine)인터페이스를 위해 액정표시장치들을 통합한다. 액정표시장치들을 모바일 전자장치 내에 통합하기 위한 요건들로는 하드웨어구현물들의 회로크기와 소비전력의 감소가 있다. 회로크기 및 소비전력을 줄이기 위한 하나의 접근법은 액정표시장치 내에 감소된 수의 회로들을 통합하는 것이다.

전형적인 액정표시장치는 LCD구동기와 LCD패널을 구비한다. 전형적인 LCD구동기는 계조전압발생기와 구동회로(drive circuitry)를 구비한다. 계조전압발생기는 한 세트의 다른 계조전압들을 발생한다. 구동회로는 관련된 화소들의 소망의 계조레벨들을 나타내는 디지털데이터인 화소데이터에 응답하여 계조전압들을 선택하고, 선택된 계조전압들을 출력하여 LCD패널 내의 관련된 신호선들(또는 데이터선들)을 구동시킨다.

LCD패널 내의 신호선들을 즉시 구동하기 위해, LCD구동기 내에 통합되어 있고 각각이 1의 이득을 가지는 소스추종기(source follower)로 구성된 버퍼증폭기들을 이용하여 신호선들을 구동하는 것이 종종 달성된다.

전형적인 LCD구동기구성에서는, 종래기술로서 일본공개특허공보 제2002-108301호에 개시된 바와 같이, LCD패널의 신호선들을 위한 소망의 구동전압들을 제공하기 위해 사용되는 개개의 LCD구동기출력들마다 버퍼증폭기들이 제공된다.

도 1은 개시된 LCD구동기구조를 도시한다. 개시된 LCD구동기는 직렬-병렬시프트레지스터(1), 한 세트가 되는 m개(m은 자연수)의 데이터래치들(2), 로드(load)래치회로(3), 레벨시프터(4), 디지털/아날로그(D/A)변환기(5), 버퍼증폭기회로(6), 및 브리더(breeder; 7)를 구비한다. 버퍼증폭기회로(6)는 한 세트가 되는 m개의 버퍼증폭기들(6₁ 내지 6_m)을 구비하고, 이 버퍼증폭기들의 출력들은 LCD패널 내에 배치된 m개의 신호선들에 LCD구동기의 한 세트가 되는 m개의 출력단자들을 통해 각각 연결된다.

시프트레지스터(1)는 외부에서 입력된 시프트펄스신호 및 전송클록에 응답하여 한 세트가 되는 m개의 래치신호들을 출력하는데 사용된다. 시프트레지스터(1)는 시프트펄스신호의 데이터비트들을 전송클록에 동기하여 순차적으로 래치하고 시프트시켜, 병렬출력들 상에 한 세트인 m개의 래치호들이 나타나게 한다.

데이터래치들(2)은 관련된 화소데이터를 관련된 래치신호들에 동기하여 래치하도록 각각 설계된다.

로드래치회로(3)는 데이터래치들(2)의 출력들을 로드신호에 응답하여 동일 타이밍에 래치한다.

레벨시프터(4)는 로드래치회로(3)의 출력들과 D/A변환기(5)의 입력들 간에 레벨시프팅을 제공한다.

브리더(7)는 한 세트의 직렬접속 레지스터들을 사용하여 외부전압을 나눔으로써, 한 세트가 되는 n(= 2^k)개(k는 자연수)의 다른 계조전압들을 발생한다.

D/A변환기(5)는 관련된 화소데이터에 응답하여 각 신호선을 위해 계조전압들 중의 하나를 선택한다.

버퍼증폭기들(6_1 내지 6_m)은 관련된 계조전압들을 D/A변환기(5)로부터 수신하고, 수신된 계조전압들을 버퍼링하여 한 세트의 구동전압들을 출력한다. 버퍼증폭기들(6_1 내지 6_m)로부터 출력된 구동전압들은 D/A변환기(5)로부터 수신되는 관련된 계조전압들과 실질적으로 동일하다. 이 구동전압들은 LCD패널의 신호선들에 출력된다.

이 LCD구동아키텍처의 하나의 단점은 이 LCD구동아키텍처는 LCD구동기의 출력들의 수를 증가시키기 위해 버퍼증폭기들(6_1 내지 6_m)의 수를 증가시키는 것을 요구한다는 것이다. 액정패널의 화면크기 및/또는 정세도(fineness)의 증대는 액정패널의 신호선들의 수, 즉, LCD구동기 내에 배치된 버퍼증폭기들의 수의 증가를 요구한다. 증가된 버퍼증폭기들의 수는 바람직하지 못하게도 LCD구동기의 회로크기 및 전력소비를 증가시킨다.

이 단점을 해소하기 위해, 개량된 LCD구동기구조가 일본공개특허공보 제2002-108301호에 개시되어 있고, 그것은 각 계조전압을 위해 하나의 버퍼증폭기를 통합하고 있다. 이것은 버퍼증폭기들의 수의 증가 없이도 LCD구동기출력들의 수를 효과적으로 증가시킬 수 있게 한다.

도 2와 3은 제안된 LCD구동기구조를 도시한다. 도 2를 참조하면, 개시된 LCD구동기는 직렬-병렬시프트레지스터(1), 한 세트가 되는 m 개의 데이터래치들(2), 로드래치회로(3), 레벨시프터(4), 디코더회로(21), 출력선택회로(22), 버퍼증폭기회로(6), 및 브리더(7)를 구비한다. 명세서에서 동일한 번호들은 동일, 유사, 또는 동등한 요소들을 나타냄에 주의한다. 개시된 LCD구동기는 화소데이터인에이블회로(23), 화소모드회로(24), 및 증폭기인에이블회로(25)를 부가적으로 구비한다.

도 3에 보인 것처럼, 버퍼증폭기회로(6)와 브리더(7)는 계조전압들에 관련된 한 세트의 구동전압들을 발생하는 구동전압발생회로(10)를 구성하는 한편, 로드래치회로(3), 디코더회로(21) 및 출력선택회로(22)는 구동전압들 중의 선택된 하나를 각 출력단자 상에 출력하도록 설계된 구동회로(20)를 구성한다.

브리더(7)는 전원(V_H)과 접지(V_L) 사이에 직렬 접속되어 다른 계조레벨들에 관련된 n 개의 다른 계조전압들을 발생하는 한 세트의 저항소자들(R_0 내지 R_n)을 구비하고, 여기서 n 은 이용가능한 계조레벨들의 수로 2^k 와 동일하고, k 는 각 화소데이터의 데이터비트들의 수이다. 저항소자(R_w)는 인접한 저항소자(R_{w-1})에 그것들 사이에 노드 TP_w 를 개재하여 접속되고, 여기서 w 는 1부터 n 까지의 범위의 임의의 정수이다. 이러한 접속은 다른 전압들을 노드들(TP_1 내지 TP_n)에 제공하며, 노드들(TP_1 내지 TP_n)에 나타난 전압들은 기호 V_1 내지 V_n 으로 각각 표시된다.

버퍼증폭기회로(6)는 한 세트가 되는 n 개의 버퍼증폭기들(AM_1 내지 AM_n)을 구비하고 각각의 버퍼증폭기는 1의 이득을 가진다. 버퍼증폭기들(AM_1 내지 AM_n)의 입력들은 노드들(TP_1 내지 TP_n)에 각각 연결된다. 버퍼증폭기들(AM_1 내지 AM_n)은 노드들(TP_1 내지 TP_n)로부터 수신된 계조전압들 각각을 위한 버퍼링을 제공한다. 버퍼증폭기들(AM_1 내지 AM_n)은 구동전압들이 기호 LV_1 내지 LV_n 에 의해 표시된 출력단자들에 각각 나타나게 한다. 출력단자들(LV_1 내지 LV_n)에 나타난 구동전압들은 이상적으로는 노드들(TP_1 내지 TP_n)에 나타난 전압들(V_1 내지 V_n)에 각각 동일하다. 출력단자들(LV_1 내지 LV_n)에 나타난 구동전압들은 도 3에서 참조번호 30으로 표시된 LCD패널의 신호선들을 구동하는데 이용된다.

로드래치회로(3)는 한 세트가 되는 m 개의 래치들(3_1 내지 3_m)을 구비하고, 디코더회로(21)는 한 세트가 되는 m 개의 디코더들(21_1 내지 21_m)을 구비한다. 또, 출력선택회로(22)는 D/A변환기들로서 기능하는 한 세트의 다중화기들(22_1 내지 22_m)을 구비한다. 래치들(3_1 내지 3_m)의 출력들은 디코더들(21_1 내지 21_m)의 입력들에 각각 연결된다. 디코더들(21_1 내지 21_m)의 출력들은 다중화기들(22_1 내지 22_m)의 선택입력들에 각각 연결된다. 다중화기들(22_1 내지 22_m)의 출력들은 LCD구동기의 기호 OUT_1 내지 OUT_m 으로 표시된 출력단자들에 각각 연결된다. 출력단자들(OUT_1 내지 OUT_m)은 LCD패널(30)의 신호선들에 연결된다.

래치들(3_1 내지 3_m)은 외부에서 입력된 k 비트 입력화소데이터(D_1 내지 D_m)를 외부에서 입력된 전송클럭(CLK)에 동기하여 각각 래치한다. 래치된 k 비트 화소데이터(D_1 내지 D_m)는 디코더들(21_1 내지 21_m)에 제공된다.

디코더들(21_1 내지 21_m)은 화소데이터(D_1 내지 D_m)를 디코드한다.

다중화기들(22_1 내지 22_m)은 디코딩된 화소데이터(D_1 내지 D_m)에 각각 응답하여 출력단자들(LV_1 내지 LV_n)상에 나타난 전압들(V_1 내지 V_n) 중에서 선택하도록 각각이 설계된다. $k = 6$ 이고 v 는 1부터 n 까지의 범위의 자연수인 경우 화소데이터(D_v)가 "111111"일 때, 다중화기(22_v)는 전압들(V_1 내지 V_n) 중에서 전압 V_n 을 선택한다. 한편, 화소데이터(D_v)가 "000000"일 때, 다중화기(22_v)는 전압들(V_1 내지 V_n) 중에서 전압 V_1 을 선택한다. 다중화기들(22_1 내지 22_m)은 관련된 출력단자들(OUT_1 내지 OUT_m)을 통해 LCD패널(30)에 선택된 전압들을 제공한다.

도 3에 보인 LCD구동기구조의 유익한 면은 이 LCD구동기가 버퍼증폭기들의 수를 증가시키지 않고서도 증가된 수의 출력단자들을 가질 수 있고 버퍼증폭기들의 수는 이용 가능한 계조레벨들의 수로 제한된다는 것이다.

최근의 요건들은 이용가능한 계조레벨들의 수의 증가를 포함하지만, 도 3에 보인 LCD구동기구조는 버퍼증폭기들의 수가 이용가능한 계조레벨들의 수에 비례하여 증가한다는 문제를 가지고 있다. 예를 들어, 260k-칼라표시를 달성하기 위해서는, 도 3에 보인 LCD구동기구조는 64개의 버퍼증폭기들을 요구하고, 260k-칼라표시는 각각의 R, G, B색성분을 위해 64개의 계조레벨들을 요구함에 주의해야 한다. 도 3에 보인 LCD구동기구조는 자연 계조표시를 위해서는 각 R, G, B색성분에 대해 $256(=2^8)$ 또는 $1024(=2^{10})$ 계조레벨들을 포함하여 256 또는 1024개의 버퍼증폭기들을 요구한다. 전술한 바와 같이, 도 3에 보인 LCD구동기구조는 이용가능한 계조레벨들의 수를 증가시키기 위해 버퍼증폭기들의 수의 증가를 요구한다. 이는 바람직하지 않게도 LCD구동기의 하드웨어 구현의 회로크기 및 소비전력을 증가시킨다.

일본공개특허공보 제2000-98331호는 LCD구동기 내의 전압추종기들(voltage followers)의 수를 줄이기 위한 다른 LCD구동기구조를 개시하지만, 이 LCD구동기구조는 감소된 수의 전압추종기들으로써 LCD세그먼트디스플레이의 프레임반전구동의 달성을 어드레싱할 뿐, 계조표시를 제공하지는 않는다.

그러므로, LCD구동기의 회로크기와 소비전력을 줄이기 위한 개선된 LCD구동기구조의 제공이 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 LCD구동기들의 소비전력을 줄일 수 있는 기법을 제공하는 것이다.

본 발명의 다른 목적은 LCD구동기들의 회로크기를 줄이는 기법을 제공하는 것이다.

발명의 구성

본 발명의 한 양태에서, 구동전압발생회로가 LCD패널을 구동하는데 이용되는 구동전압을 출력하기 위해 제공된다. 이 구동전압발생회로는 브리더, 버퍼증폭기, 스위치회로, 및 한 세트가 되는 제1 내지 제N출력단자들을 구비하고, 제1 내지 제N출력단자들에는 구동전압들이 각각 나타난다. 브리더는 제1 내지 제N노드들 상에서 한 세트가 되는 다른 전압들인 제1 내지 제N전압들이 나타나게 한다. N은 2이상의 정수이고 제1 내지 제N전압들은 계조레벨들에 각각 관계된다. 스위치회로는 출력증폭기의 입력 및 출력, 제1 내지 제N노드들, 및 제1 내지 제N출력단자들 간의 접속들을 절환한다.

이 아키텍처의 구동전압발생회로는 N개의 다른 계조레벨들에 관계된 N개의 구동전압들을 출력하기 위해 하나의 버퍼증폭기만을 요구하고, 그러므로 LCD패널의 구동을 위한 버퍼증폭기들의 수를 효과적으로 감소시킬 수 있다. 이는 LCD구동기의 소비전력과 회로크기를 효과적으로 감소시킨다.

본 발명의 바람직한 실시예들은 첨부 도면들을 참조하여 상세히 설명될 것이다. 첨부 도면들에서 동일한 참조번호는 동일하거나 유사한 구성요소들을 나타낸다.

제1실시예

[시스템구조]

제1실시예에서는 도 4에 도시된 바와 같이, 액정표시장치는 LCD패널(30)과, LCD구동기를 구비하고, LCD구동기는 구동전압발생회로(40)와 구동회로(20)를 구비한다. 구동회로(20)는 구동전압발생회로(40)에 연결되고 LCD패널(30)에도 연결된다.

구동전압발생회로(40)는 브리더(전압발생기; 41), 버퍼회로(42) 및 스위치제어회로(43)를 구비한다.

브리더(breeder; 41)는 전원(V_H)과 접지(V_L) 사이에 직렬로 연결되어 계조레벨들에 관련된 n 개의 다른 전압들을 발생시키는 한 세트의 저항소자들(R_0 내지 R_n)을 구비하며, 여기서 n 은 이용가능한 계조레벨들의 수로서 2^k 와 같고, k 는 각 화소데이터의 데이터비트들의 수이다. 저항소자(R_j)는 인접한 저항소자(R_{j-1})와는 그것들 사이에 노드(TP_j)를 개재하여 연결되고, 저항소자(R_{j-1})는 인접한 저항소자(R_{j-2})와는 그것들 사이에 노드(TP_{j-1})를 개재하여 연결된다. 여기서 j 는 n 이하의 임의의 짝수이다. 이러한 연결은 노드들(TP_1 내지 TP_n)상에 다른 전압들을 제공하며, 노드들(TP_1 내지 TP_n)상에 나타난 전압들은 기호 V_1 내지 V_n 으로 각각 표기한다. 이 전압들(V_1 내지 V_n)은 다음의 관계

$$V_1 < V_2 < \dots < V_n$$

을 만족한다.

버퍼회로(42)는 한 세트가 되는 $n/2$ 개의 버퍼모듈들(M_1 내지 $M_{n/2}$)을 구비하고, 각 버퍼모듈은 입력스위치모듈(SWa), 출력스위치모듈(SWb), 및 버퍼증폭기를 가진다. 버퍼모듈($M_{j/2}$) 내의 버퍼증폭기는 이후로는 기호 $AM_{j/2}$ 로 표시한다. 버퍼모듈($M_{j/2}$)의 입력스위치모듈(SWa)의 입력들은 노드들(TP_j 및 TP_{j-1})에 연결된다. 버퍼모듈($M_{j/2}$)의 입력스위치모듈(SWa)의 출력은 버퍼증폭기($AM_{j/2}$)의 입력에 연결된다. 버퍼증폭기($AM_{j/2}$)의 출력은 출력스위치모듈(SWb)의 입력에 연결된다. 출력스위치모듈(SWb)의 다른 입력은 바이패스선($46_{j/2}$)과 입력스위치모듈(SWa)을 통해 노드(TP_{j-1})에 연결된다. 버퍼증폭기($AM_{j/2}$) 내의 출력스위치모듈(SWb)의 출력들은 버퍼회로(42)의 출력단자들(LV_j 및 LV_{j-1})에 연결된다. 출력단자들(LV_1 내지 LV_n)은 한 세트가 되는 n 개의 신호선들을 통해 구동회로(20)에 연결된다.

스위치제어회로(43)는 각 버퍼모듈 내의 입력 및 출력스위치모듈들(SWa 및 SWb)의 각각에 스위치제어신호를 제공하기 위해 외부에서 입력된 수평동기신호(S_L)에 응답한다. 수평동기신호(S_L)는 각 수평기간의 시작을 나타내고, 이 수평동기신호(S_L)는 각 수평기간의 시작 시 활성화된다. 각 수평기간의 지속기간은 이후로는 1H라 한다. 버퍼모듈($M_{j/2}$) 내의 입력스위치모듈(SWa)은, 스위치제어회로(43)로부터 수신된 관련된 스위치제어신호에 응답하여, 노드들(TP_j , TP_{j-1})과 버퍼증폭기($AM_{j/2}$)의 입력 간의 접속들을 전환한다. 버퍼증폭기($AM_{j/2}$)는 버퍼모듈($M_{j/2}$) 내에 입력스위치모듈(SWa)의 출력을 위한 버퍼링을 제공한다. 버퍼모듈($M_{j/2}$) 내의 출력스위치모듈(SWb)은, 스위치제어회로(43)로부터 수신된 관련된 스위치제어신호에 응답하여, 출력단자들(LV_j , LV_{j-1}), 바이패스선($46_{j/2}$) 및 버퍼증폭기($AM_{j/2}$)의 출력 간의 접속들을 전환한다.

한편, 구동회로(20)의 구조는 도 3에 보인 것과 유사하다. 구체적으로는, 구동회로(20)는 한 세트가 되는 m 개의 래치들(3_1 내지 3_m), 한 세트가 되는 m 개의 디코더들(21_1 내지 21_m), 및 D/A변환기들로서 기능하는 한 세트의 다중화기들(22_1 내지 22_m)을 구비한다. 래치들(3_1 내지 3_m)의 출력들은 디코더들(21_1 내지 21_m)의 입력들에 각각 연결된다. 디코더들(21_1 내지 21_m)의 출력들은 다중화기들(22_1 내지 22_m)의 선택 입력들에 각각 연결된다. 다중화기들(22_1 내지 22_m)의 출력들은 LCD 구동기의 기호 OUT_1 내지 OUT_m 으로 표시된 출력단자들에 연결된다. 출력단자들(OUT_1 내지 OUT_m)은 LCD패널(30)의 신호선들에 연결된다. 래치들(3_1 내지 3_m)은 외부에서 입력된 k 비트 화소데이터(D_1 내지 D_m)을 외부에서 입력된 전송클럭(CLK)에 동기하여 각각 래치한다. 전송클럭(CLK)은 수평동기신호(S_L)와 동기된다. 래치된 k 비트 화소데이터(D_1 내지 D_m)는 디코더들(21_1 내지 21_m)에 공급되고, 디코더들(21_1 내지 21_m)은 화소데이터(D_1 내지 D_m)를 디코드한다.

다중화기들(22_1 내지 22_m)은, 디코드된 화소데이터(D_1 내지 D_m)에 각각 응답하여, 출력단자들(LV_1 내지 LV_n)에 나타난 전압들(V_1 내지 V_n) 중에서 선택하도록 각각 설계된다. 예를 들어, $k = 6$ 이고 v 는 1 내지 6의 범위 내의 자연수인 경우, 화소데이터(D_v)가 "111111"일 때, 다중화기(22_v)는 전압들(V_1 내지 V_n) 중에서 전압(V_n)을 선택한다. 한편, 화소데이터(D_v)가 "000000"일 때, 다중화기(22_v)는 전압들(V_1 내지 V_n) 중에서 전압(V_1)을 선택한다. 다중화기들(22_1 내지 22_m)은 선택된 전압들을 관련된 출력단자들(OUT_1 내지 OUT_m)을 통해 LCD패널(30)에 각각 제공한다.

[버퍼모듈들의 구성 및 동작]

도 5a와 5b는 버퍼모듈(M_1 내지 $M_{n/2}$)의 예시적인 구성을 도시한다.

버퍼모듈($M_{j/2}$) 내의 입력스위치모듈(SWa)은 제1 내지 제3단자들(44_1 내지 44_3)을 갖는 스위치(44)를 구비한다. 제1단자(44_1)는 노드(TP_{j-1})로부터 전압(V_{j-1})을 수신하며, 제2단자(44_2)는 노드(TP_j)로부터 전압(V_j)을 수신한다. 제3단자(44_3)는 버퍼증폭기($AM_{j/2}$)의 입력에 연결된다. 스위치(44)는 제1 및 제2단자들(44_1 및 44_2) 중의 선택된 하나를 제3단자(44_3)에 연결한다.

한편, 출력스위치모듈(SWb)은 제1 내지 제3단자들(45_1 내지 45_3)을 갖는 스위치(45)를 구비한다. 제1단자(45_1)는 바이패스선($46_{j/2}$)을 통해 노드(TP_{j-1})에 연결되고, 노드(TP_{j-1})로부터 전압(V_{j-1})을 직접 수신한다. 제2단자(45_2)는 출력단자(LV_{j-1})에 연결된다. 제3단자(45_3)는 버퍼증폭기($AM_{j/2}$)의 출력에 연결된다. 버퍼증폭기($AM_{j/2}$)의 출력은 출력단자(LV_j)에도 직접 연결된다.

이 구성의 한 특징은 버퍼모듈($M_{j/2}$)이 출력단자들(LV_j 및 LV_{j-1})의 둘 다를 위해 버퍼증폭기($AM_{j/2}$)를 사용한다는 것이다. 구동전압발생회로(40)의 다수의 출력단자들을 구동하기 위해 하나의 버퍼증폭기를 사용하면 LCD구동기 내의 버퍼증폭기들의 수를 효과적으로 감소시킬 수 있다.

다른 특징은 버퍼모듈($M_{j/2}$)이 나중에 구동되는 출력단자를 위해 단계적(step-by-step) 구동을 제공한다는 것이다. 이는 출력단자(LV_j)상의 전압의 오버슈트(over-shoot)를 효과적으로 억제한다.

더 구체적으로는, 버퍼모듈($M_{j/2}$)은 다음과 같이 기능한다. 도 6은 버퍼모듈($M_{j/2}$)과 스위치제어회로(43)의 예시적인 동작을 도시하는 타이밍도이다.

수평기간이 시작될 때, 도 6에 보인 것처럼, 수평동기신호(S_L)는 활성화되며, LCD패널(30)의 공통전극상의 전압(이후로는 공통전압(V_{COM} 이라 함)이 절환되고, 이 동작으로 공통전압(V_{COM})은 접지로 풀다운된다.

수평동기신호(S_L)의 활성화에 응답하여, 스위치제어회로(43)는, 수평기간의 전반(first half)의 개시 시에, 버퍼모듈($M_{j/2}$) 내의 입력 및 출력스위치모듈들(SWa 및 SWb)을 위해 제공된 스위치제어신호들을 "CTRL1"이라고 하는 제1상태로 전환한다.

상태 "CTRL1"로 놓여진 관련된 스위치제어신호에 응답하여, 도 5a에 보인 것처럼, 입력스위치모듈(SWa) 내의 스위치(44)는 제1단자(44_1)와 제3단자(44_1)를 연결하여, 노드(TP_{j-1})와 버퍼증폭기($AM_{j/2}$)의 입력 간의 접속을 제공한다.

또, 출력스위치모듈(SWb) 내의 스위치(45)는 상태 "CTRL1"로 놓여진 관련된 스위치제어신호에 응답하여 제2단자(45_2)와 제3단자(45_3)를 연결한다. 즉, 출력스위치모듈(SWb)은 버퍼증폭기($AM_{j/2}$)의 출력과 출력단자(LV_{j-1})간의 접속을 제공한다.

도 6에 보인 것처럼, 이는 수평기간의 전반 동안에 출력단자들(LV_{j-1} 및 LV_j)의 둘 다가 버퍼증폭기($AM_{j/2}$)에 의해 전압 V_{j-1} 로 구동되게 한다.

그 후 스위치제어회로(43)는 수평기간의 후반의 개시 시에, 스위치제어신호들을 "CTRL2"라고 하는 제2상태로 전환한다.

상태 "CTRL2"로 놓여진 관련된 스위치제어신호에 응답하여, 도 5b에 보인 것처럼, 입력스위치모듈(SWa) 내의 스위치(44)는 제2단자(44_2)와 제3단자(44_1)를 연결하여, 노드(TP_j)와 버퍼증폭기($AM_{j/2}$)의 입력 간의 접속을 제공한다.

또, 출력스위치모듈(SWb) 내의 스위치(45)는 상태 "CTRL2"로 놓여진 관련된 스위치제어신호에 응답하여 제1단자(45₁)와 제3단자(45₃)를 연결한다. 즉, 출력스위치모듈(SWb)은 바이패스선(46_{j/2})을 통해 출력단자(LV_{j-1})와 노드(TP_{j-1})간의 접속을 제공하고, 출력단자(LV_{j-1})로부터 버퍼증폭기(AM_{j/2})의 출력의 접속을 끊는다.

도 6에 보인 것처럼, 이는 수평기간의 후반 동안에 출력단자(LV_j)가 전압 V_{j-1}로부터 전압 V_j로 풀업(pull up)되는 반면, 출력단자(LV_{j-1})상에 나타난 전압은 바이패스선(46_{j/2})을 통한 출력단자(LV_{j-1})와 노드(TP_{j-1})의 접속을 통해 전압 V_{j-1}로 유지되게 한다.

출력단자들(LV₁ 내지 LV_n)을 전압들(V₁ 내지 V_m)로 구동하는 것은 수평기간의 끝에 완료되는 것이 요구된다. 단계적 구동은 수평기간의 중간에는 특정 신호선이 원치 않는 전압으로 구동되게 할 수 있지만, 이것은 수평기간의 끝에 LCD패널(30)의 화소들에 최종적으로 나타나는 계조레벨에 영향을 주지 않는데, 그 이유는 전술한 단계적 구동이 수평기간의 끝에는 요구된 대로 전압들(V₁ 내지 V_n)을 수신하게 하고 개별 신호선들 상에 소망의 전압들이 나타나게 하기 때문이다.

전압들(V_j 및 V_{j-1})이 출력단자들(LV_j 및 LV_{j-1})상에 나타나는 순서(order)는 바람직하게는 LCD패널(30)의 공통전극 상에 나타나는 공통전압(V_{COM})의 레벨에 의존함에 주의해야 한다. 전술한 바와 같이, 공통전압(V_{COM})이 접지로 풀다운되는 동안의 수평기간에 대해, 입력스위치모듈(SWa)은 수평기간의 전반 동안에는 버퍼증폭기(AM_{j/2})의 입력에 출력하기 위해 전압 V_{j-1}을 선택하고 그 후 수평기간의 후반 동안에는 전압 V_j를 선택한다.

공통전압(V_{COM})이 전압(V_n)보다 높은 전원전압으로 풀업되는 수평기간에 대해, 전압들(V_j 및 V_{j-1})이 입력스위치모듈(SWa)에 의해 선택되는 순서는 반전된다.

구체적으로는, 입력스위치모듈(SWa)은 수평기간의 전반 동안에는 전압 V_j를 선택하는 반면, 출력스위치모듈(SWb)은 버퍼증폭기(AM_{j/2})의 출력과 출력단자들(LV_{j-1} 및 LV_j) 둘 다 사이의 접속들을 제공한다. 이는 출력단자들(LV_{j-1} 및 LV_j)의 둘 다가 전압 V_j로 구동되게 한다.

수평기간의 후반 동안, 입력스위치모듈(SWa)은 전압 V_{j-1}을 선택하는 반면, 출력스위치모듈(SWb)은 버퍼증폭기(AM_{j/2})의 출력과 출력단자(LV_{j-1})만의 사이의 접속을 제공하며, 출력단자(LV_j)는 버퍼증폭기(AM_{j/2})의 출력과의 연결이 끊어지고 부가적인 바이패스선을 통해 노드(TP_j)에 직접 연결된다. 이는 출력단자(LV_{j-1})가 전압 V_{j-1}로 구동되고 출력단자(LV_j)는 전압 V_j로 유지되게 한다.

요컨대, 이 실시예의 LCD구동기아키텍처는 필요한 버퍼증폭기들의 수를 줄임으로써 소비전력과 회로크기를 효과적으로 감소시킨다. 이 실시예의 아키텍처가 한 세트의 입력 및 출력스위치들(SWa 및 SWb)을 부가적으로 통합하지만, 입력 및 출력스위치들(SWa 및 SWb)은 간단화를 이유로 감소된 하드웨어구현물들로 구현될 수 있다.

게다가, 이 실시예의 LCD구동기아키텍처는 단계적 구동을 채택함으로써 구동전압발생회로(40)의 출력단자들 상의 전압들의 오버슈트를 효과적으로 피할 수 있다.

대체 실시예에서, 버퍼모듈(M_{j/2})의 입력 및 출력스위치모듈들(SWa 및 SWb)의 구조는 도 13에 보인 것처럼 변형될 수 있다. 도 13에 보인 구조에서, 버퍼모듈(M_{j/2}) 내의 입력스위치모듈(SWa)은 스위치제어회로(43)로부터 수신된 제어신호에 응답하여 노드(TP_{j-1})와 버퍼증폭기(AM_{j/2})의 입력 간에 전기접속을 제공하는 스위치(44A)로 구성된다. 출력스위치모듈(SWb)은 스위치제어회로(43)로부터 수신된 제어신호에 응답하여 노드들(TP_{j-1} 및 TP_j), 버퍼증폭기(AM_{j/2})의 출력, 및 출력단자들(LV_j 및 LV_{j-1}) 간에 전기접속을 제공하는 스위치(45A)로 구성된다. 스위치(45A)는 노드(TP_{j-1})와 버퍼증폭기(AM_{j/2})의 출력 중의 선택된 하나를 출력단자(LV_{j-1})에 전기접속하도록 그리고 노드(TP_{j-1})와 버퍼증폭기(AM_{j/2})의 출력 중의 선택된 하나를 출력단자(LV_j)에 전기접속하도록 설계된다.

도 13의 버퍼모듈($M_{j/2}$)은 다음과 같이 동작한다. 도 13의 버퍼모듈($M_{j/2}$)의 동작은 각 수평기간을 각 수평기간의 개시 시에 시작하는 제1기간과 제1기간에 뒤따르는 제2기간으로 나눈다. 제1기간 동안, 입력스위치모듈(SWa) 내의 스위치(44A)는 노드(TP_{j-1})와 버퍼증폭기($AM_{j/2}$)의 입력 간의 전기접속을 성립시키고, 출력스위치모듈(SWb)은 버퍼증폭기($AM_{j/2}$)의 출력과 출력단자들(LV_{j-1} 및 LV_j) 간의 전기접속들을 성립시킨다. 이는 출력단자들(LV_{j-1} 및 LV_j) 둘 다가 제1기간 동안에 버퍼증폭기($AM_{j/2}$)에 의해 전압 V_{j-1} 로 구동되게 한다.

제2기간 동안, 스위치(44A)는 버퍼증폭기($AM_{j/2}$)의 입력으로부터 노드(TP_{j-1})의 접속을 끊고, 스위치(45A)는 노드(TP_{j-1})와 출력단자(LV_{j-1})간의 전기접속을 성립시키고 또 노드(TP_j)와 출력단자(LV_j)간의 다른 전기접속을 성립시키고, 버퍼증폭기($AM_{j/2}$)의 출력은 출력단자들(LV_{j-1} 및 LV_j) 둘 다로부터 접속이 끊어진다. 이는 출력단자들(LV_j)이 전압 V_j 로 구동되게 하고 출력단자(LV_{j-1})는 전압 V_{j-1} 로 유지되게 한다.

이 동작은 이륵기로는 소비전력의 추가적인 감소를 달성한다. 전술한 동작은 버퍼증폭기($AM_{j/2}$)가 제2기간 동안에 디스에이블되게 한다. 이는 버퍼증폭기($AM_{j/2}$)의 소비전력을 효과적으로 감소시킨다.

버퍼증폭기($AM_{j/2}$)가 출력단자들(LV_{j-1} 및 LV_j) 둘 다로부터 접속이 끊어지는 제2기간의 지속기간은 제1기간보다 더 길다. 이것은 버퍼증폭기($AM_{j/2}$)의 사용 없이 출력단자(LV_j)를 전압(V_j)으로 구동하는 것이 버퍼증폭기($AM_{j/2}$)를 사용한 출력단자들(LV_{j-1} 및 LV_j)의 구동에 필요한 지속기간에 비해 더 긴 지속기간을 요구하기 때문이다. 예시적인 동작으로는, 제1기간의 지속기간은 수평기간의 1/5인 반면, 제2기간의 지속기간은 수평기간의 지속기간의 4/5이다.

제2실시예

도 7은 제2실시예의 액정표시장치의 예시적인 구조를 도시한다. 제2실시예의 액정표시장치의 구조는 참조번호 50으로 표시된 구동전압발생회로의 구성을 제외하면 제1실시예의 구조와 유사하다. 주된 차이점은 구동전압발생회로(50)가 3개의 출력단자들을 구동하기 위해 하나의 버퍼증폭기를 사용한다는 것이다. 구동전압발생회로(50)의 예시적인 구조와 동작의 상세한 설명이 다음에 주어진다.

구동전압발생회로(50)는 브리더(51), 버퍼회로(52) 및 스위치제어회로(53)를 구비한다.

브리더(51)는 전원(V_H)과 접지(V_L) 사이에 한 세트가 되는 직렬 접속된 저항소자들(R_0 내지 R_n)을 구비하여 계조레벨들에 관한 n 개의 다른 전압들을 발생하고, 여기서 n 은 이용가능한 계조레벨들의 수로서 2^k 와 같고 k 는 각 화소데이터의 데이터비트들의 수이다. 저항소자(R_w)는 인접한 저항소자(R_{w-1})와는 그것들 사이에 노드(TP_w)를 개재하여 연결되고, 여기서 w 는 1 내지 n 의 범위의 임의의 정수이다. 이러한 연결은 노드들(TP_1 내지 TP_n)상에 다른 전압들(V_1 내지 V_n)을 제공한다. 이 전압들(V_1 내지 V_n)은 다음의 관계

$$V_1 < V_2 < \dots < V_n$$

을 만족한다.

버퍼회로(52)는 $(n-a)/3$ 개의 버퍼모듈들(M_1 내지 $M_{(n-a)/3}$)과, 1의 이득을 가지는 하나 또는 2개의 부가적인 버퍼증폭기들을 구비한다. 여기서 a 는 n 을 3으로 나누어 얻어진 나머지이다. 부가적인 버퍼증폭기(들)의 수는 나머지(a)와 동일하다. 이 실시예에서, $n = 64$ 이고 $a = 1$ 일 때 하나의 버퍼증폭기(AM_{a1})가 버퍼회로(52)에 제공된다.

버퍼증폭기(AM_{a1})의 입력은 노드(TP_n)에 연결되고, 버퍼증폭기(AM_{a1})의 출력은 출력단자(LV_n)에 연결된다. 버퍼증폭기(AM_{a1})는 노드(TP_n)로부터 수신된 전압(V_n)을 버퍼링하여 전압(V_n)과 이상적으로는 동일한 전압이 출력단자(LV_n)상에 나타나게 한다.

버퍼모듈들(M1 내지 $M_{(n-a)/3}$)은 각각이 입력스위치모듈(SWc), 출력스위치모듈(SWd), 및 1의 이득을 가지는 버퍼증폭기를 구비한다. 버퍼모듈($M_{p/3}$) 내의 버퍼증폭기는 이후로는 기호 $AM_{p/3}$ 으로 표시한다. 여기서 p는 n보다 작은 임의의 3의 배수이다. 즉, p는 3, 6, ..., n-a 중에서 선택된 임의의 수이다. 버퍼모듈($M_{p/3}$)의 입력스위치모듈(SWc)의 입력들은 노드들(TP_p , TP_{p-1} 및 TP_{p-2})에 연결된다. 입력스위치모듈(SWc)의 출력은 버퍼증폭기($AM_{p/3}$)의 입력에 연결된다. 버퍼증폭기($AM_{p/3}$)의 출력은 출력스위치모듈(SWd)의 입력에 연결된다. 출력스위치모듈(SWd)의 다른 2개의 입력들은 한 쌍의 바이패스선들($58_{p/3}$, $59_{p/3}$)과 입력스위치모듈(SWc)을 통해 노드들(TP_{p-1} 및 TP_{p-2})에 연결된다. 버퍼증폭기($AM_{p/3}$) 내의 출력스위치모듈(SWd)의 출력들은 버퍼회로(52)의 출력단자들(LV_p , LV_{p-1} 및 LV_{p-2})에 연결된다. 출력단자들(LV_1 내지 LV_n)은 한 세트가 되는 n개의 신호선들을 통해 구동회로(20)에 연결된다.

스위치제어회로(53)는 각 버퍼모듈 내의 입력 및 출력스위치모듈들(SWc 및 SWd)의 각각에 스위치제어신호를 제공하기 위해 외부에서 입력된 수평동기신호(S_L)에 응답한다. 버퍼모듈($M_{p/3}$) 내의 입력스위치모듈(SWc)은, 스위치제어회로(53)로부터 수신된 관련된 스위치제어신호에 응답하여, 노드들(TP_p , TP_{p-1} 및 TP_{p-2})과 버퍼증폭기($AM_{p/3}$)의 입력 간의 접속들을 절환한다. 버퍼증폭기($AM_{p/3}$)는 버퍼모듈($M_{p/3}$) 내의 입력스위치모듈(SWc)의 출력을 위한 버퍼링을 제공한다. 버퍼모듈($M_{p/3}$) 내의 출력스위치모듈(SWd)은, 스위치제어회로(53)로부터 수신된 관련된 스위치제어신호에 응답하여, 출력단자들(LV_p , LV_{p-1} 및 LV_{p-2}), 바이패스선($58_{p/3}$) 및 버퍼증폭기($AM_{p/3}$)의 출력 간의 접속들을 절환한다.

도 8a 내지 도 8c는 버퍼모듈($M_{p/3}$)의 예시적인 구조를 도시한다. 버퍼모듈($M_{p/3}$) 내의 입력스위치모듈(SWc)은 제1 내지 제4단자들(54_1 내지 54_4)을 갖는 스위치(54)를 구비한다. 제1단자(54_1)는 노드(TP_{p-2})로부터 전압(V_{p-2})을 수신하며, 제2단자(54_2)는 노드(TP_{p-1})로부터 전압(V_{p-1})을 수신한다. 또, 제3단자(54_3)는 노드(TP_p)로부터 전압(V_p)을 수신한다. 한편, 제4단자(54_4)는 버퍼증폭기($AM_{p/3}$)의 입력에 연결된다. 스위치(54)는 제1 내지 제3단자들(54_1 내지 54_3) 중의 선택된 하나를 제4단자(54_4)에 연결한다.

한편, 출력스위치모듈(SWd)은 각각이 3개의 단자들을 가지는 한 쌍의 스위치들(56 및 57)을 구비하며, 스위치(56)는 제1 내지 제3단자들(56_1 내지 56_3)을 가지고, 스위치(57)는 제1 내지 제3단자들(57_1 내지 57_3)을 가진다. 스위치(56)의 제1단자(56_1)는 바이패스선($59_{p/3}$)을 통해 노드(TP_{p-2})에 연결되고, 노드(TP_{p-2})로부터 전압(V_{p-2})을 직접 수신한다. 제2단자(56_2)는 출력단자(LV_{p-2})에 연결된다. 제3단자(56_3)는 버퍼증폭기($AM_{p/3}$)의 출력에 연결된다. 한편, 스위치(57)의 제1단자(57_1)는 바이패스선($58_{p/3}$)을 통해 노드(TP_{p-1})에 연결되어 노드(TP_{p-1})로부터 전압(V_{p-1})을 직접 수신한다. 제2단자(57_2)는 출력단자(LV_{p-1})에 연결된다. 제3단자(57_3)는 버퍼증폭기($AM_{p/3}$)의 출력에 연결된다. 버퍼증폭기($AM_{p/3}$)의 출력은 또한 출력단자(LV_p)에 직접 연결된다.

도 9는 버퍼모듈($M_{p/3}$)과 스위치제어회로(53)의 예시적인 동작을 도시하는 타이밍도이다.

수평기간이 시작될 때, 도 9에 보인 것처럼, 수평동기신호(S_L)는 활성화되고 공통전압(V_{COM})은 LCD패널의 공통전극에 제공되어, 공통전압(V_{COM})은 이 동작으로 접지로 풀다운된다.

수평동기신호(S_L)의 활성화에 응답하여, 스위치제어회로(53)는 수평기간의 제1의 1/3의 개시 시에 버퍼모듈($M_{p/3}$) 내의 입력 및 출력스위치모듈들(SWc 및 SWd)에 제공된 스위치제어신호들을 상태 "CTRL1"이라고 하는 제1상태로 전환한다.

상태 "CTRL1"로 놓여진 관련된 스위치제어신호에 응답하여, 도 8a에 보인 것처럼, 입력스위치모듈(SWc) 내의 스위치(54)는 제1단자(54_1)와 제4단자(54_4)를 연결하여, 노드(TP_{p-2})와 버퍼증폭기($AM_{p/3}$)의 입력 간의 접속을 제공한다.

또, 출력스위치모듈(SWd)은, 상태 "CTRL1"로 놓여진 관련된 스위치제어신호에 응답하여, 스위치(56)내의 제3단자(56_3)와 제2단자(56_2)를 연결하고 스위치(57) 내의 제3단자(57_3)와 제2단자(57_2)를 연결한다. 즉, 출력스위치모듈(SWd)은 버퍼증폭기($AM_{p/3}$)로부터 출력단자들(LV_{p-2} 및 LV_{p-1})로의 접속들을 제공한다.

도 9에 보인 것처럼, 이는 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p)의 모두가 수평기간의 제1의 1/3 동안에 버퍼증폭기($AM_{p/3}$)에 의해 전압 V_{p-2} 로 구동되게 한다.

그 후 스위치제어회로(53)는 수평기간의 제2의 1/3의 개시 시에 "CTRL2"라고 하는 제2상태로 스위치제어신호들을 전환한다.

상태 "CTRL2"로 전환된 관련된 스위치제어신호에 응답하여, 입력스위치모듈(SWc) 내의 스위치(54)는 제2단자(54_2)와 제4단자(54_4)를 연결시켜, 노드(TP_{p-1})와 버퍼증폭기($AM_{p/3}$)의 입력 간에 접속을 제공한다.

또, 출력스위치모듈(SWd)은 상태 "CTRL2"로 놓인 스위치제어신호에 응답하여 스위치(56) 내의 제2단자(56_2)를 제3단자(56_3) 대신 제1단자(56_1)에 연결한다. 즉, 출력스위치모듈(SWd)은 바이패스선($59_{p/3}$)을 통해 출력단자(LV_{p-2})와 노드(TP_{p-2})간에 접속을 제공하고, 출력단자(PV_{p-2})로부터 버퍼증폭기($AM_{p/3}$)의 출력의 접속을 끊는다.

도 9에 보인 것처럼, 이는 출력단자들(LV_{p-1} 및 LV_p)이 전압 V_{p-2} 로부터 전압 V_{p-1} 로 폴업되게 하는 반면 출력단자(LV_{p-2})상에 나타난 전압은 바이패스선($59_{p/3}$)을 통한 출력단자(LV_{p-2})와 노드(TP_{p-2})의 접속에 의해 전압 V_{p-2} 로 유지되게 한다.

그 후 스위치제어회로(53)는 수평기간의 최종 1/3의 개시 시에 스위치제어신호들을 상태 "CTRL3"이라고 하는 제3상태로 전환한다.

상태 "CTRL3"로 전환된 관련된 스위치제어신호에 응답하여, 입력스위치모듈(SWc) 내의 스위치(54)는 제3단자(54_3)와 제4단자(54_4)를 연결시켜, 노드(TP_p)와 버퍼증폭기($AM_{p/3}$)의 입력 간에 접속을 제공한다.

또, 출력스위치모듈(SWd)은 상태 "CTRL3"으로 놓인 스위치제어신호에 응답하여 스위치(57) 내의 제2단자(57_2)를 제3단자(57_3) 대신 제1단자(57_1)에 연결한다. 즉, 출력스위치모듈(SWd)은 바이패스선($58_{p/3}$)을 통해 출력단자(LV_{p-1})와 노드(TP_{p-1})간에 접속을 제공하고, 출력단자(PV_{p-1})로부터 버퍼증폭기($AM_{p/3}$)의 출력의 접속을 끊는다.

도 9에 보인 것처럼, 이는 출력단자(LV_p)가 전압 V_{p-1} 로부터 전압 V_p 로 폴업되게 하는 반면 출력단자(LV_{p-2} 및 LV_{p-1})상에 나타난 전압들은 전압들(V_{p-2} 및 V_{p-1})로 각각 유지되게 한다.

전압들(V_p , V_{p-1} 및 V_{p-2})이 출력단자들(LV_p , LV_{p-1} 및 LV_{p-2})상에 나타나는 순서(order)는 바람직하게는 공통전압(V_{COM})의 레벨에 의존함에 주의해야 한다. 전술한 바와 같이, 공통전압(V_{COM})이 접지로 폴다운되는 동안의 수평기간에 대해, 입력스위치모듈(SWc)은 수평기간의 제1의 1/3기간 동안에는 버퍼증폭기($AM_{p/3}$)의 입력에 출력하기 위해 전압 V_{p-2} 를 선택하고 그 후 수평기간의 제2의 1/3기간 동안에는 전압 V_{p-1} 를 선택하고, 최종적으로는 수평기간의 최종의 1/3기간 동안에는 전압 V_p 를 선택한다.

공통전압(V_{COM})이 전압(V_n)보다 높은 전원전압으로 폴업되는 수평기간에 대해, 전압들(V_p , V_{p-1} 및 V_{p-2})이 입력스위치모듈(SWc)에 의해 선택되는 순서는 반전된다.

구체적으로는, 입력스위치모듈(SWc)은 수평기간의 제1의 1/3기간 동안에는 전압 V_p 를 선택하는 반면, 출력스위치모듈(SWd)은 버퍼증폭기($AM_{p/3}$)의 출력과 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p) 모두 사이에 접속들을 제공한다. 이는 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p)의 모두가 전압 V_p 로 구동되게 한다.

수평기간의 제2의 1/3기간 동안, 입력스위치모듈(SWc)은 전압 V_{p-1} 을 선택하는 반면, 출력스위치모듈(SWc)은 버퍼증폭기($AM_{p/3}$)의 출력과 출력단자(LV_{p-1} 및 LV_{p-2})만의 사이의 접속을 제공하며, 출력단자(LV_p)는 버퍼증폭기($AM_{p/3}$)의 출력과의 연결이 끊어지고 부가적인 바이패스선을 통해 노드(TP_p)에 직접 연결된다. 이는 출력단자들(LV_{p-2} 및 LV_{p-1})이 전압 V_{p-1} 로 구동되고 출력단자(LV_p)는 전압 V_p 로 유지되게 한다.

수평기간의 최종 1/3기간 동안, 입력스위치모듈(SWc)은 전압 V_{p-2} 를 선택하는 반면, 출력스위치모듈(SWc)은 버퍼증폭기($AM_{p/3}$)의 출력과 출력단자(LV_{p-2})만의 사이에 접속을 제공하며, 출력단자(LV_{p-1})는 버퍼증폭기($AM_{p/3}$)의 출력과의 연결이 끊어지고 부가적인 바이패스선($58_{p/3}$)을 통해 노드(TP_{p-1})에 직접 연결된다. 이는 출력단자(LV_{p-2})가 전압 V_{p-2} 로 구동되고 출력단자들(LV_p 및 LV_{p-1})은 전압 V_p 및 전압 V_{p-1} 로 각각 유지되게 한다.

대체 실시예에서, 각 수평기간은 전술한 실시예와는 다른 지속기간을 가지는 제1 내지 제3기간들로 나뉘어질 수 있고, 수평기간의 개시 시에 시작되는 제1기간은 뒤따르는 제2 및 제3기간들의 지속기간들보다는 긴 지속기간을 가진다. 구체적으로는, 공통전압(V_{COM})이 접지로 폴다운되는 수평기간에 대해, 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p)의 모두가 전압 V_{p-2} 로 구동되는 제1기간은 출력단자들(LV_{p-1} 및 LV_p)이 전압들(V_{p-1} 및 V_p)로 각각 구동되는 후속하는 두 기간들보다는 더 긴 지속기간을 가진다. 마찬가지로, 공통전압(V_{COM})이 전원전압으로 폴업되는 수평기간에 대해, 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p)의 모두가 전압 V_p 로 구동되는 제1기간은 출력단자들(LV_{p-1} 및 LV_p)이 전압들(V_{p-1} 및 V_{p-2})로 각각 구동되는 후속하는 두 기간들보다는 더 긴 지속기간을 가진다. 바람직한 실시예에서, 제1기간은 수평기간의 절반이 되는 지속기간($H/2$)을 가지고 제2 및 제3기간들은 각각이 수평기간의 1/4이 되는 지속기간($H/4$)을 가진다.

이 동작은 수평기간의 개시 시에 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p)을 전압 V_{p-2} (또는 V_p)로 구동하기에 충분한 시간을 갖는 버퍼증폭기($AM_{p/3}$)를 제공할 수 있게 한다. 도 9로부터 이해되는 바와 같이, 버퍼증폭기($AM_{p/3}$)에서는, 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p)의 전압 V_{p-2} (또는 V_p)로의 구동(드라이브)이, 전압들(V_{p-1} 및 V_p)로의 후속하는 드라이브(또는 전압 V_{p-1} 과 V_{p-2} 로의 드라이브다운)에 비하여 더 긴 지속기간을 요구한다.

이 실시예의 전술한 LCD구동기 아키텍처는 제1실시예에서 개시된 것과 동일한 이점들을 제공한다. 이 실시예의 LCD구동기 아키텍처는 필요한 버퍼증폭기들의 수의 감소를 통해 소비전력과 회로크기를 줄이는데도 효과적이다. 게다가, 이 실시예의 LCD구동기 아키텍처는 단계적 구동을 채택함으로써 구동전압발생회로(50)의 출력단자들 상의 전압들의 오버슈트를 효과적으로 피할 수 있다.

다른 대체 실시예에서, 버퍼모듈($M_{p/3}$)의 입력 및 출력스위치모듈들(SWc 및 SWd)의 구조는 도 14에 보인 것처럼 변형될 수 있다. 도 14에 보인 구조에서, 버퍼모듈($M_{p/3}$) 내의 입력스위치모듈(SWc)은 스위치제어회로(53)로부터 수신된 제어신호에 응답하여 노드(TP_{p-1})와 버퍼증폭기($AM_{p/3}$)의 입력 사이에 전기 접속을 제공하는 스위치(54A)로 구성된다. 또 출력스위치모듈(SWd)은 스위치제어회로(53)로부터 수신된 제어신호에 응답하여 버퍼증폭기($AM_{p/3}$)의 입력 및 노드(TP_p) 중의 선택된 하나를 출력단자(LV_p)에 전기 접속하기 위한 스위치(55)로 구성된다.

도 15는 도 14의 버퍼모듈($M_{p/3}$)의 예시적인 동작을 도시하는 타이밍도이다. 도 14의 버퍼모듈($M_{p/3}$)의 동작은 각 수평기간을 각 수평기간의 개시 시에 시작하는 제1기간과 제1기간에 뒤따르는 제2기간으로 나눈다.

제1기간 동안, 입력스위치모듈(SWc) 내의 스위치(54A)는 노드(TP_{p-1})와 버퍼증폭기($AM_{p/3}$)의 입력 간에 전기접속을 성립시키고, 출력스위치모듈(SWd)은 버퍼증폭기($AM_{p/3}$)의 출력과 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p)의 모두 간에 전기접속들을 성립시킨다. 이것은 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p) 모두가 제1기간 동안에 버퍼증폭기($AM_{p/3}$)에 의해 전압 V_{p-1} 로 구동되게 한다.

제2기간 동안, 스위치(54A)는 버퍼증폭기($AM_{p/3}$)의 입력으로부터 노드(TP_{p-1})의 연결을 끊는다. 스위치들(55, 56 및 57)은 노드들(TP_{p-2} , TP_{p-1} 및 TP_p)을 대응하는 출력단자들(LV_{p-2} , LV_{p-1} 및 LV_p)에 각각 전기 접속시키며, 버퍼증폭기

(AM_{p/3})의 출력은 출력단자들(LV_{p-2}, LV_{p-1} 및 LV_p)의 모두로부터 접속이 끊어진다. 이것은 출력단자(LV_{p-2})가 전압 V_{p-2}로 드라이브다운되게 하며 출력단자(LV_p)는 전압 V_p로 드라이브업되게 하고, 출력단자(LV_{p-1})은 전압 V_{p-1}로 유지되게 한다.

이 동작은 소비전력의 추가적인 감소라는 이점을 달성한다. 전술한 동작은 제2기간 동안에 버퍼증폭기(AM_{p/3})가 디스에이블되게 한다. 이는 버퍼증폭기(AM_{p/3})의 소비전력을 효과적으로 감소시킨다.

출력단자들(LV_{p-2} 내지 LV_p)이 전압들(V_{p-2} 및 V_p) 사이의 중간전압인 전압 V_{p-1}로 최초에(firstly) 구동되는 것이 중요하다. 출력단자들(LV_{p-2} 내지 LV_p)을 전압 V_{p-1}로 최초에 구동하는 것은 구동단계들의 수를 감소시키는데 효과적이고, 이 동작은 3개의 출력단자들(LV_{p-2} 내지 LV_p)을 구동하는데 2개의 단계들만을 요구한다.

버퍼증폭기(AM_{p/3})가 출력단자들(LV_{p-2} 및 LV_p) 둘 다로부터 접속이 끊어지는 제2기간의 지속기간이 제1기간의 지속기간보다 긴 것이 바람직하다. 이것은 버퍼증폭기(AM_{p/3})를 사용 않고 출력단자들(LV_{p-2} 및 LV_p)을 전압 V_{p-2} 및 V_p로 각각 구동하는 것이 버퍼증폭기(AM_{p/3})를 사용하여 출력단자들(LV_{p-2} 내지 LV_p)을 구동하는데 필요한 지속기간에 비해 더 긴 지속기간을 요구하기 때문이다. 예시적인 동작에서, 제1기간의 지속기간은 수평기간의 1/5인 반면, 제2기간의 지속기간은 수평기간의 4/5이다.

제3실시예

도 10은 제3실시예의 액정표시장치의 예시적인 구조를 도시한다. 제3실시예의 액정표시장치의 구조는 참조번호 60으로 표시된 구동전압발생회로의 구성을 제외하면 제1실시예와 유사하다. 주된 차이점은 구동전압발생회로(60)가 출력단자들(LV₁ 내지 LV_n)의 모두를 구동하기 위해 하나의 버퍼증폭기를 사용한다는 것이다. 구동전압발생회로(60)의 예시적인 구조와 동작의 상세한 설명이 이하에서 주어진다.

구동전압발생회로(60)는 브리더(61), 버퍼회로(62) 및 스위치제어회로(63)를 구비한다.

브리더(61)는 전원(V_H)과 접지(V_L) 사이에 직렬로 연결되어 계조레벨들에 관련된 n개의 다른 전압들을 발생하는 한 세트의 저항소자들(R₀ 내지 R_n)을 구비하며, 여기서 n은 이용가능한 계조레벨들의 수로서 2^k와 같고, k는 각 화소데이터의 데이터비트들의 수이다. 저항소자(R_i)는 인접한 저항소자(R_{i-1})와는 그것들 사이에 노드(TP_i)를 개재하여 연결되고, 저항소자(R_{j-1})는 인접한 저항소자(R_{j-2})와는 그것들 사이에 노드(TP_{j-1})를 개재하여 연결된다. 여기서 j는 n이하의 임의의 정수이다. 이러한 연결은 노드들(TP₁ 내지 TP_n)상에 다른 전압들(V₁ 내지 V_n)을 제공한다. 이 전압들(V₁ 내지 V_n)은 다음의 관계

$$V_1 < V_2 < \dots < V_n$$

을 만족함에 주의해야 한다.

버퍼회로(62)는 단일 버퍼모듈(M)로 구성된다. 도 11a 내지 11c에 보인 것처럼, 버퍼모듈(M)은 바이패스다중화기(MUXa), 입력다중화기(MUXb), 출력다중화기(MUXc), 및 1의 이득을 갖는 하나의 버퍼증폭기(AM)를 구비한다.

바이패스다중화기(MUXa)는 노드들(TP₁ 내지 TP_n)과 출력단자들(LV₁ 내지 LV_n) 사이에 연결된 한 세트의 바이패스선들(67₁ 내지 67_n)에 삽입된다. 바이패스다중화기(MUXa)는 노드들(TP₁ 내지 TP_n)과 출력단자들(LV₁ 내지 LV_n) 사이에 각각 배치된 한 세트의 스위치들(64₁ 내지 64_n)로 구성된다. 바이패스다중화기(MUXa)는 노드들(TP₁ 내지 TP_n)로부터 전압들(V₁ 내지 V_n)을 수신하도록 그리고 전압들(V₁ 내지 V_n) 중에서 선택된 것(들)을 출력단자들(LV₁ 내지 LV_n) 중의 관련된 것(들)에 전송하도록 설계된다.

입력다중화기(MUXb)는 노드들(TP_1 내지 TP_n)과 버퍼증폭기(M)의 입력 사이에 연결된다. 입력다중화기(MUXb)는 버퍼증폭기(M)의 입력과 노드들(TP_1 내지 TP_n) 사이에 각각 연결된 한 세트의 스위치들(65_1 내지 65_n)을 구비한다. 입력다중화기(MUXb)는 전압들(V_1 내지 V_n) 중에서 선택된 것을 버퍼증폭기(M)의 입력에 제공하도록 설계된다.

출력다중화기(MUXc)는 버퍼증폭기(M)의 출력과 출력단자들(LV_1 내지 LV_n) 사이에 연결된다. 출력다중화기(MUXc)는 버퍼증폭기(M)의 출력과 출력단자들(LV_1 내지 LV_n) 사이에 각각 연결된 한 세트의 스위치들(66_1 내지 66_n)을 구비한다. 출력다중화기(MUXc)는 버퍼증폭기(M)의 출력을 구동회로(20)에 연결된 출력단자들(LV_1 내지 LV_n) 중의 선택된 것(들)에 접속시키도록 설계된다.

스위치제어회로(63)는 외부에서 입력된 수평동기신호(S_L)에 응답하여 바이패스, 입력 및 출력다중화기들(MUXa, MUXb 및 MUXc)의 각각을 위한 스위치제어신호를 제공한다. 바이패스다중화기(MUXa)는 스위치제어회로(63)로부터 수신된 스위치제어신호에 응답하여 노드들(TP_1 내지 TP_n)과 출력단자들(LV_1 내지 LV_n) 사이의 접속들을 절환한다. 마찬가지로, 입력다중화기(MUXb)는 스위치제어회로(63)로부터 수신된 스위치제어신호에 응답하여 노드들(TP_1 내지 TP_n)과 버퍼증폭기(M)의 입력 사이의 접속들을 절환하고, 출력다중화기(MUXc)는 스위치제어회로(63)로부터 수신된 스위치제어신호에 응답하여 버퍼증폭기(M)의 출력과 출력단자들(LV_1 내지 LV_n) 사이의 접속들을 절환한다.

도 12는 버퍼모듈(M)과 스위치제어회로(63)의 예시적인 동작을 도시하는 타이밍도이다. 이 실시예의 동작은 제1기간이 후속하는 기간들보다 더 긴 지속기간을 가지도록 각 수평기간을 제1 내지 제n기간들로 나눈다. 나중에 설명될 것처럼, 이는 출력단자들(LV_1 내지 LV_n)을 구동하기에 효율적인 시간을 갖는 버퍼증폭기(AM)를 제공하는데 효과적이다. 일 실시예로, 제1기간은 수평기간의 절반인 지속기간($H/2$)을 가지고, 나머지 기간들(즉, 제2 내지 제n기간들)은 수평기간의 $1/2(n-1)$ 의 지속기간($H/2(n-1)$)을 가진다.

제1기간의 개시 시에는 도 12에 보인 것처럼, 수평동기신호(S_L)는 활성화되고, 공통전압(V_{COM})은 LCD패널(30)의 공통전극에 제공되어, 공통전압(V_{COM})은 이 동작으로 접지로 풀다운된다.

수평동기신호(S_L)의 활성화에 응답하여, 스위치제어회로(63)는, 수평기간 내의 제1기간의 개시 시에, 바이패스, 입력 및 출력다중화기들(MUXa, MUXb 및 MUXc)에 제공되는 스위치제어신호들을 상태 "CTRL1"이라고 하는 제1상태로 전환한다.

상태 "CTRL1"로 놓인 스위치제어신호들에 응답하여, 도 11a에 보인 것처럼, 바이패스, 입력 및 출력다중화기들(MUXa, MUXb 및 MUXc)은 노드들(TP_1 내지 TP_n), 버퍼증폭기(AM) 및 출력단자들(LV_1 내지 LV_n) 간의 접속들을 절환한다. 구체적으로는, 입력다중화기(MUXb)는 전압 V_1 이 나타나는 노드(TP_1)를 버퍼증폭기(AM)의 입력에 연결하고, 출력다중화기(MUXc)는 버퍼증폭기(AM)의 출력을 출력단자들(LV_1 내지 LV_n)의 모두에 연결한다. 또, 바이패스다중화기(MUXa)는 출력단자들(LV_1 내지 LV_n)로부터의 노드들(TP_1 내지 TP_n) 모두의 연결을 끊는다.

도 12에 보인 것처럼, 이는 출력단자들(LV_1 내지 LV_n)의 모두가 수평기간 내의 제1기간 동안에는 버퍼증폭기(AM)에 의해 전압 V_1 으로 드라이브업되게 한다.

그 후 스위치제어회로(63)는 수평기간 내의 제2기간의 개시 시에 스위치제어신호들을 상태 "CTRL2"라고 하는 제2상태로 전환한다.

상태 "CTRL2"로 놓인 스위치제어신호들에 응답하여, 도 11b에 보인 것처럼, 바이패스, 입력 및 출력다중화기들(MUXa, MUXb 및 MUXc)은 노드들(TP_1 내지 TP_n), 버퍼증폭기(AM) 및 출력단자들(LV_1 내지 LV_n) 간의 접속들을 다음과 같이 절환한다. 입력다중화기(MUXb)는 전압 V_2 가 나타나는 노드(TP_2)를 버퍼증폭기(AM)의 입력에 연결하고, 버퍼증폭기(AM)의 입력으로부터 나머지 노드들(TP_1 및 TP_3)의 연결을 끊는다. 출력다중화기(MUXc)는 버퍼증폭기(AM)의 출력을

출력단자들(LV_2 내지 LV_n)에 연결하고, 버퍼증폭기(AM)의 출력으로부터 출력단자(LV_1)의 연결을 끊는다. 또, 바이패스다중화기(MUXa)는 노드(TP_1)를 출력단자(LV_1)에 연결하고, 나머지 출력단자들(LV_2 내지 LV_n)로부터의 노드들(TP_2 내지 TP_n)의 연결을 끊는다.

도 12에 보인 것처럼, 이는 수평기간 내의 제1기간 동안에는 출력단자들(LV_2 내지 LV_n)이 버퍼증폭기(AM)에 의해 전압 V_2 로 드라이브업되게 하고 출력단자(LV_1)는 전압 V_1 으로 유지되게 한다.

후속하는 기간들에도 이와 같이 행해진다. 제i기간의 개시 시에, 스위치제어회로(63)는 스위치제어신호들을 제i상태인 "CTRLi"로 전환하며, 여기서 i는 3 내지 n의 범위의 임의의 정수이다. 스위치제어신호들의 전환에 응답하여, 바이패스다중화기(MUXa), 입력다중화기(MUXb) 및 출력다중화기(MUXc)는 노드들(TP_1 내지 TP_n), 버퍼증폭기(AM), 및 출력단자들(LV_1 내지 LV_n)간의 접속들을 절환한다. 구체적으로는, 입력다중화기(MUXb)는 전압 V_i 가 나타나는 노드(TP_i)를 버퍼증폭기(AM)의 입력에 연결하고, 버퍼증폭기(AM)의 입력으로부터 나머지 노드들의 연결을 끊는다. 출력다중화기(MUXc)는 버퍼증폭기(AM)의 출력을 출력단자들(LV_i 내지 LV_n)에 연결하고, 버퍼증폭기(AM)의 출력으로부터 출력단자들(LV_1 내지 LV_{i-1})의 연결을 끊는다. 또, 바이패스다중화기(MUXa)는 노드들(TP_1 내지 TP_{i-1})을 출력단자들(LV_1 내지 LV_{i-1})에 각각 연결하고, 나머지 출력단자들(LV_i 내지 LV_n)로부터 나머지 노드들(TP_i 내지 TP_n)의 연결을 끊는다.

도 12에 보인 것처럼, 이는 수평기간 내의 제i기간 동안에는 출력단자들(LV_i 내지 LV_n)이 버퍼증폭기(AM)에 의해 전압 V_i 로 드라이브업되게 하고 출력단자들(LV_1 내지 LV_{i-1})은 전압 V_1 내지 V_{i-1} 로 각각 유지되게 한다.

도 11c에 도시된 바와 같이, 이 과정은 결국은 최종의 제n기간 동안에 전압들(V_1 내지 V_n)을 출력단자들(LV_1 내지 LV_n)상에 제공한다.

전압들(V_1 내지 V_n)이 출력단자들(LV_1 내지 LV_n)상에 나타나는 순서는 바람직하게는 공통전압(V_{COM})의 레벨에 의존함에 유의하자. 전술한 바와 같이, 공통전압(V_{COM})이 접지로 폴다운되는 수평기간에 대해, 버퍼모듈(M)은 제1기간 동안에는 출력단자들(LV_1 내지 LV_n)의 모두 위에 전압 V_1 이 나타나게 한 다음, 제2기간 동안에는 출력단자(V_1)를 전압 V_1 으로 유지한 채로 출력단자들(V_2 내지 V_n)상에 전압 V_2 가 나타나게 한다. 이러한 동작이 후속하는 기간에도 행해진다.

공통전압(V_{COM})이 전압 V_n 보다 높은 전원전압으로 폴업되는 수평기간에 대해, 전압들(V_1 내지 V_n)이 출력단자들(LV_1 내지 LV_n)상에 나타나는 순서는 반전된다.

구체적으로는, 제1기간 동안, 입력다중화기(MUXb)는 전압 V_n 이 나타나는 노드(TP_n)를 버퍼증폭기(AM)의 입력에 연결하고, 버퍼증폭기(AM)의 입력으로부터 나머지 노드들(TP_1 내지 TP_{n-1})의 연결을 끊는다. 출력다중화기(MUXc)는 버퍼증폭기(AM)의 출력을 출력단자들(LV_1 내지 LV_n)의 모두에 연결한다. 또, 바이패스다중화기(MUXa)는 출력단자들(LV_1 내지 LV_n)로부터 노드들(TP_1 내지 TP_n)의 모두의 연결을 끊는다. 이는 출력단자들(LV_1 내지 LV_n)의 모두가 전압 V_n 으로 구동되게 한다.

제2기간 동안, 입력다중화기(MUXb)는 전압 V_{n-1} 이 나타나는 노드(TP_{n-1})를 버퍼증폭기(AM)의 입력에 연결하고, 버퍼증폭기(AM)의 입력으로부터 나머지 노드들(TP_1 내지 TP_{n-2})의 연결을 끊는다. 출력다중화기(MUXc)는 버퍼증폭기(AM)의 출력을 출력단자들(LV_1 내지 LV_{n-1})의 모두에 연결하고, 버퍼증폭기(AM)의 출력으로부터 출력단자(LV_n)의 연결을 끊는다. 또, 바이패스다중화기(MUXa)는 노드(TP_n)를 출력단자(LV_n)에 연결하고, 출력단자들(LV_1 내지 LV_{n-1})로부터 노드들(TP_1 내지 TP_{n-1})의 연결을 끊는다. 이는 출력단자(LV_n)를 전압 V_n 으로 유지한 채로 출력단자들(LV_1 내지 LV_{n-1})이 전압 V_{n-1} 로 드라이브다운되게 한다.

이러한 동작이 후속하는 기간에도 행해진다. i를 3 내지 n의 범위의 임의의 정수로 하는 제i기간 동안,

입력다중화기(MUXb)는 전압 V_{n-i+1} 이 나타나는 노드(TP_{n-i+1})를 버퍼증폭기(AM)의 입력에 연결하고, 버퍼증폭기(AM)의 입력으로부터 나머지 노드들(TP_1 내지 TP_{n-i} 및 TP_{n-i+2} 내지 TP_n)의 연결을 끊는다. 출력다중화기(MUXc)는 버퍼증폭기(AM)의 출력을 출력단자들(LV_1 내지 LV_{n-i+1})에 연결하고, 버퍼증폭기(AM)의 출력으로부터 출력단자들(LV_{n-i+2} 내지 LV_n)의 연결을 끊는다. 또, 바이패스다중화기(MUXa)는 노드들(TP_{n-i+2} 내지 TP_n)을 출력단자들(LV_{n-i+2} 내지 TP_n)에 연결하고, 나머지 출력단자들(LV_1 내지 LV_{n-i+1})로부터 노드들(TP_1 내지 TP_{n-i+1})의 연결을 끊는다. 이는 출력단자들(LV_{n-i+2} 내지 TP_n)을 전압 V_{n-i+2} 내지 V_n 으로 각각 유지한 채로 출력단자들(LV_1 내지 LV_{n-i+1})이 전압 V_{n-i+1} 로 드라이브다운되게 한다.

본 발명이 바람직한 형태로 어느 정도 특정하여 설명되었지만, 바람직한 형태의 개시는 구성의 세부적인 것들이 변경될 수 있고 부분들의 조합 및 구성은 청구된 본 발명의 범위로부터 벗어남 없이 재구성될 수 있다는 것이 이해 될 것이다.

특히, 도 11a 내지 11c에 보인 버퍼회로의 아키텍처는 도 4에 보인 버퍼모듈들(M_1 내지 $M_{n/2}$)에 적용가능하고, 또 도 7에 보인 버퍼모듈들(M_1 내지 $M_{(n-a)/3}$)에도 적용가능함에 주의하자. 이 기술분야의 숙련자는 도 11a 내지 11c에 보인 버퍼회로에서 $n=2$ 로 하면 도 4에 보인 각 버퍼모듈($M_{j/2}$)과 동일한 기능을 제공할 수 있다는 것과 도 11a 내지 11c에 보인 버퍼회로에서 $n=3$ 으로 하면 도 7에 보인 각 버퍼모듈($M_{p/3}$)과 동일한 기능을 제공할 수 있다는 것이 잘 이해될 것이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, LCD구동기의 소비전력, 회로크기를 줄일 수 있고, 또, 오버슈트를 효과적으로 억제할 수 있다.

도면의 간단한 설명

도 1은 종래의 LCD구동기구조를 도시하는 블록도,

도 2는 다른 종래의 LCD구동기구조를 도시하는 블록도,

도 3은 도 2에 보인 종래의 LCD구동기구조를 도시하는 상세블록도,

도 4는 제1실시예의 LCD구동기의 예시적인 구조를 도시하는 블록도,

도 5a와 5b는 제1실시예의 LCD구동기 내에 배치된 버퍼회로의 예시적인 구조와 동작을 도시하는 회로도들,

도 6은 제1실시예의 버퍼회로의 동작을 도시하는 타이밍도,

도 7은 제2실시예의 LCD구동기의 예시적인 구조를 도시하는 블록도,

도 8a 내지 8c는 제2실시예의 LCD구동기 내에 배치된 버퍼회로의 예시적인 구조와 동작을 도시하는 회로도들,

도 9는 제2실시예의 버퍼회로의 동작을 도시하는 타이밍도,

도 10은 제3실시예의 LCD구동기의 예시적인 구조를 도시하는 블록도,

도 11a 내지 11c는 제3실시예의 LCD구동기 내에 배치된 버퍼회로의 예시적인 구조와 동작을 도시하는 회로도들,

도 12는 제3실시예의 버퍼회로의 동작을 도시하는 타이밍도,

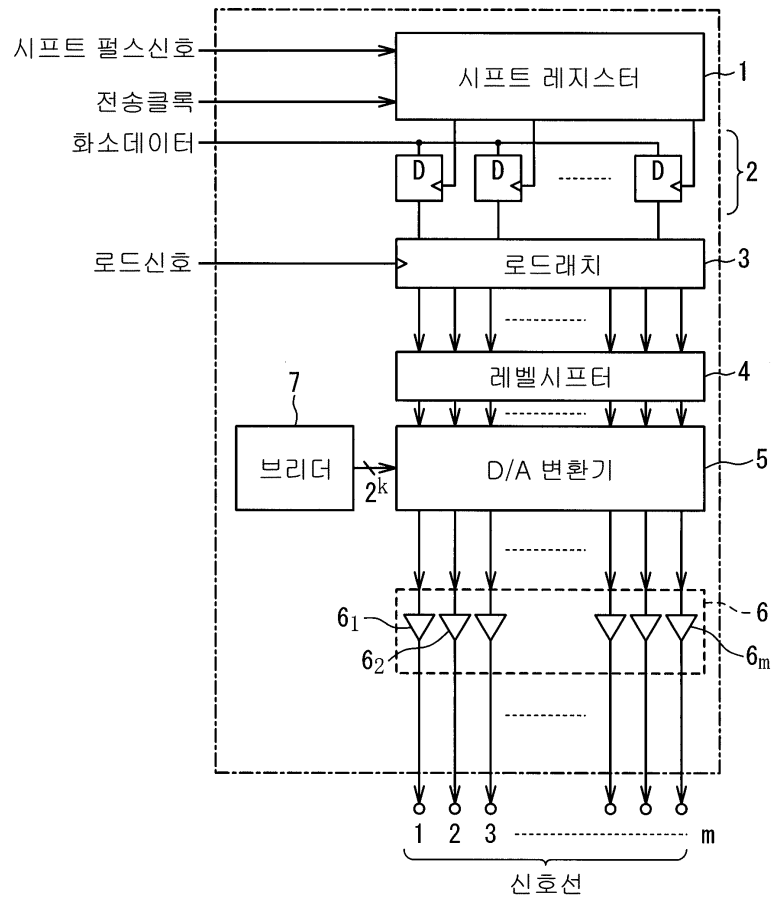
도 13은 제1실시예의 버퍼회로의 바람직한 구조를 도시하는 회로도,

도 14는 제2실시예의 버퍼회로의 바람직한 구조를 도시하는 회로도,

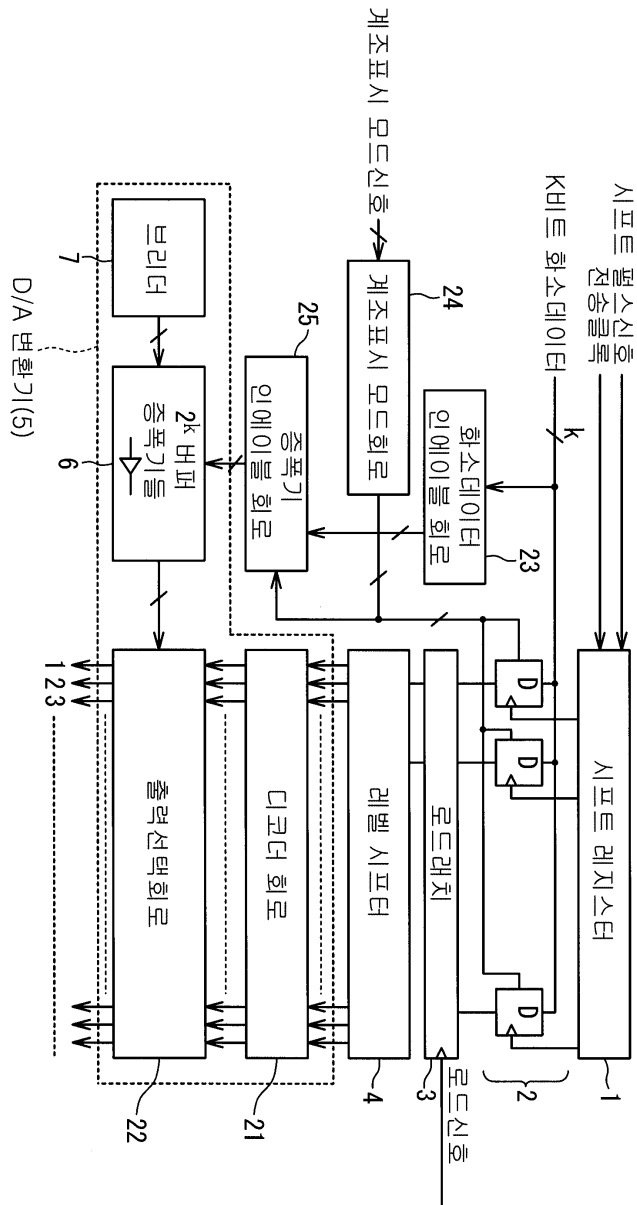
도 15는 제1실시예의 버퍼회로의 바람직한 동작을 도시하는 타이밍도.

도면

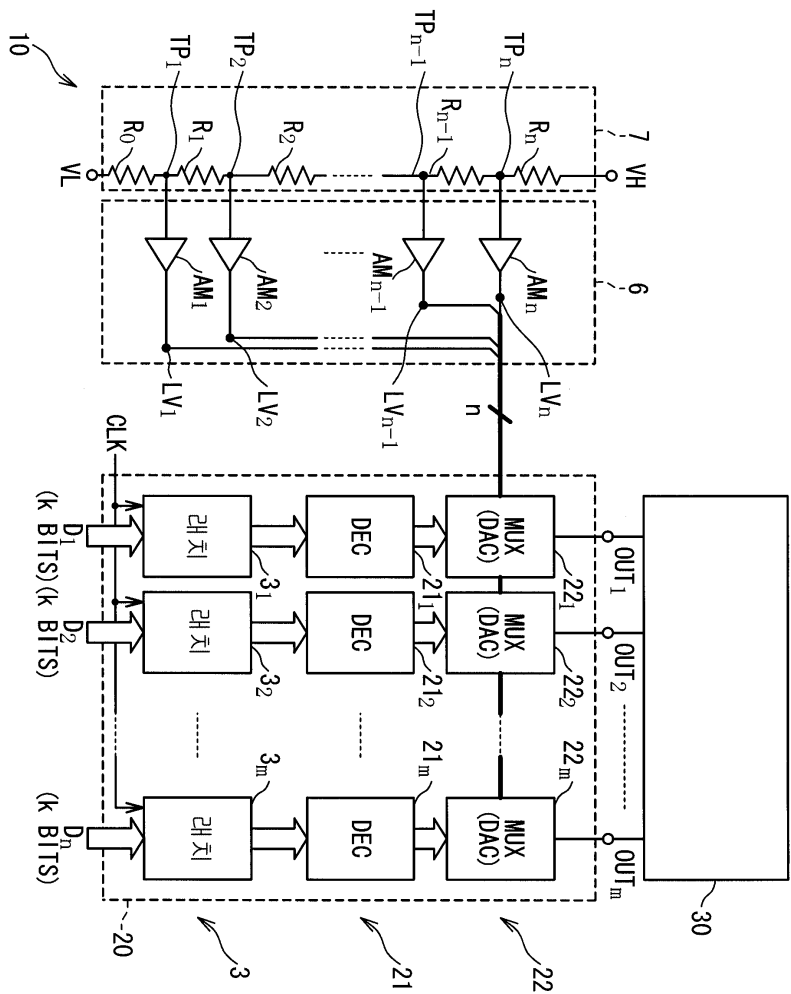
도면1



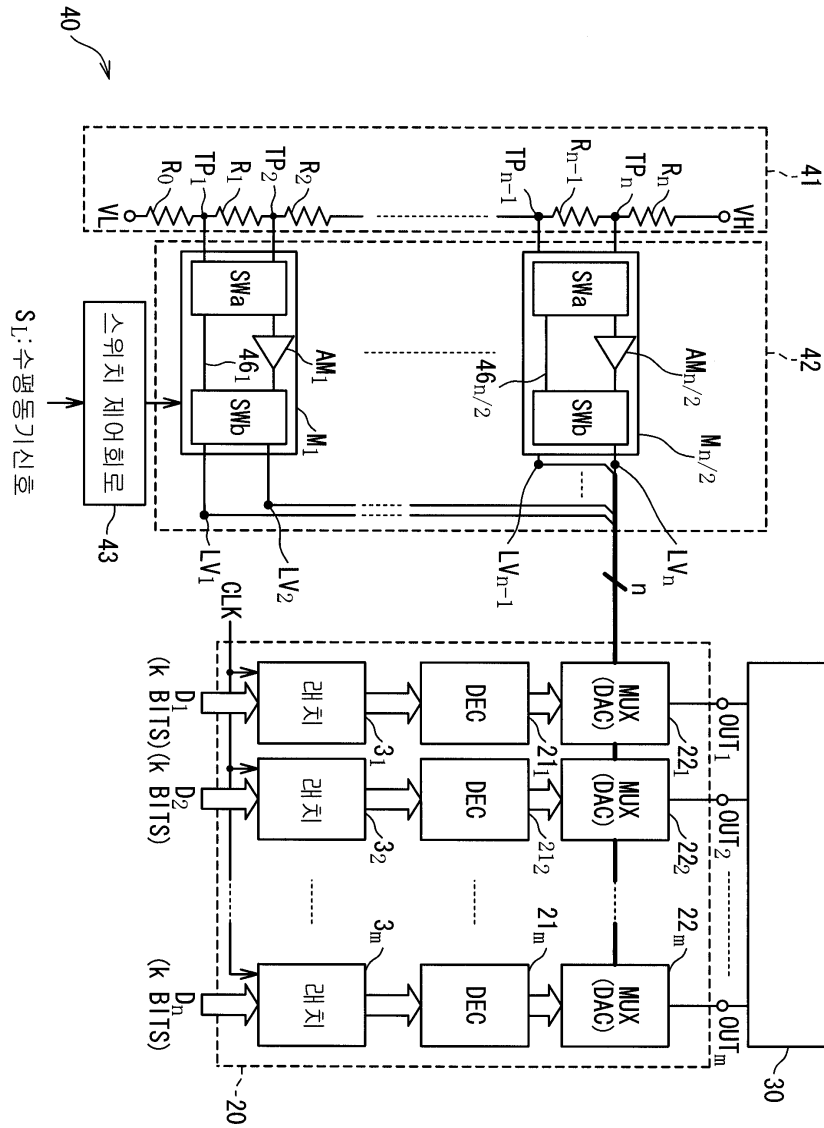
도면2



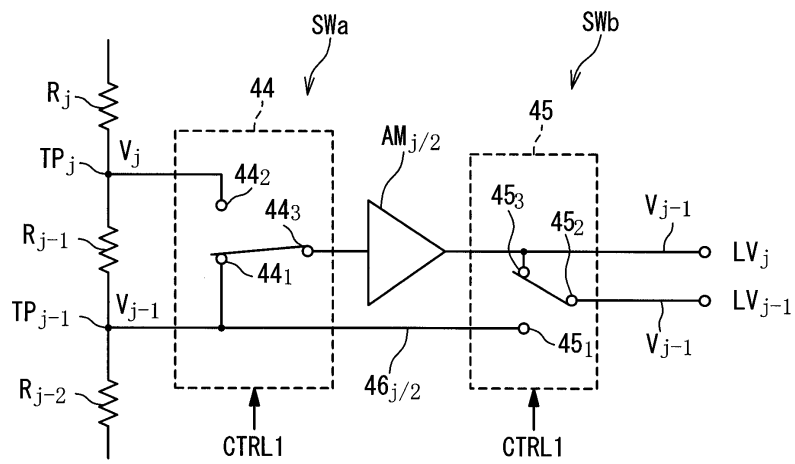
도면3



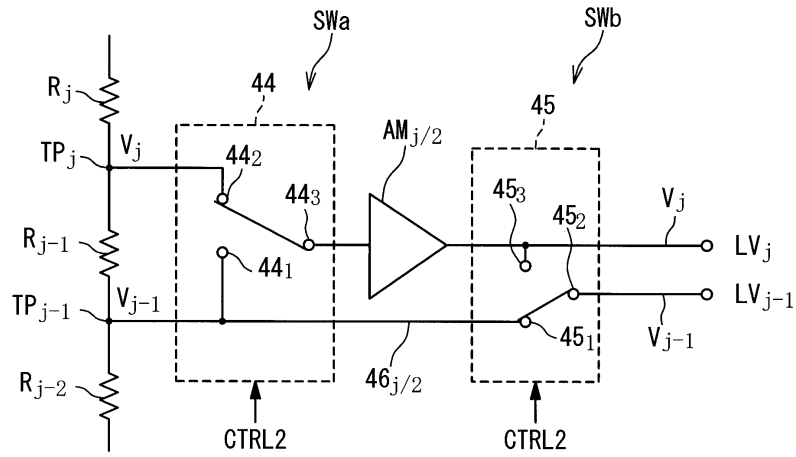
도면4



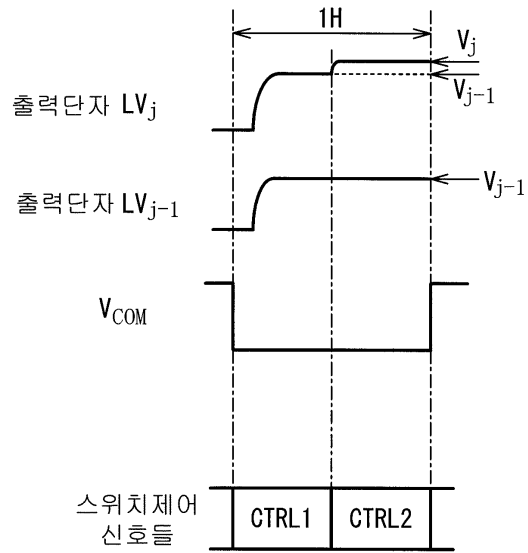
도면5a



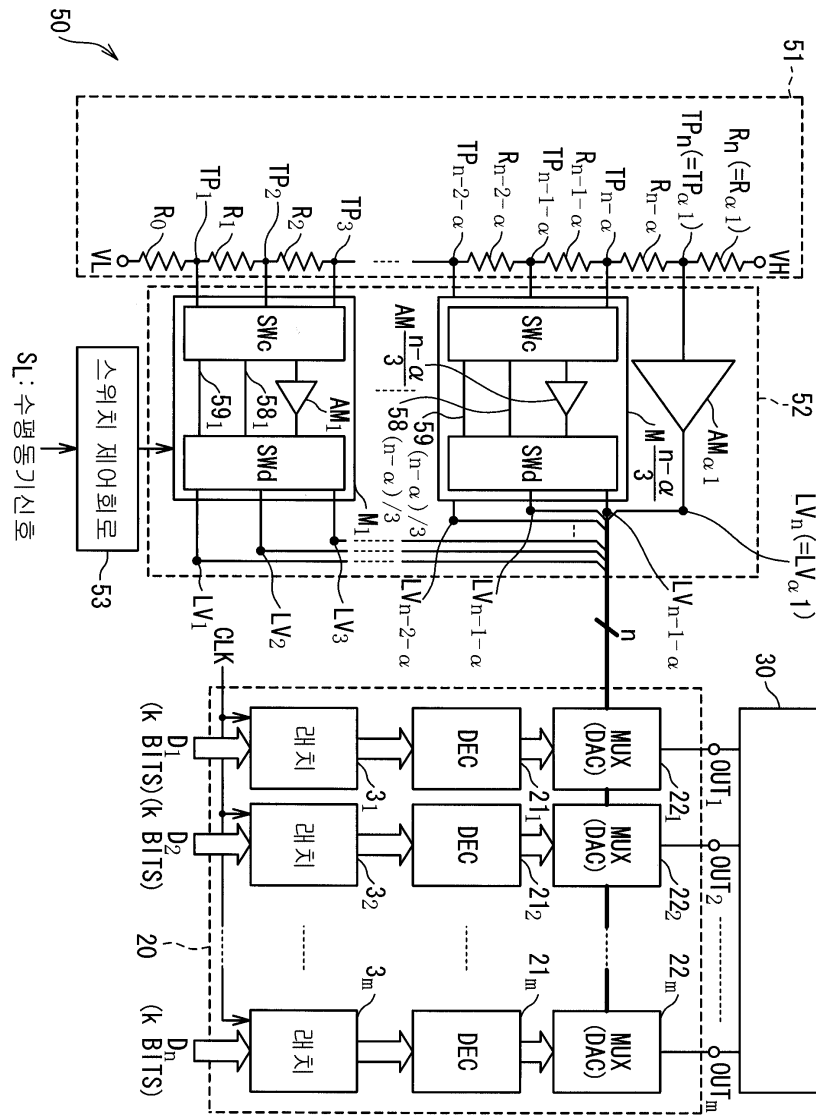
도면5b



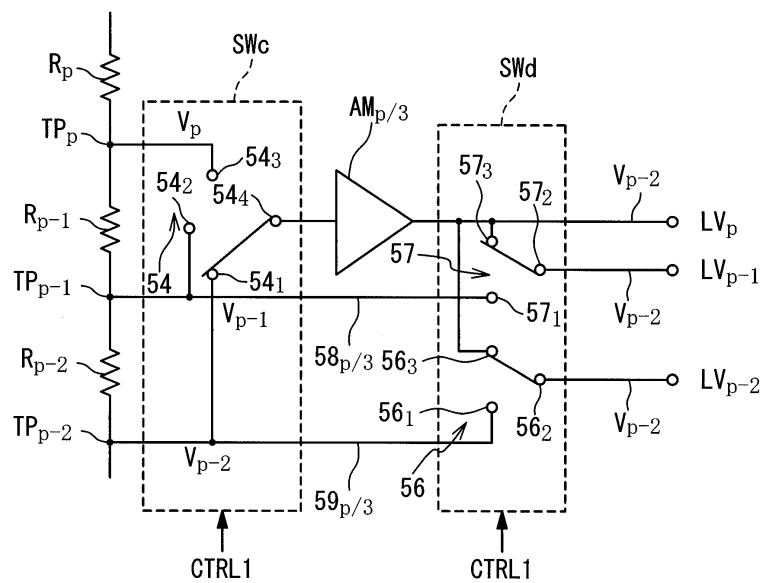
도면6



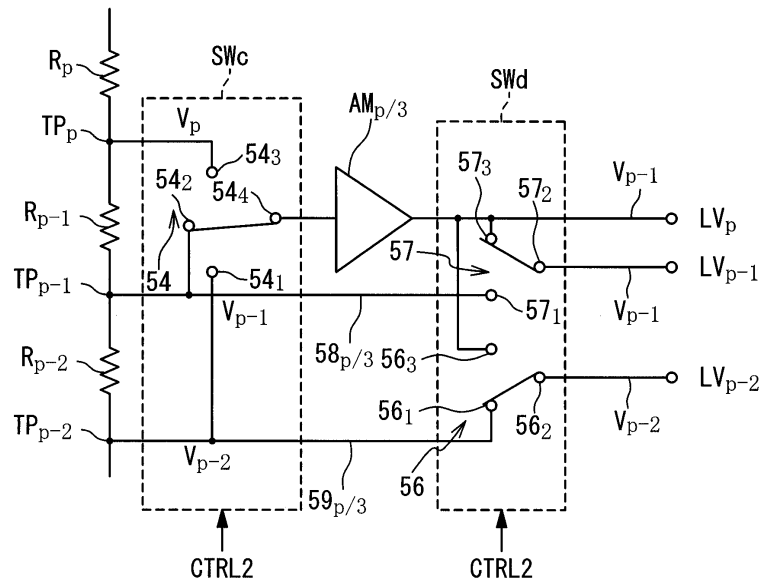
도면7



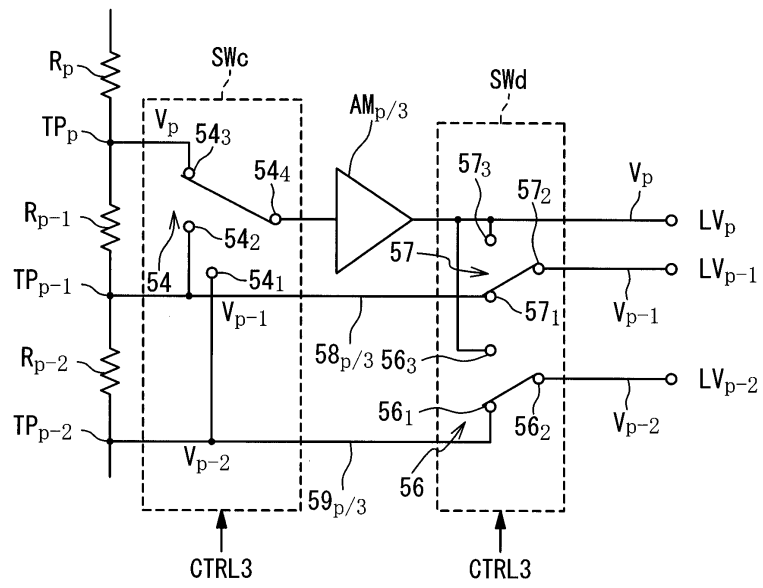
도면 8a



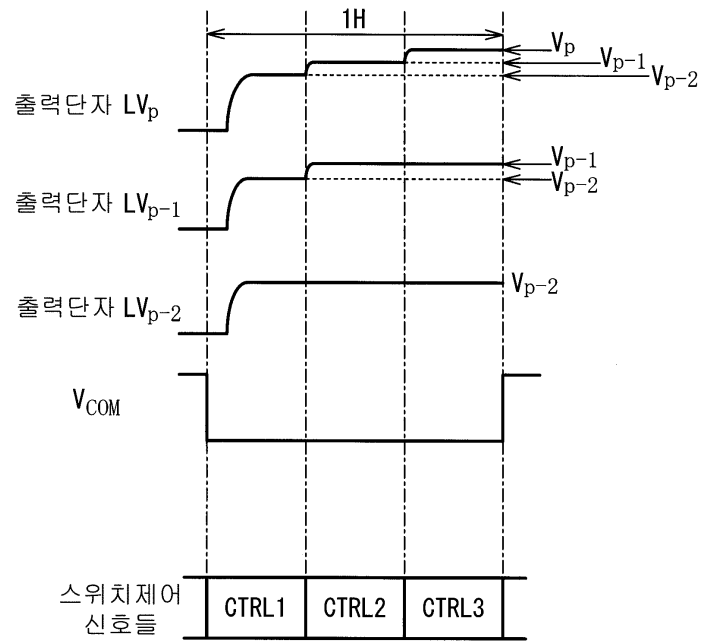
도면8b



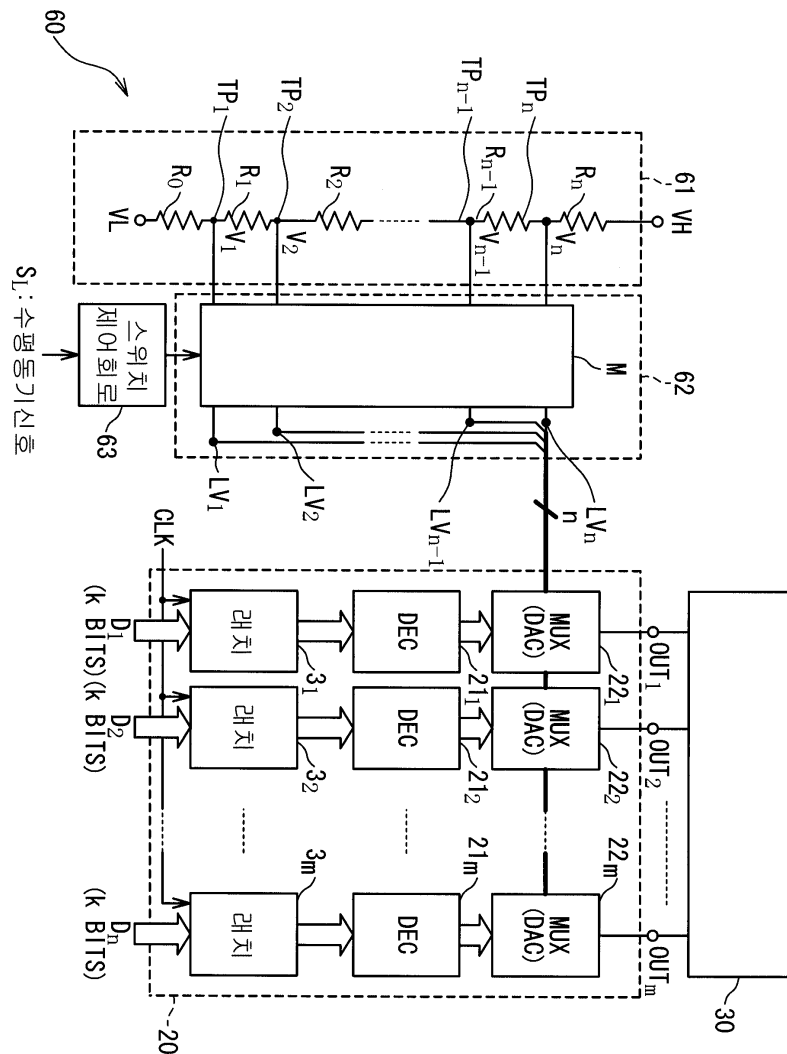
도면8c



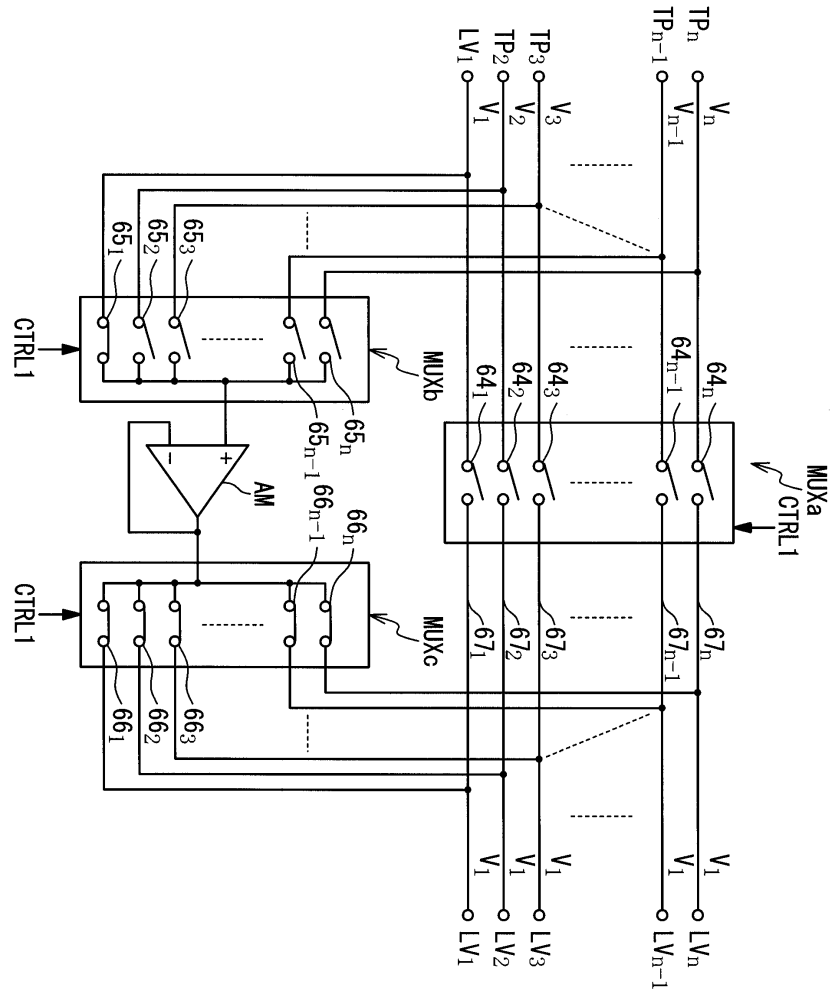
도면9



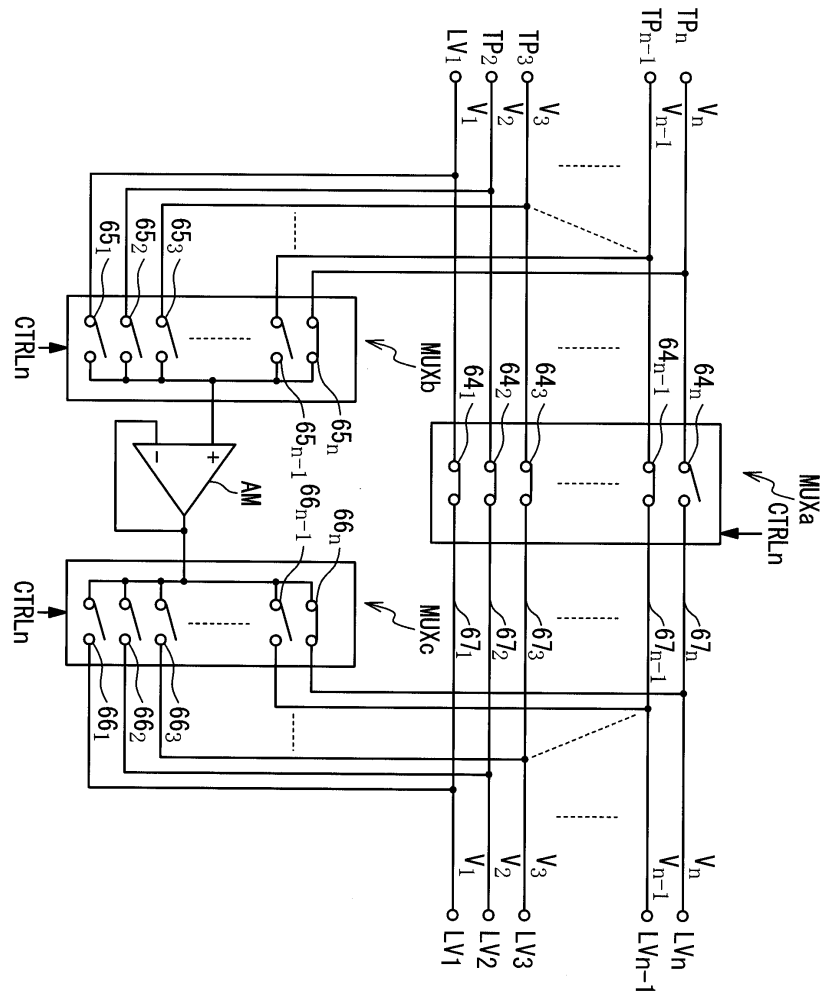
도면10



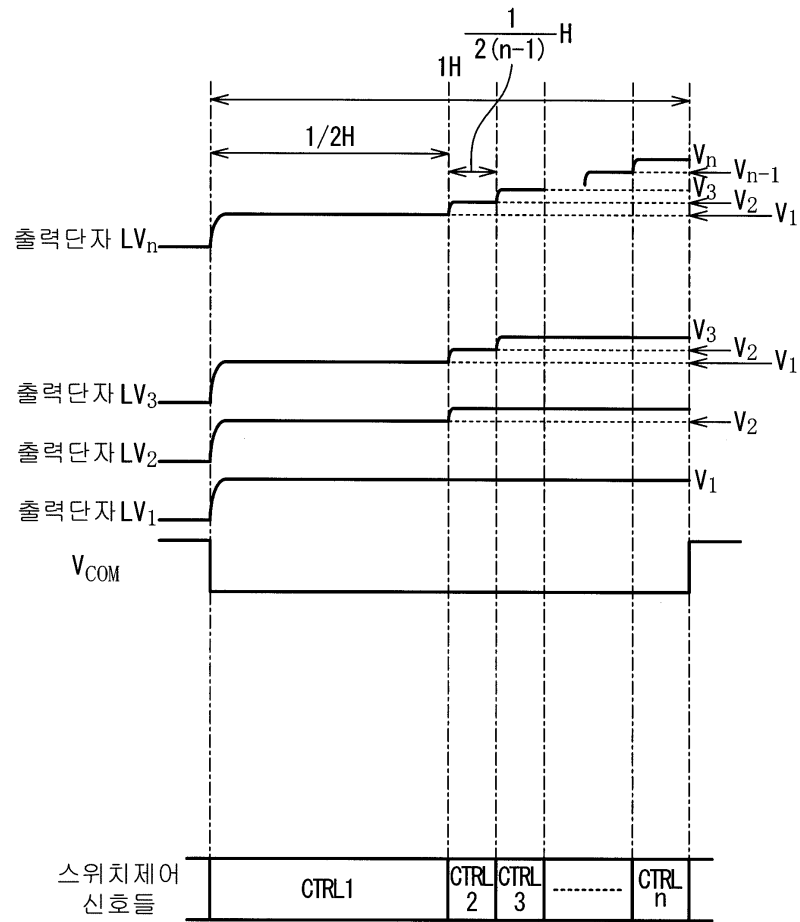
도면11a



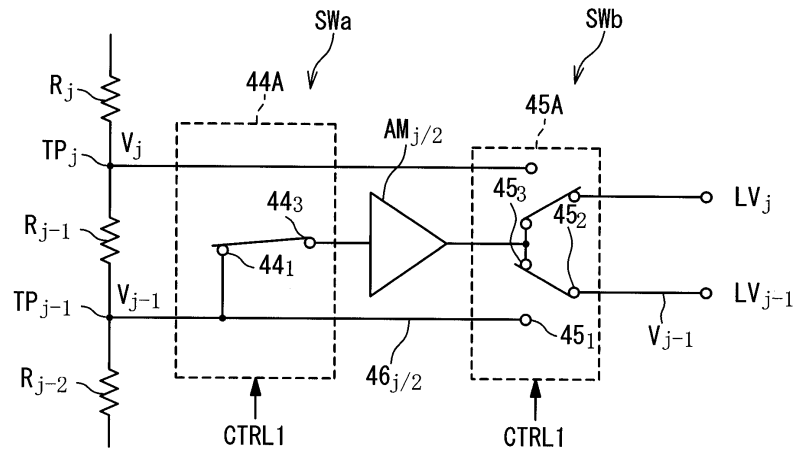
도면11c



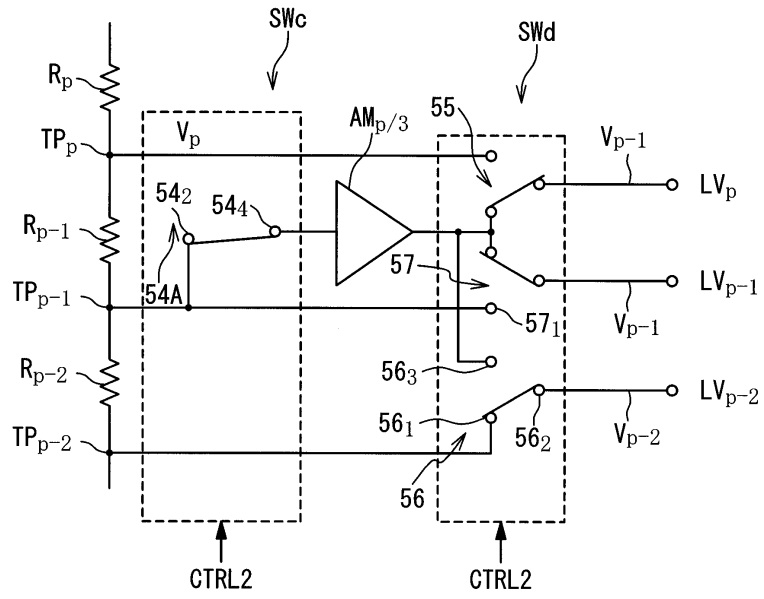
도면12



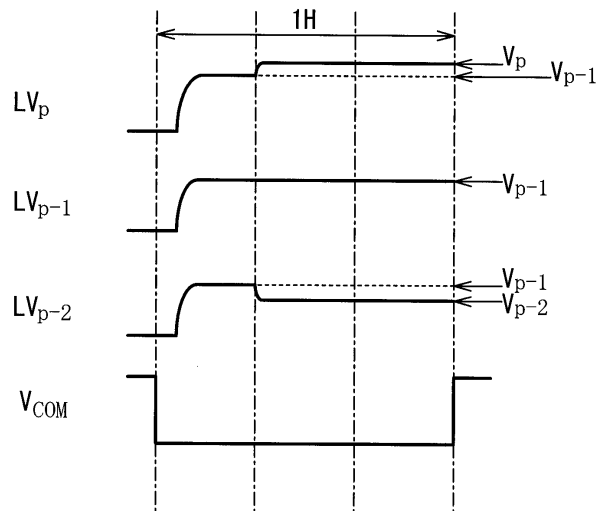
도면13



도면14



도면15



专利名称(译)	一种用于驱动LCD面板的驱动电压产生电路		
公开(公告)号	KR100719086B1	公开(公告)日	2007-05-17
申请号	KR1020050007749	申请日	2005-01-27
[标]申请(专利权)人(译)	瑞萨电子株式会社		
申请(专利权)人(译)	瑞萨电子株式会社		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	MIYAZAKI KIYOSHI 미야자키기요시		
发明人	미야자키기요시		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3696 G09G2310/0248 G09G2310/027 G09G2320/0209		
代理人(译)	Jouije		
优先权	2004018583 2004-01-27 JP		
其他公开文献	KR1020050077290A		
外部链接	Espacenet		

摘要(译)

提供了一种用于输出用于驱动LCD面板的驱动电压的驱动电压产生电路。驱动电压产生电路具有第一至第N输出端子，它们分别是一组通气管，缓冲放大器，开关电路和驱动电压。呼吸器使得第一至第N电压（其是一组不同的电压）分别出现在第一至第N节点上，其中N是大于或等于2的任何整数，每个相关联。开关电路切换缓冲放大器的输入和输出，第一至第N节点和第一至第N输出端子之间的连接。4

