



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월29일 10-0701069 2007년03월22일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0086104 2000년12월29일 2004년08월27일	(65) 공개번호 (43) 공개일자	10-2002-0056699 2002년07월10일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 비오이 하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 윤영룡
서울특별시은평구응암1동101-95

최성진
경상북도김천시어모면능치1리

(74) 대리인 강성배

심사관 : 임동재

전체 청구항 수 : 총 3 항

(54) 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법

(57) 요약

본 발명은 데이터 라인간에 쇼트를 방지하기 위하여 미리 픽셀 영역을 오픈시키기 위한 더미홀을 형성하여 픽셀영역 전극 형성시 데이터 라인사이에 있는 더미 홀 하방의 소스/드레인 메탈을 제거하여 쇼트를 방지할 수 있도록 된 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법에 관한 것으로, 유리기관상에 게이트라인 및 게이트전극을 형성하는 단계와, 상기 게이트라인 및 게이트전극을 포함하는 상기 유리기관 상에 제 1 절연층을 형성하고, 소스/드레인, 데이터 라인을 형성하며, 상기 제 1 절연층, 상기 소스/드레인 및 상기 데이터 라인 상에 제 2 절연층을 적층시키는 단계와, 상기 소스/드레인의 어느 일방에 비아홀(via hole) 영역을 형성함과 동시에 데이터라인을 따라 더미홀영역을 추가로 형성하여 오픈시키는 단계와, 상기 비아홀영역과 상기 더미홀영역을 포함하는 기관 상에 ITO층을 적층하는 단계와, 상기 비아홀과 연결되는 ITO 전극을 형성하기 위해 상기 ITO층을 에칭하는 단계로 이루어진 것을 특징으로 하는 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법으로, 기존의 공정을 그대로 사용하여 데이터 라인간의 쇼트를 방지하는 기술이므로 공정의 추가 없이도 종래의 문제점을 개선할 수 있는 효과를 가진 유용한 발명이다.

대표도

도 1

특허청구의 범위

청구항 1.

유리기판상에 게이트라인 및 게이트전극을 형성하는 단계와,

상기 게이트라인 및 게이트전극을 포함하는 상기 유리기판 상에 제 1 절연층을 형성하고, 소스/드레인, 데이터 라인을 형성하며, 상기 제 1 절연층, 상기 소스/드레인 및 상기 데이터 라인 상에 제 2 절연층을 적층시키는 단계와,

상기 소스/드레인의 어느 일방에 비아홀(via hole) 영역을 형성함과 동시에 데이터라인을 따라 더미홀영역을 추가로 형성하여 오픈시키는 단계와,

상기 비아홀영역과 상기 더미홀영역을 포함하는 기판 상에 ITO층을 적층하는 단계와,

상기 비아홀과 연결되는 ITO 전극을 형성하기 위해 상기 ITO층을 에칭하는 단계로 이루어진 것을 특징으로 하는 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법.

청구항 2.

제 1 항에 있어서, 상기 더미홀영역은 상기 ITO전극을 따라 상기 ITO전극의 길이와 같도록 형성된 것을 특징으로 하는 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법.

청구항 3.

제 1 항에 있어서, 상기 ITO층의 에칭시 상기 더미홀영역의 상기 ITO층 또는 소스/드레인 금속이 ITO 에천트(etchant)에 의해 제거되어 데이터 라인 간 쇼트가 방지되는 것을 특징으로 하는 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법에 관한 것으로, 보다 상세하게는 유리기판상에 게이트라인 및 게이트전극을 형성하는 단계와, 상기 게이트라인 및 게이트전극을 포함하는 상기 유리기판 상에 제 1 절연층을 형성하고, 소스/드레인, 데이터 라인을 형성하며, 상기 제 1 절연층, 상기 소스/드레인 및 상기 데이터 라인 상에 제 2 절연층을 적층시키는 단계와, 상기 소스/드레인의 어느 일방에 비아홀(via hole) 영역을 형성함과 동시에 데이터라인을 따라 더미홀영역을 추가로 형성하여 오픈시키는 단계와, 상기 비아홀영역과 상기 더미홀영역을 포함하는 기판 상에 ITO층을 적층하는 단계와, 상기 비아홀과 연결되는 ITO 전극을 형성하기 위해 상기 ITO층을 에칭하는 단계로 이루어진 것을 특징으로 하는 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법에 관한 것이다.

도 1 은 종래 티에프티 엘씨디의 데이터 라인(2) 및 게이트 라인(4)을 나타낸 픽셀 구조의 평면도이고, 도 2 는 도 1 의 A-A선 단면도로서, 이에 도시한 바와 같이, 도면에서 데이터 라인(2)과 인접 데이터 라인(2)간의 쇼트가 발생하는 쇼트발생영역(7)을 볼 수 있다.

참조부호 4는 게이트 라인을 나타내고, 참조부호 6은 픽셀 ITO(Indium Tin Oxide)영역을 나타낸다. 상기 쇼트발생영역(7)으로 인해 데이터 라인간의 쇼트(short)가 발생하고 TFT LCD가 오동작하는 원인이 된다.

한편, 도 2에서 볼 수 있듯이, 상기 쇼트발생영역(7)은 소스/드레인 금속이 잔류한 것으로서, 포토 레지스트(photoresist) 패턴이 불량하거나 에칭이 제대로 이루어지지 않은 결과로 발생하는 결함(defect)이다. 참조부호 10은 유리기판을 나타내고, 12 및 14는 각각 제 1 및 제 2 절연층을 나타낸다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같이 종래에는 유리기판상에 형성된 게이트라인과 데이터라인 및 상기 게이트라인과 데이터라인이 맞닿는 부분에 형성된 티에프티(박막트랜지스터로 소스/드레인전극을 가짐)소자로 구성되는 하부기판과, 상기 하부기판에 대응되며 칼라필터와 공통전극등으로 구성되는 상부기판과, 상기 하부기판과 상부기판 사이에 개재되는 액정으로 구성되는 티에프티 엘씨디 형성에 있어서 상기 소스/드레인 형성시 쇼트발생영역(7)에 남아있는 잔류 금속층으로 인하여 데이터 라인간에 쇼트가 발생하는 문제점이 있었다.

본 발명의 목적은 상기한 바와 같은 티에프티 엘씨디의 데이터 라인 및 게이트 라인 형성공정에서의 문제점을 개선하기 위해 안출한 것으로, 비아 마스크시에 비아 홀 영역만 오픈하는 것이 아니라 데이터 라인을 따라 픽셀 ITO 크기 만큼의 더미홀을 추가로 형성하고 오픈시켜 그 오픈된 더미 홀 영역을 통해 ITO 전극에칭시 상기 더미홀영역에 남아 있는 잔류 금속도 함께 제거될 수 있도록 하여 데이터 라인간의 쇼트를 방지할 수 있도록 된 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법을 제공함에 있다.

발명의 구성

상기한 바와 같은 목적을 달성하기 위한 본 발명의 바람직한 일실시예에 따르면, 유리기판상에 게이트라인 및 게이트전극을 형성하는 단계와, 상기 게이트라인 및 게이트전극을 포함하는 상기 유리기판 상에 제 1 절연층을 형성하고, 소스/드레인, 데이터 라인을 형성하며, 상기 제 1 절연층, 상기 소스/드레인 및 상기 데이터 라인 상에 제 2 절연층을 적층시키는 단계와, 상기 소스/드레인의 어느 일방에 비아홀(via hole) 영역을 형성함과 동시에 데이터라인을 따라 더미홀영역을 추가로 형성하여 오픈시키는 단계와, 상기 비아홀영역과 상기 더미홀영역을 포함하는 기판 상에 ITO층을 적층하는 단계와, 상기 비아홀과 연결되는 ITO 전극을 형성하기 위해 상기 ITO층을 에칭하는 단계로 이루어진 것을 특징으로 하는 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법이 제공된다.

또한 본 발명에 있어서, 상기 더미홀영역은 상기 ITO전극을 따라 상기 ITO전극의 길이와 같도록 형성된 것을 특징으로 한다. 또한, 상기 ITO층의 에칭시 상기 더미홀영역의 상기 ITO층 또는 소스/드레인 금속이 ITO 에천트(etchant)에 의해 제거되어 데이터 라인 간 쇼트가 방지되는 특징을 더 포함할 수 있다.

이하, 본 발명에 따른 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법에 관하여 첨부도면을 참조하여 상세하게 설명한다.

도 3 은 본 발명에 따른 티에프티 엘씨디의 데이터 라인 및 게이트 라인을 나타낸 픽셀 구조의 평면도로서, 이에 도시한 바와 같이, 대부분 기존의 픽셀 구조의 평면도인 도 1 에서와 동일하나, 다만 데이터 라인을 따라 그 픽셀 ITO 전극 패턴 영역의 길이 만큼의 더미홀영역(20)을 더 형성하여 쇼트 방지를 한 점에 있어서 종래와 차이가 있다.

도 4a 내지 도 4c 는 본 발명에 따른 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법을 나타낸 공정 흐름도로서, 이에 도시한 바와 같이, 대부분 기존 티에프티 엘씨디 제조 공정과 동일하나, 도 4a 에서와 같이 유리기판(10)상에 제 1 절연층(12)을 형성하고, 소스/드레인 형성시, 즉 데이터 라인(2) 형성을 위해 금속층을 형성하고 소스/드레인 에치 스트립(etch strip)후의 상태를 나타내는데, 데이터 라인(2)간 금속 물질이 남아 인접하고 있는 데이터라인(2)간에 쇼트를 일으킬 수 있는 상태가 된다.

이와 같은 상태에서, 비아 홀 에치 스트립후의 상태를 나타낸 단면도(도 4 b)에 따라 설명하면, 제 2 절연층(14)을 적층시킨 후, 비아(via) 마스크(mask)시 비아 홀(via hole) 영역만 오픈하는 것이 아니라, 데이터 라인(data line)을 따라 픽셀 ITO(Indium Tin Oxide)전극 패턴의 길이 만큼의 홀(Hole), 즉 더미홀영역(20)을 추가로 형성하고 상기 더미홀영역(20)을 오픈(open)시킨다.

이후 ITO 에치 스트립후의 상태를 나타낸 단면도(도 4c)를 참조하여 설명하면, 비아 마스크(mask)시 오픈 형성된 더미홀영역(20)을 포함한 제 2 절연층(14)상에 ITO를 적층시킨다.

이와 같은 상태에서, ITO 전극(6) 형성을 위해 ITO의 에칭시 상기 더미홀영역(20)이 오픈된 상태이므로 만약 소스/드레인 금속이 해당 영역에 존재할 경우, ITO 에천트(etchant)에 의해 상기 소스/드레인 금속이 제거된다.

결국 남은 금속 물질(7)은 여러 부분으로 분할되어(7a, 7b 및 7c) 서로 쇼트될 수 없는 상태가 된다.

발명의 효과

따라서, 상기한 바와 같은 본 발명에 따른 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성방법에 의하면, 데이터 라인간에 쇼트를 방지하기 위하여 미리 픽셀 영역을 오픈시키기 위한 더미홀영역을 형성하여 상기 더미홀영역을 오픈시키고 이후 ITO 픽셀 전극 패턴 형성시에 만약 더미 홀 부분에 금속이 노출된 경우에는 그 데이터 라인사이에 있는 더미 홀 하방의 소스/드레인 금속이 ITO 에치 스트립공정에서 제거됨으로써 결국 데이터 라인간의 쇼트를 방지할 수 있는 효과가 있는 발명이다.

본 발명의 공정은 기존의 공정을 그대로 사용하여 데이터 라인간의 쇼트를 방지할 수 있는 기술이므로 추가로 공정을 진행하지 않아도 종래의 데이터 라인 쇼트의 문제점을 개선할 수 있는 효과를 가진 유용한 발명이다.

아울러 상기한 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구의 범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

도 1 은 종래 티에프티 엘씨디의 데이터 라인 및 게이트 라인을 나타낸 픽셀 구조의 평면도.

도 2 는 도 1 의 A-A선 단면도.

도 3 은 본 발명에 따른 티에프티 엘씨디의 데이터 라인 및 게이트 라인을 나타낸 픽셀 구조의 평면도.

도 4a 내지 도 4c 는 본 발명에 따른 티에프티 엘씨디의 데이터 라인간 쇼트 방지 패턴 형성을 위한 공정 흐름을 나타낸 단면도로서,

도 4a는 소스/드레인 에치 스트립후의 단면도이고,

도 4b는 비아 홀 에치 스트립후의 단면도이고,

도 4c는 ITO 에치 스트립후의 단면도이다.

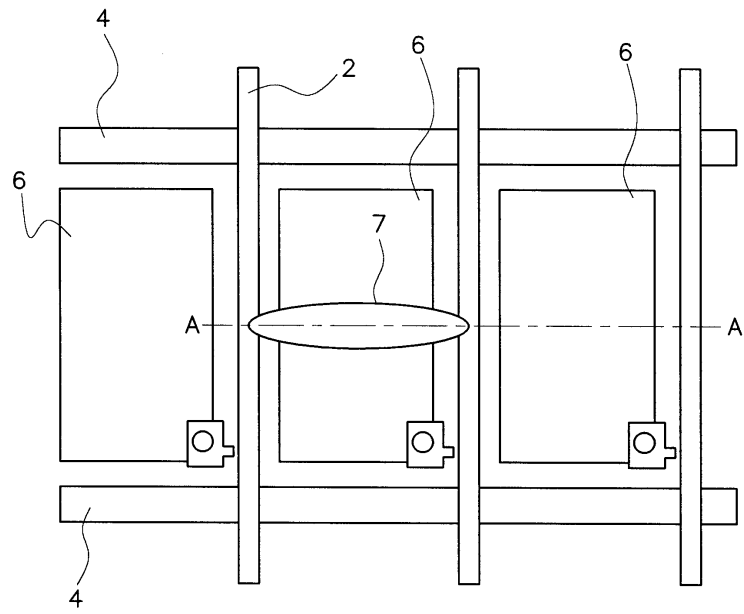
<도면의 주요부분에 대한 부호의 설명>

10 : 유리기판 12 : 제 1 절연층

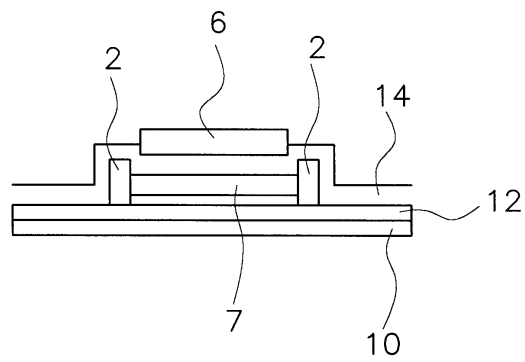
14 : 제 2 절연층 20 : 더미 홀(dummy hole)

도면

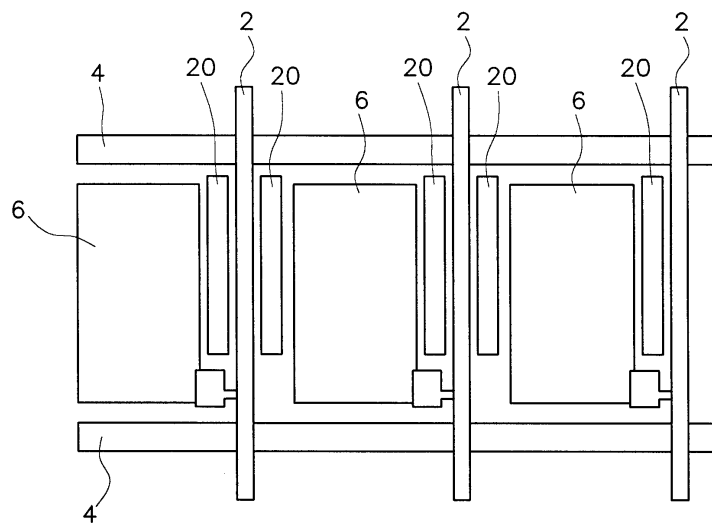
도면1



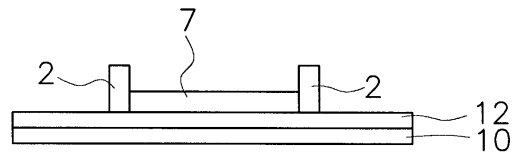
도면2



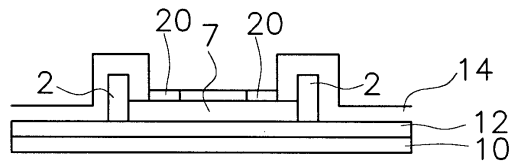
도면3



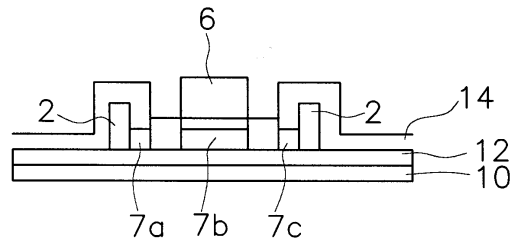
도면4a



도면4b



도면4c



专利名称(译)	TFT TIDECID数据中短期保护模式的形成方法		
公开(公告)号	KR100701069B1	公开(公告)日	2007-03-29
申请号	KR1020000086104	申请日	2000-12-29
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	YOON YOUNGRYONG 윤영룡 CHOI SUNGJIN 최성진		
发明人	윤영룡 최성진		
IPC分类号	G02F1/136		
其他公开文献	KR1020020056699A		
外部链接	Espacenet		

摘要(译)

目的：提供一种形成用于防止TFT-LCD的数据线之间短路图案的方法，以通过采用虚设孔来防止数据线短路。

