



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년03월15일
G09G 3/36 (2006.01)	(11) 등록번호	10-0694728
G09G 3/20 (2006.01)	(24) 등록일자	2007년03월07일

(21) 출원번호	10-2005-0017753	(65) 공개번호	10-2006-0043380
(22) 출원일자	2005년03월03일	(43) 공개일자	2006년05월15일
심사청구일자	2005년03월03일		

(30) 우선권주장 JP-P-2004-00301788 2004년10월15일 일본(JP)

(73) 특허권자 샤프 가부시기가이샤
일본 오사카후 오사카시 아베노꾸 나가이게쵸 22방 22고

(72) 발명자 혼다 겐코
일본 가나가와켄 가와사끼시 나카하라꾸 가미코다나까 4쵸메 1-1후지
쵸 디스플레이 테크놀로지스 코포레이션 내

히라끼 가즈요시
일본 가나가와켄 가와사끼시 나카하라꾸 가미코다나까 4쵸메 1-1후지
쵸 디스플레이 테크놀로지스 코포레이션 내

후루코시 야스따께
일본 가나가와켄 가와사끼시 나카하라꾸 가미코다나까 4쵸메 1-1후지
쵸 디스플레이 테크놀로지스 코포레이션 내

(74) 대리인 장수길
구영창
주성민

심사관 : 이병우

전체 청구항 수 : 총 10 항

(54) 액정 표시 장치 및 액정 표시 장치에서의 오동작 방지 방법

(57) 요약

본 발명은 게이트 스타트 펄스에 이상이 발생한 경우에 전원 및 회로가 과부하 상태로 되는 것을 방지한 액정 표시 장치를 제공하는 것을 목적으로 한다. 액정 표시 장치는, 매트릭스 형상으로 배치되고 각각이 트랜지스터를 포함하는 복수의 화소와, 동일 행에 나란히 배열되는 트랜지스터의 게이트단에 공통으로 접속되는 복수의 게이트 버스 라인과, 동일 열에 나란히 배열되는 트랜지스터의 채널의 일단에 공통으로 접속되는 복수의 데이터 버스 라인과, 복수의 게이트 버스 라인을 순차 구동하는 게이트 드라이버와, 복수의 게이트 버스 라인의 순차 구동을 개시하는 타이밍 신호를 게이트 드라이버에 공급하고 나서 소정의 기간 내는 타이밍 신호를 마스크하는 타이밍 제어 회로를 포함한다.

대표도

도 2

특허청구의 범위

청구항 1.

매트릭스 형상으로 배치되고 각각이 트랜지스터를 포함하는 복수의 화소와,
동일 행에 나란히 배열되는 상기 트랜지스터의 게이트단에 공통으로 접속되는 복수의 게이트 버스 라인과,
동일 열에 나란히 배열되는 상기 트랜지스터의 채널의 일단에 공통으로 접속되는 복수의 데이터 버스 라인과,
상기 복수의 게이트 버스 라인을 순차 구동하는 게이트 드라이버와,
상기 복수의 게이트 버스 라인의 순차 구동을 개시하는 타이밍 신호를 상기 게이트 드라이버에 공급하고 나서 소정의 기간
내는 상기 타이밍 신호를 마스크하는 타이밍 제어 회로
를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서,
상기 타이밍 제어 회로는, 상기 순차 구동되는 복수의 게이트 버스 라인의 수에 기초하여 상기 소정의 기간을 규정하는 것
을 특징으로 하는 액정 표시 장치.

청구항 3.

제2항에 있어서,
상기 타이밍 제어 회로는,
상기 복수의 게이트 버스 라인의 순차 구동에 대응하는 동기 신호를 카운트하는 카운터와,
상기 카운터의 카운터 값에 따라 상기 타이밍 신호를 마스크하는 기간을 설정하는 회로
를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제1항에 있어서,
상기 타이밍 제어 회로는, 고정 파라미터에 따라 소정의 시간 경과를 계시하는 회로에 의해 상기 소정의 기간을 규정하는
것을 특징으로 하는 액정 표시 장치.

청구항 5.

제4항에 있어서,

상기 소정의 기간은 1 화면 분의 상기 복수의 게이트 버스 라인을 구동하는 시간의 절반 이상에 상당하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제4항에 있어서,

상기 게이트 드라이버는 직렬 접속되는 복수의 게이트 드라이버 소자를 포함하고, 상기 소정의 기간은 상기 복수의 게이트 드라이버 소자의 1개가 그 자신에 대응하는 개수의 게이트 버스 라인을 주사하는 데 필요한 시간에 상당하는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제4항에 있어서,

상기 소정의 시간 경과를 게시하는 회로는 원쇼트 멀티바이브레이터인 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제1항에 있어서,

상기 타이밍 제어 회로는, 상기 순차 구동되는 복수의 게이트 버스 라인의 수와 고정 파라미터에 따라 소정의 시간 경과를 게시하는 회로에 기초하여 상기 소정의 기간을 규정하는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제1항에 있어서,

상기 타이밍 제어 회로는, 상기 순차 구동되는 복수의 게이트 버스 라인의 수에 의해 규정한 제1 기간과 고정 파라미터에 따라 소정의 시간 경과를 게시하는 회로에 의해 규정한 제2 기간 중의 어느 하나의 기간 내이면 상기 타이밍 신호를 마스크하는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

매트릭스 형상으로 배치되고 각각이 트랜지스터를 포함하는 복수의 화소와, 동일 행에 나란히 배열되는 상기 트랜지스터의 게이트단에 공통으로 접속되는 복수의 게이트 버스 라인과, 동일 열에 나란히 배열되는 상기 트랜지스터의 채널의 일단에 공통으로 접속되는 복수의 데이터 버스 라인과, 상기 복수의 게이트 버스 라인을 순차 구동하는 게이트 드라이버를 포함하는 액정 표시 장치에서 오동작을 방지하는 방법으로서,

상기 복수의 게이트 버스 라인의 순차 구동을 개시하는 타이밍 신호를 상기 게이트 드라이버에 공급하는 단계와,

상기 타이밍 신호를 공급하고 나서 소정의 기간 내는 상기 타이밍 신호를 마스크하는 단계

를 포함하는 것을 특징으로 하는 액정 표시 장치에서의 오동작 방지 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 액정 표시 장치에 관한 것으로, 자세하게는 액티브 매트릭스형 액정 표시 장치의 게이트 드라이버 구동 방식에 관한 발명이다.

액티브 매트릭스형의 액정 표시 장치(Liquid Crystal Display: LCD)에서는, 스위칭 소자로서 기능하는 박막 트랜지스터를 포함하는 화소가 중형으로 배치되고, 가로 방향으로 연장되는 게이트 버스 라인이 각 화소의 트랜지스터의 게이트에 접속되고, 세로 방향으로 연장되는 데이터 버스 라인이 트랜지스터를 통하여 각 화소의 화소 전극(컨덴서)에 접속된다. 액정 패널에 데이터 표시할 때에는, 게이트 드라이버에 의해 게이트 버스 라인을 1 라인씩 순차 구동하여 1 라인 분의 트랜지스터를 도통 상태로 하고, 도통된 트랜지스터를 통하여, 데이터 드라이버로부터 각 화소에 가로 1 라인 분의 데이터를 기입한다.

도 1은 종래의 액정 표시 장치의 구성을 도시하는 도면이다.

도 1의 액정 표시 장치는, LCD 패널(10), 제어 회로(11), 게이트 드라이버(12), 데이터 드라이버(13), 인버터 회로(14), 및 백 라이트(15)를 포함한다. LCD 패널(10)에는 트랜지스터 Tr을 포함하는 화소가 중형으로 배치된다. 게이트 드라이버(12)로부터 가로 방향으로 연장되는 게이트 버스 라인 GL이 각 화소의 트랜지스터 Tr의 게이트에 접속되고, 데이터 드라이버(13)로부터 세로 방향으로 연장되는 데이터 버스 라인 DL이 트랜지스터 Tr을 통하여 화소 전극에 화소 데이터를 기입한다.

제어 회로(11)의 IF 신호 제어 회로(11a)는, 입력 신호로서 클럭 신호, 표시 데이터, 및 표시 위치의 타이밍을 나타내는 표시 인에이블 신호 등을 수취한다. 제어 회로(11)의 타이밍 컨트롤러(11b)는, 표시 인에이블 신호의 상승을 개시 위치로 하여 클럭 신호의 클럭 펄스를 세는 것에 의해 수평 위치의 타이밍을 결정하고, 각종 제어 신호를 생성한다. 그리고 또한, 타이밍 컨트롤러(11b)는 표시 인에이블 신호의 수를 카운트함으로써 수직 위치의 타이밍을 결정하고, 각종 제어 신호를 생성한다. 또한, 표시 인에이블 신호의 LOW 기간이 일정한 클럭 펄스 수 이상 계속되는 위치를 검출함으로써, 각 프레임의 선두의 위치를 검출할 수 있다.

타이밍 컨트롤러(11b)로부터 게이트 드라이버(12)에 공급되는 제어 신호는, 게이트 클럭 신호 및 게이트 스타트 펄스 신호 등을 포함한다. 게이트 클럭 신호는 동기 신호이고, 이 신호의 상승에 동기하여, 구동하는 게이트 버스 라인을 1 라인씩 시프트시킨다. 즉, 게이트가 온으로 되는 가로 방향 1 라인 분의 트랜지스터를, 게이트 클럭 신호의 상승에 동기하여 1 라인씩 세로 방향으로 시프트시킨다. 게이트 스타트 펄스 신호는, 선두의 게이트 버스 라인을 구동하는 타이밍을 지정하는 동기 신호이고, 프레임의 개시 타이밍에 상당한다. 즉, 이 게이트 스타트 펄스 신호에 의해 지정한 타이밍에서 화면 선두의 게이트 버스 라인(가로 방향 1 라인)을 선택하여 표시 데이터를 기입하고, 게이트 클럭 신호에 동기하여 표시 데이터를 기입하는 라인을 순차적으로 세로 방향으로 주사해 간다.

타이밍 컨트롤러(11b)로부터 데이터 드라이버(13)에 공급되는 제어 신호는, 도트 클럭 신호, 데이터 스타트 신호, 및 래치 펄스 등을 포함한다. 도트 클럭 신호는 클럭 펄스이고, 그 상승에 동기하여 표시 데이터가 데이터 드라이버(13) 내부의 레지스터에 취득된다. 데이터 스타트 신호는, 데이터 드라이버(13) 내부의 복수의 드라이버 회로(13a) 각각이 표시하는 분의 표시 데이터에 대하여, 그 개시 위치를 나타내는 신호이다. 이 데이터 스타트 신호의 타이밍을 개시점으로 하여, 각각의 레지스터가, 개개의 화소에 대응하는 표시 데이터를 도트 클럭 신호에 의해 순차적으로 취득하여 간다. 래치 펄스는 레지스터에 취득된 표시 데이터를 내부 래치에 래치하는 타이밍을 지시하는 신호이다. 래치된 표시 데이터 신호는 DA 컨버터에 의해 아날로그 계조 신호로 변환되고, 이 아날로그 계조 신호가 데이터 버스 라인 구동 신호로서 데이터 버스 라인 DL에 출력된다.

제어 회로(11)의 DC/DC 컨버터(11c)는 직류 전원 전압을 서로 다른 레벨의 직류 전압으로 변환하고, 변환후의 전압을 각 회로 부분에 공급한다. 제어 회로(11)의 바이어스 전원 회로(11d)는, 고 정밀도의 전압 트래킹 기능을 구비한 전원 회로로

서, LCD 패널(10)의 구동 레벨을 정하는 바이어스 전원 전압을 게이트 드라이버(12) 및 데이터 드라이버(13)에 공급한다. 인버터 회로(14)는 직류 전원 전압에 기초하여 냉음극관을 점등하기 위한 고전압을 생성하여, 백 라이트(15)에 공급한다. 백 라이트(15)는 LCD 패널(10)에 배면으로부터 광을 조사한다.

발명이 이루고자 하는 기술적 과제

상기 설명한 각종 신호가 노이즈 등에 의해 열화하면, 치명적인 오동작의 원인으로 될 가능성이 있다. 예를 들면, 액정 표시의 해상도 등을 전환하는 등의 설정 변경을 행하는 경우, 동작이 이상 상태로 되어, 표시 데이터 신호, 동기 신호, 제어 신호 등에 이상이 발생하는 경우가 있다.

예를 들면, 선두의 게이트 버스 라인을 온시키는 타이밍을 지정하는 동기 신호인 게이트 스타트 펄스 신호는, 1 프레임 표시하는 기간에 1회만 게이트 드라이버(12)에 공급되는 신호이다. 그러나 액정 표시의 설정 변경 동작 등에 의해 이상이 발생한 경우, 1 프레임 표시 기간 내에 복수의 게이트 스타트 펄스 신호가 발생하거나, 게이트 스타트 펄스 신호의 펄스 폭이 복수의 수평 라인에 걸칠 정도로 이상하게 넓어지거나 하는 경우가 있다.

이와 같이 복수의 게이트 스타트 펄스 신호가 발생하거나 그 펄스 폭이 이상하게 넓어지거나 하면, LCD 패널(10)에 있어서 기입 대상으로 되는 게이트 버스 라인이 복수로 되어, LCD 패널(10)에의 표시 데이터의 기입 전력이 증대한다. 이에 의해 DC/DC 컨버터(11c) 등의 전원 회로의 부하가 커져 섀도되거나, 게이트 드라이버(12)에 과잉 전류가 흘러 회로가 파손되거나 할 가능성이 있다.

이상을 감안하여, 본 발명은 게이트 스타트 펄스에 이상이 발생한 경우에 전원 및 회로가 과부하 상태로 되는 것을 방지한 액정 표시 장치를 제공하는 것을 목적으로 한다.

발명의 구성

본 발명에 따른 액정 표시 장치는, 매트릭스 형상으로 배치되고 각각이 트랜지스터를 포함하는 복수의 화소와, 동일 행에 나란히 배열되는 상기 트랜지스터의 게이트단에 공통으로 접속되는 복수의 게이트 버스 라인과, 동일 열에 나란히 배열되는 상기 트랜지스터의 채널의 일단에 공통으로 접속되는 복수의 데이터 버스 라인과, 상기 복수의 게이트 버스 라인을 순차 구동하는 게이트 드라이버와, 상기 복수의 게이트 버스 라인의 순차 구동을 개시하는 타이밍 신호를 상기 게이트 드라이버에 공급하고 나서 소정의 기간 내는 상기 타이밍 신호를 마스크하는 타이밍 제어 회로를 포함하는 것을 특징으로 한다.

또한 본 발명에 따른 액정 표시 장치에서의 오동작 방지 방법은, 매트릭스 형상으로 배치되고 각각이 트랜지스터를 포함하는 복수의 화소와, 동일 행에 나란히 배열되는 상기 트랜지스터의 게이트단에 공통으로 접속되는 복수의 게이트 버스 라인과, 동일 열에 나란히 배열되는 상기 트랜지스터의 채널의 일단에 공통으로 접속되는 복수의 데이터 버스 라인과, 상기 복수의 게이트 버스 라인을 순차 구동하는 게이트 드라이버를 포함하는 액정 표시 장치에서, 상기 복수의 게이트 버스 라인의 순차 구동을 개시하는 타이밍 신호를 상기 게이트 드라이버에 공급하고, 상기 타이밍 신호를 공급하고 나서 소정의 기간 내는 상기 타이밍 신호를 마스크하는 각 단계를 포함하는 것을 특징으로 한다.

이하에 본 발명의 실시예를 첨부 도면을 이용하여 상세히 설명한다.

도 2는 본 발명에 따른 게이트 스타트 펄스 제어 회로의 제1 실시예의 구성 일례를 도시하는 도면이다. 도 2의 게이트 스타트 펄스 제어 회로(20)는, D 플립플롭(21 및 22), AND 게이트(23), 바이너리 카운터(24), 디코더(25 및 26), JK 플립플롭(27), 및 2 입력 중 한쪽이 마이너스 논리 입력인 AND 게이트(28)를 포함한다. 이 게이트 스타트 펄스 제어 회로(20)는, 도 1에 도시하는 타이밍 컨트롤러(11b)가 생성한 게이트 스타트 펄스 신호 GS에 기초하여, 게이트 드라이버(12)에 공급하는 게이트 스타트 펄스 신호 GST를 생성한다. 게이트 스타트 펄스 제어 회로(20)는, 예를 들면 타이밍 컨트롤러(11b)의 일부로서 마련되어도 되고, 혹은 제어 회로(11)와 게이트 드라이버(12)의 사이에 마련되어도 되고, 혹은 게이트 드라이버(12) 내부에 마련되어도 된다.

D 플립플롭(21)은 표시 데이터의 1 수평 라인 기간을 나타내는 인에이블 신호 ENAB를 입력 데이터로 하고, 클럭 신호 CLK에 동기하여 입력 데이터를 취득함으로써, 인에이블 신호 ENAB를 1 클럭 분 지연시킨 신호 S1을 생성한다. D 플립플롭(22)은 신호 S1을 입력 데이터로 하고, 클럭 신호 CLK에 동기하여 입력 데이터를 취득함으로써, 신호 S1을 1 클럭 분

더 지연시킨다. AND 게이트(23)는 D 플립플롭(21)으로부터의 신호 S1과 D 플립플롭(22)의 반전 출력 /Q인 신호 S2와의 앤드 연산을 행하고, 그 결과 S3을 바이너리 카운터(24)에 공급한다. 이 AND 게이트(23)의 출력 S3은 표시 데이터의 1 수평 라인 기간의 선두로부터 1 클럭 지연된 타이밍을 나타내는 펄스 신호이다.

바이너리 카운터(24)는 AND 게이트(23)의 출력 펄스 신호 S3을 카운트하고, 카운트 값을 디코더(25 및 26)에 공급한다. 디코더(25)는 바이너리 카운터(24)로부터의 카운트 값을 디코드함으로써, n 개의 수평 라인으로 구성되는 1 화면에 있어서 3번째의 수평 라인의 타이밍을 나타내는 펄스 신호 S4를 출력한다. 디코더(26)는 바이너리 카운터(24)로부터의 카운트 값을 디코드함으로써, n 개의 수평 라인으로 구성되는 1 화면에 있어서 n 번째의 수평 라인의 타이밍을 나타내는 펄스 신호 S5를 출력한다.

JK 플립플롭(27)은 신호 S4에 의해 세트되고, 신호 S5에 의해 리셋된다. 이에 의해 JK 플립플롭(27)은, 1 화면 표시 기간에 있어서의 3번째의 수평 라인의 개시 타이밍(엄밀하게는 개시 타이밍으로부터 1 클럭 지연된 타이밍)에서 HIGH로 되고, 1 화면 표시 기간에 있어서의 n 번째의 수평 라인의 개시 타이밍(엄밀하게는 개시 타이밍으로부터 1 클럭 지연된 타이밍)에서 LOW로 되는 마스크 신호 S6을 생성한다. 이 마스크 신호 S6이 HIGH인 동안, AND 게이트(28)에 의해 게이트 스타트 펄스 신호 GS를 마스크함으로써, 게이트 스타트 펄스 신호 GST를 생성한다.

도 3 및 도 4는 도 2의 게이트 스타트 펄스 제어 회로(20)의 동작을 설명하기 위한 타이밍도이다.

도 3에 도시한 바와 같이, 1 수평 라인 기간 HIGH로 되는 인에이블 신호 ENAB를 1 클럭 늦춤으로써 신호 S1이 얻어진다. 또한 신호 S1을 1 클럭 늦춘 신호의 반전 신호로서, 신호 S2가 얻어진다. 신호 S1과 신호 S2의 앤드를 취함으로써, 신호 S3이 생성된다. 이 신호 S3은 각 수평 라인의 선두로부터 1 클럭 지연된 타이밍에서 HIGH로 되는 펄스 신호이다.

도 4에 있어서, 최상단은 각 수평 라인의 선두로부터 1 클럭 지연된 타이밍에서 HIGH로 되는 펄스 신호 S3을 나타낸다. 펄스 신호 S3에는 0 내지 n-1의 번호가 붙어 있고, 이들 0 내지 n-1번째의 n개의 펄스 신호 S3에 대응하는 n 개의 수평 라인에 의해 1 화면이 구성된다. 도 4에 있어서 화살표에 의해 A로서 표시되는 2개의 펄스 신호 S3이, 도 3의 2개의 펄스 신호 S3에 대응한다. 펄스 신호 S3을 카운트하여 그 카운트 값을 디코드함으로써, 3번째(0번부터 세기 시작한 경우의 2번)의 펄스의 타이밍에서 HIGH로 되는 신호 S4 및, n 번째(0번부터 세기 시작한 경우의 n-1번)의 펄스의 타이밍에서 HIGH로 되는 신호 S5를 생성한다. 마스크 신호 S6은, 신호 S4의 상승에서 HIGH로 되고, 신호 S5의 상승에서 LOW로 되는 신호이다.

이 마스크 신호 S6이 HIGH인 기간, 입력의 게이트 스타트 펄스 신호 GS를 마스크함으로써, 출력의 게이트 스타트 펄스 신호 GST가 생성된다. 마스크 신호 S6에 의해 마스크하고 있기 때문에, 예를 들면 화살표에 의해 B로서 표시한 바와 같이, 게이트 스타트 펄스 신호 GS에 이상이 발생하여 1 화면 표시 기간 내에서 복수의 게이트 스타트 펄스 신호가 발생해도, 게이트 스타트 펄스 신호 GST로서 나타나는 바와 같이, 정확하게 1 화면 1개의 게이트 스타트 펄스 신호가 생성된다. 또한 게이트 스타트 펄스 신호 GS의 펄스 폭이 변화해도, 소정의 타이밍에서 개시하는 마스크 신호에 의한 마스크 처리에 의해, 게이트 스타트 펄스 신호 GST는 고정된 펄스 폭을 갖게 된다.

이와 같이 제1 실시예에서는, 수평 라인의 수를 카운트함으로써 수평 라인을 특정하고, 소정의 수평 라인 사이의 타이밍에서 게이트 스타트 펄스 신호를 마스크한다. 이에 의해, 게이트 스타트 펄스 신호에 이상이 발생해도 적절한 게이트 스타트 펄스 신호를 게이트 드라이버(12)에 공급하는 것이 가능해진다.

또한 상기 예에서는 인에이블 신호 ENAB에 기초하여 마스크 신호를 생성했지만, 인에이블 신호 ENAB가 아니라 다른 제어 신호에 기초하여도 마찬가지로 마스크 신호를 생성할 수 있다. 이를 위해 이용하는 제어 신호는, 수평 기간에 있어서 소정 횟수 어서트되는 신호이면 되고, 예를 들면, 구동하는 게이트 버스 라인을 1 라인씩 시프트시키는 전술한 게이트 클럭 신호, 혹은 레지스터 내의 표시 데이터를 내부 래치에 래치하는 타이밍을 지시하는 래치 펄스 신호 등을 이용하여 마스크 신호를 생성할 수 있다. 또한 상기 설명에서는, 마스크 신호는 3번째의 수평 라인과 n 번째의 수평 라인에 의해 규정되었지만, 예를 들면 4번째와 n-1번째의 수평 라인에 의해 규정해도 되고, 마스크 효과의 필요성을 고려에 넣으면서 적절하게 변경해도 된다.

도 5는 본 발명에 따른 게이트 스타트 펄스 제어 회로의 제2 실시예의 구성 일례를 도시하는 도면이다. 도 5의 게이트 스타트 펄스 제어 회로(20A)는, 원쇼트 멀티바이브레이터(31), D 플립플롭(32), 및 2 입력 중 한쪽이 마이너스 논리 입력인 AND 게이트(33)를 포함한다. 이 게이트 스타트 펄스 제어 회로(20A)는, 도 1에 도시하는 타이밍 컨트롤러(11b)가 생성한

게이트 스타트 펄스 신호 GS에 기초하여, 게이트 드라이버(12)에 공급하는 게이트 스타트 펄스 신호 GST를 생성한다. 게이트 스타트 펄스 제어 회로(20A)는, 예를 들면 타이밍 컨트롤러(11b)의 일부로서 마련되어도 되고, 혹은 제어 회로(11)와 게이트 드라이버(12) 사이에 마련되어도 되고, 혹은 게이트 드라이버(12) 내부에 마련되더라도 무방하다.

원쇼트 멀티바이브레이터(31)는 원쇼트 멀티바이브레이터 소자(31a), 용량 Cx, 및 저항 Rx를 포함한다. 적당한 용량치 및 저항치의 용량 Cx 및 저항 Rx를 원쇼트 멀티바이브레이터 소자(31a)에 접속함으로써, 원쇼트 멀티바이브레이터(31)는, 용량치 및 저항치에 의해 정해지는 시상수에 따른 소정의 기간 HIGH로 되는 펄스를, 입력 펄스 신호에 따라 생성한다. 도 5의 예에서는, 원쇼트 멀티바이브레이터(31)에는 게이트 스타트 펄스 신호 GS가 입력되어 있고, 게이트 스타트 펄스 신호 GS의 상승으로부터 소정의 기간 HIGH인 펄스 신호 S11을 생성한다.

D 플립플롭(32)은 원쇼트 멀티바이브레이터(31)의 출력 펄스 신호 S11을 클럭 신호 CLK에 동기하여 취득함으로써, 1 클럭 분 지연한 펄스 신호 S12를 생성한다. AND 게이트(33)는 이 펄스 신호 S12를 마스크 신호로서 이용함으로써, 입력 게이트 스타트 펄스 신호 GS를 마스크하여 출력 게이트 스타트 펄스 신호 GST를 생성한다.

도 6은 도 5의 게이트 스타트 펄스 제어 회로(20A)의 동작을 설명하기 위한 타이밍도이다.

도 6에 도시한 바와 같이, 클럭 신호 CLK에 동기하여 게이트 스타트 펄스 신호 GS가 입력되면, 이에 응답하여 시상수 Cx·Rx에 따른 기간 HIGH로 되는 펄스 신호 S11이 생성된다. 이 펄스 신호 S11은 게이트 스타트 펄스 신호 GS의 상승에 응답하여 상승하기 때문에, 이 신호를 그대로 마스크 신호로서 이용할 수는 없다. 그래서 펄스 신호 S11을 클럭 신호 CLK의 1 클럭 분 늦춰 펄스 신호 S12를 생성하고, 이 펄스 신호 S12를 마스크 신호로서 이용한다. 즉, 게이트 스타트 펄스 신호 GS를, 마스크 신호인 펄스 신호 S12가 HIGH인 기간 마스크(강제적으로 LOW로 설정)함으로써, 게이트 스타트 펄스 신호 GST를 게이트 드라이버에 공급한다.

예를 들면 화살표에 의해 B로서 표시한 바와 같이, 게이트 스타트 펄스 신호 GS에 이상이 발생하여 1 화면 표시 기간 내에서 복수의 게이트 스타트 펄스 신호가 발생해도, 게이트 스타트 펄스 신호 GST로서 나타나는 바와 같이, 정확하게 1 화면 1개의 게이트 스타트 펄스 신호가 생성된다. 또한 게이트 스타트 펄스 신호 GS의 펄스 폭이 변화해도, 소정의 타이밍에서 개시하는 마스크 신호에 의한 마스크 처리에 의해, 게이트 스타트 펄스 신호 GST는 고정된 펄스 폭을 갖게 된다.

이 때, 마스크 기간을 규정하는 원쇼트 멀티바이브레이터(31)의 펄스 출력 기간은, 예를 들면 1 화면의 표시 기간의 절반보다 약간 긴 정도로 하여도 된다. 1 화면의 표시 기간 빠듯하게 설정해도 되지만, 본 실시예의 구성에서는 도 6에서 화살표에 의해 B로서 표시한 바와 같은 이상 게이트 스타트 펄스 신호에도 응답하여 원쇼트 멀티바이브레이터(31)가 펄스 신호를 생성하기 때문에, 이상 신호로부터 적어도 1 화면의 표시 기간은 정상적인 액정 표시를 행할 수 없게 된다. 따라서, 펄스 폭을 1 화면의 표시 기간보다 짧게 설정함으로써, 정상적인 표시까지의 회복 시간을 짧게 할 수 있다. 또한 1 화면의 표시 기간의 절반보다 약간 긴 정도로 설정해 두면, 이상이 발생해도 최악이어도 1 화면에 2개의 게이트 스타트 펄스 신호가 존재할 뿐이기 때문에, 전원 회로나 게이트 드라이버(12)에 그 정도의 부하는 걸리지 않는다고 생각된다.

또한 도 1에 도시한 바와 같이 게이트 드라이버(12)에는, 복수의 게이트 드라이버 회로(12a)가 마련되고, 개개의 게이트 드라이버 회로(12a)가 각각의 담당 분의 소정 개수의 게이트 라인 GL을 구동한다. 복수의 게이트 드라이버 회로(12a)를 직렬 접속함으로써, 게이트 클럭 신호에 동기하여 구동 게이트 라인을 순차적으로 세로 방향으로 주사해 갈 때의 시프트 동작이, 어떤 단의 게이트 드라이버 회로(12a)로부터 다음 단의 게이트 드라이버 회로(12a)로 순차적으로 전파하여 간다. 따라서, 개개의 게이트 드라이버 회로(12a)의 동작에 주목한 경우에는, 개개의 게이트 드라이버 회로(12a)가 각각의 담당 분의 게이트 라인 GL을 구동하고 있는 동안만, 이상한 게이트 스타트 펄스 신호가 발생하지 않으면 되게 된다. 따라서 이 경우, 원쇼트 멀티바이브레이터(31)가 발생하는 펄스 신호의 펄스 폭은, 1개의 게이트 드라이버 회로(12a)가 담당하는 개수의 게이트 라인 GL을 주사하는 데에 요하는 시간 간격에 기초하여 설정해도 된다.

이와 같이 제2 실시예에서는, 소정의 고정 기간 HIGH로 되는 펄스 신호를 생성하고 이 신호에 기초하여 게이트 스타트 펄스 신호를 마스크한다. 이에 의해, 게이트 스타트 펄스 신호에 이상이 발생해도 적절한 게이트 스타트 펄스 신호를 게이트 드라이버(12)에 공급하는 것이 가능하게 된다.

도 7은 본 발명에 따른 게이트 스타트 펄스 제어 회로의 제3 실시예의 구성 일례를 도시하는 도면이다. 도 7의 구성은 도 2에 도시하는 제1 실시예의 구성과 도 5에 도시하는 제2 실시예의 구성을 조합한 것이다. 도 7에 있어서, 도 2 및 도 5와 동일한 구성 요소는 동일한 참조 번호로 참조한다.

도 7의 게이트 스타트 펄스 제어 회로(20C)는, D 플립플롭(21 및 22), AND 게이트(23), 바이너리 카운터(24), 디코더(25 및 26), JK 플립플롭(27), 원쇼트 멀티바이브레이터(31), D 플립플롭(32), 및 3 입력 중 2개가 마이너스 논리 입력인 AND 게이트(33)를 포함한다. 도 5의 제2 실시예의 구성에서는, 원쇼트 멀티바이브레이터(31)의 입력은 게이트 스타트 펄스 신호 GS이지만, 도 7의 제3 실시예에서는 원쇼트 멀티바이브레이터(31)의 입력은 디코더(25)의 출력에 접속되어 있다. 이러한 구성으로 함으로써, 디코더(25)가 특정하는 소정의 수평 라인 위치로부터, 원쇼트 멀티바이브레이터(31)가 규정하는 소정의 기간 HIGH로 되는 마스크 신호 S12를 생성하여, 게이트 스타트 펄스 신호 GS를 마스크하는 것이 가능하게 된다. 또한 바이너리 카운터(24)와 디코더(25 및 26)에서 수평 라인의 수를 카운트하여 수평 라인을 특정하고, 소정의 수평 라인에 대하여 HIGH로 되는 마스크 신호 S6을 생성하여 게이트 스타트 펄스 신호 GS를 마스크하는 것에 대해서는, 제1 실시예와 마찬가지로이다.

이와 같이 제3 실시예에서는 제1 실시예와 제2 실시예를 병용함으로써, 한쪽에 의한 마스크 동작이 실패한 경우에도 다른 쪽에 의한 마스크 동작에 의해 게이트 스타트 펄스 신호 GS를 처리하는 것이 가능하게 된다. 이에 의해, 다양한 타입의 오 동작에 대하여 적절하게 대처할 수 있게 되어, 보다 신뢰성이 있는 동작을 실현할 수 있다.

도 8 및 도 9는 도 7의 게이트 스타트 펄스 제어 회로(20C)의 동작을 설명하기 위한 타이밍도이다. 이 타이밍도는 일례로서, 제1 실시예의 카운트 값에 기초한 마스크 동작이 실패하는 경우에 대해 설명하고 있다.

도 8은, 1 수평 라인의 기간 HIGH일 것인 인에이블 신호 ENAB가, 이상에 의해 LOW로 변화하여 HIGH로 되돌아가는 변화를 1 수평 라인의 기간중에 복수 회 반복하고 있는 모습을 도시한다. 인에이블 신호 ENAB가 정상이고 1 수평 라인 기간 HIGH를 유지하는 경우에는, 신호 S1 내지 S3은 도 3에 도시한 바와 같은 신호 파형으로 되지만, 도 8에서는 인에이블 신호 ENAB의 이상에 의해 전혀 다른 신호 파형으로 되어 있다. 인에이블 신호 ENAB를 1 클럭 늦춤으로써 신호 S1이 얻어진다. 또한 신호 S1을 1 클럭 늦춘 신호의 반전 신호로서, 신호 S2가 얻어진다. 신호 S1과 신호 S2와의 앤드를 취함으로써, 신호 S3이 생성된다. 이 신호 S3은 본래는 각 수평 라인의 선두로부터 1 클럭 지연된 타이밍에서 HIGH로 되는 펄스 신호이지만, 도 8에서는 1개의 수평 라인에 있어서 복수 회 HIGH로 되어 있다.

도 9의 최상단에, 본래는 각 수평 라인의 선두로부터 1 클럭 지연된 타이밍에서 HIGH로 되는 펄스 신호 S3을 도시한다. 1 화면에 대응하는 펄스 신호 S3의 수는 n 이고, 본래는 0번부터 $n-1$ 번의 펄스만이 존재할 것이다. 그러나 도 9에 도시하는 예에서는, 도 8에 도시한 바와 같은 인에이블 신호 ENAB의 이상에 의해, 0번부터 $n+a$ 번까지의 $n+a+1$ 개의 펄스 신호가 발생하고 있다.

펄스 신호 S3을 카운트하고 그 카운트 값을 디코드함으로써, 3번째(0번부터 세기 시작한 경우의 2번)의 펄스의 타이밍에서 HIGH로 되는 신호 S4 및, $n-1$ 번째(0번부터 세기 시작한 경우의 $n-2$ 번)의 펄스의 타이밍에서 HIGH로 되는 신호 S5를 생성한다. 마스크 신호 S6은 신호 S4의 상승에서 HIGH로 되고, 신호 S5의 상승에서 LOW로 되는 신호이다.

이 마스크 신호 S6이 HIGH인 기간, 입력의 게이트 스타트 펄스 신호 GS를 마스크한다. 이 마스크 처리가 제1 실시예의 마스크 처리에 상당한다. 도 9에 도시한 예의 경우, 인에이블 신호 ENAB의 이상에 의해, 신호 S3에는 정상이 아닌 쓸데없는 펄스가 발생하고 있다. 이들 펄스의 존재 때문에, $n+a$ 번의 펄스 신호 S3에서 1 화면의 게이트 라인 구동이 종료하기 전에, $n-2$ 번의 펄스 신호 S3의 타이밍에서 마스크 신호 S6이 종료한다. 따라서, 이 마스크 신호 S6만을 이용했다면, 화살표에 의해 A로서 표시하는 이상한 게이트 스타트 펄스 신호 GS를 마스크하는 것은 가능하더라도, 화살표에 의해 B로서 표시하는 이상한 게이트 스타트 펄스 신호 GS에 대해서는 마스크할 수가 없다.

제3 실시예의 구성에서는, 신호 S3의 3번째의 펄스의 타이밍에서 HIGH로 되는 신호 S4에 따라 상승하고, 시상수 $Cx \cdot Rx$ 에 따른 기간 HIGH를 유지하는 펄스 신호 S11이 생성된다. 이 펄스 신호 S11을 클럭 신호 CLK의 1 클럭 분 늦춰 펄스 신호 S12를 생성하고, 이 펄스 신호 S12를 또 다른 마스크 신호로서 이용하고 있다. 즉, 게이트 스타트 펄스 신호 GS에 대하여, 제1 마스크 신호 S6뿐만 아니라, 제2 마스크 신호 S12도 병용하여 마스크 처리를 실행한다. 이 제2 마스크 신호 S12에 의한 마스크 처리에 의해, 화살표에 의해 B로서 표시하는 이상한 게이트 스타트 펄스 신호 GS를 마스크하는 것이 가능하게 된다. 그 결과, 게이트 스타트 펄스 신호 GST로서 나타난 바와 같이, 1 화면중에 정확하게 1개만 발생하는 게이트 스타트 펄스 신호를 출력할 수 있다.

이상, 본 발명을 실시예에 기초하여 설명했지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 특허 청구의 범위에 기재된 범위 내에서 다양한 변형이 가능하다.

발명의 효과

본 발명의 적어도 한 실시예에 따르면, 복수의 게이트 버스 라인의 순차 구동을 개시하는 타이밍 신호인 게이트 스타트 펄스 신호를 게이트 드라이버에 공급하면, 이로부터 소정의 기간 내는 게이트 스타트 펄스 신호를 마스크하기 때문에, 이상에 의해 다음 게이트 스타트 펄스 신호가 생성되더라도, 이상한 게이트 스타트 펄스 신호가 게이트 드라이버에 공급되는 일은 없다. 따라서, 1 화면 표시 기간 내에서 복수의 게이트 스타트 펄스 신호가 발생해도, 예를 들면 1 화면 1개의 게이트 스타트 펄스 신호를 게이트 드라이버에 공급할 수 있다. 또한 게이트 스타트 펄스 신호의 펄스 폭이 변화해도, 소정의 타이밍에서 마스크 처리를 개시함으로써, 게이트 스타트 펄스 신호를 고정의 펄스 폭으로 정형할 수 있다. 이에 의해, 게이트 스타트 펄스에 이상이 발생한 경우에, 전원 및 회로가 과부하 상태로 되는 것을 방지하는 것이 가능해진다.

도면의 간단한 설명

도 1은 종래의 액정 표시 장치의 구성을 도시하는 도면.

도 2는 본 발명에 따른 게이트 스타트 펄스 제어 회로의 제1 실시예의 구성 일례를 도시하는 도면.

도 3은 도 2의 게이트 스타트 펄스 제어 회로의 동작을 설명하기 위한 타이밍도.

도 4는 도 2의 게이트 스타트 펄스 제어 회로의 동작을 설명하기 위한 타이밍도.

도 5는 본 발명에 따른 게이트 스타트 펄스 제어 회로의 제2 실시예의 구성 일례를 도시하는 도면.

도 6은 도 5의 게이트 스타트 펄스 제어 회로의 동작을 설명하기 위한 타이밍도.

도 7은 본 발명에 따른 게이트 스타트 펄스 제어 회로의 제3 실시예의 구성 일례를 도시하는 도면.

도 8은 도 7의 게이트 스타트 펄스 제어 회로의 동작을 설명하기 위한 타이밍도.

도 9는 도 7의 게이트 스타트 펄스 제어 회로의 동작을 설명하기 위한 타이밍도.

<도면의 주요부분에 대한 부호의 설명>

10 : LCD 패널

11 : 제어 회로

12 : 게이트 드라이버

13 : 데이터 드라이버

14 : 인버터 회로

15 : 백 라이트

21, 22, 32 : D 플립플롭

23, 28, 33 : AND 게이트

24 : 바이너리 카운터

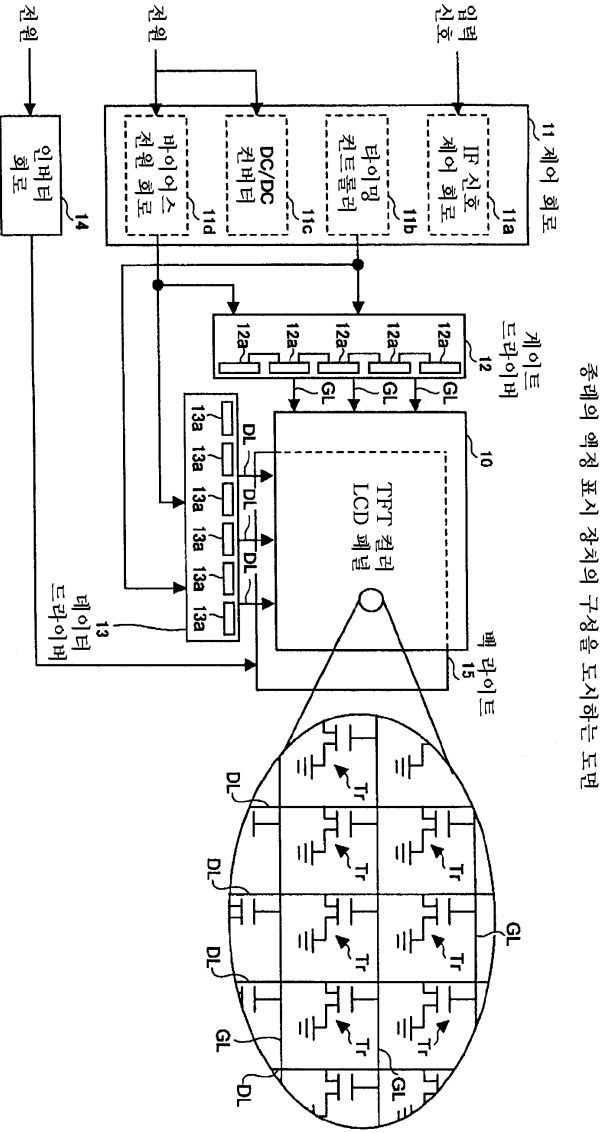
25, 26 : 디코더

27 : JK 플립플롭

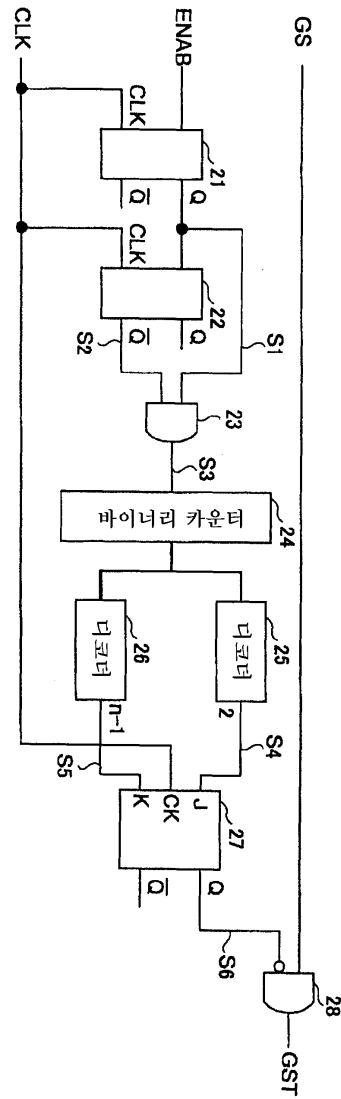
31 : 원쇼트 멀티바이트레이터

도면

도면1



도면2

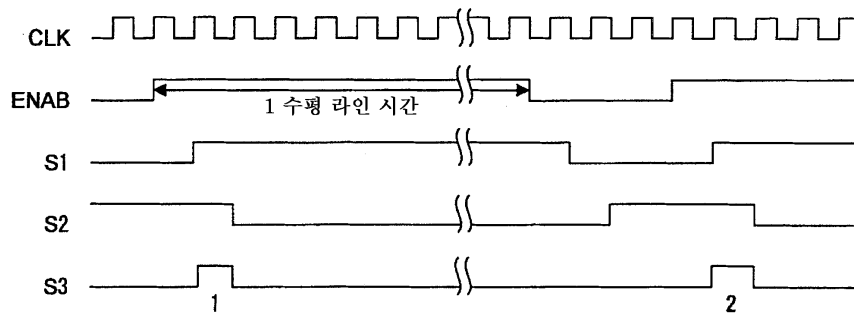


본 발명에 따른 게이트 스타트 펄스 제어 회로의 제1 실시예의 구성 일례를 도시하는 도면

20

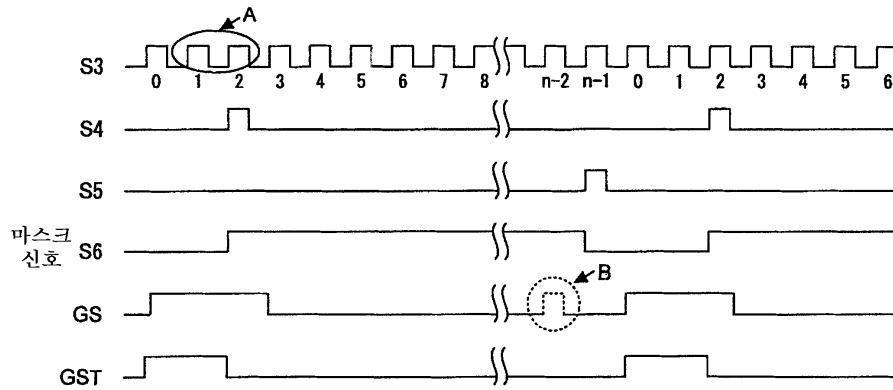
도면3

도 2의 게이트 스타트 펄스 제어 회로의 동작을 설명하기 위한 타이밍도



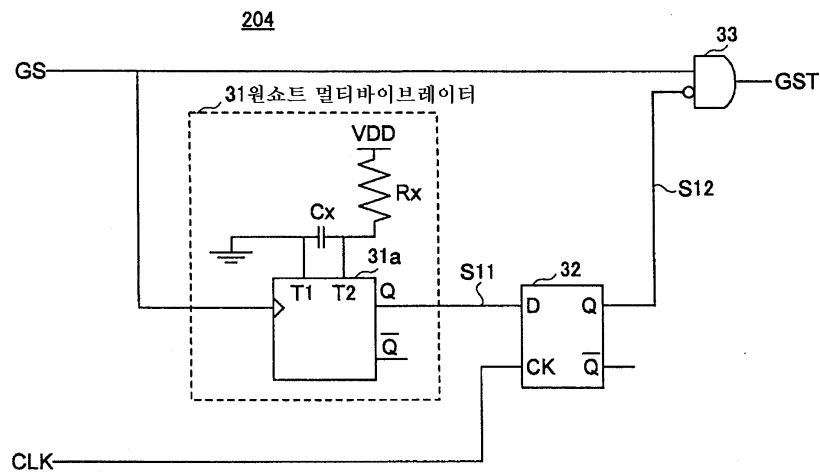
도면4

도 2의 게이트 스타트 펄스 제어 회로의 동작을 설명하기 위한 타이밍도



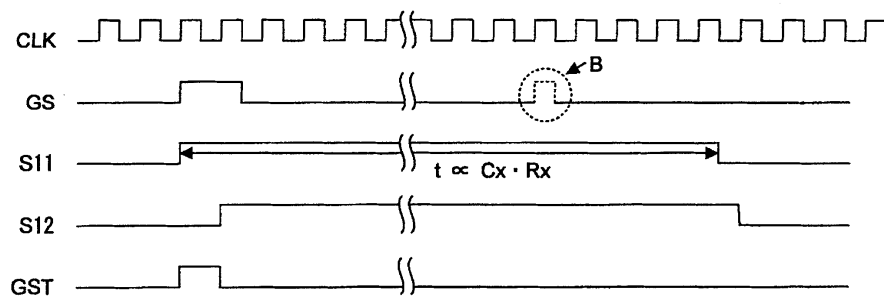
도면5

본 발명에 따른 게이트 스타트 펄스 제어 회로의 제2 실시예의 구성 일례를 도시하는 도면

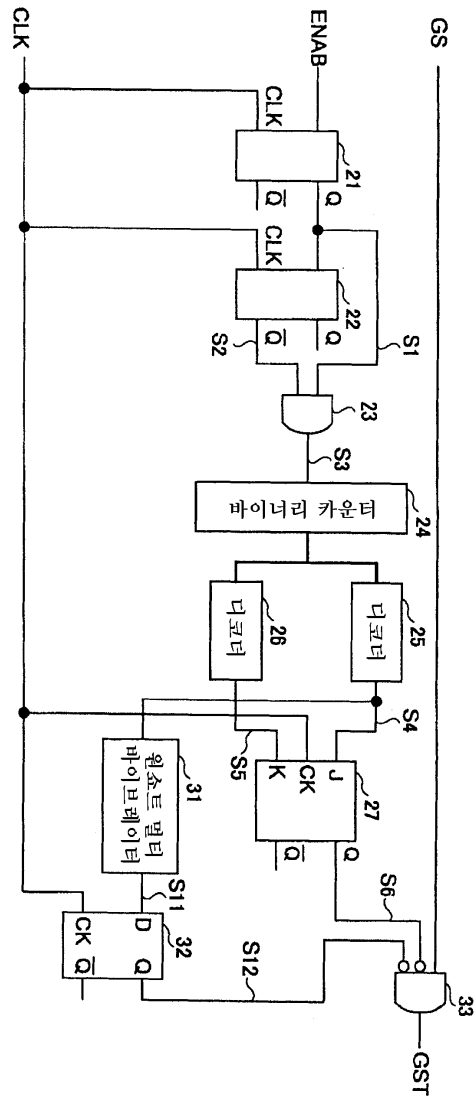


도면6

도 5의 게이트 스타트 펄스 제어 회로의 동작을 설명하기 위한 타이밍도



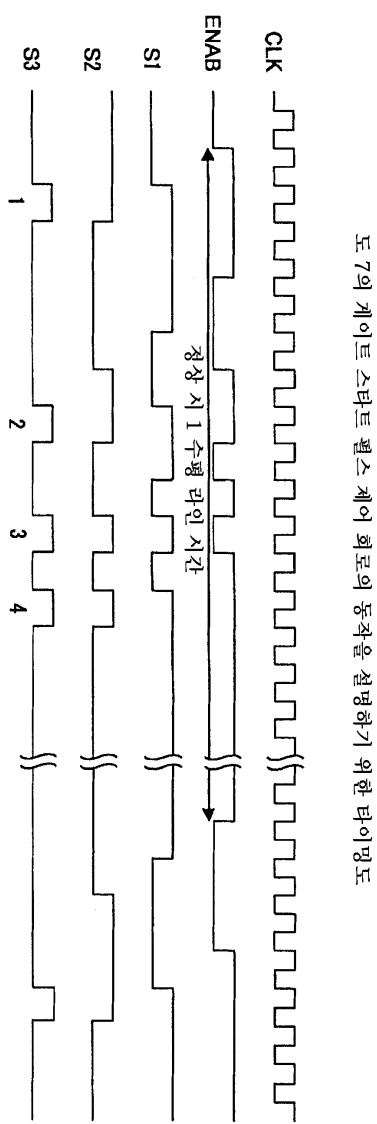
도면7



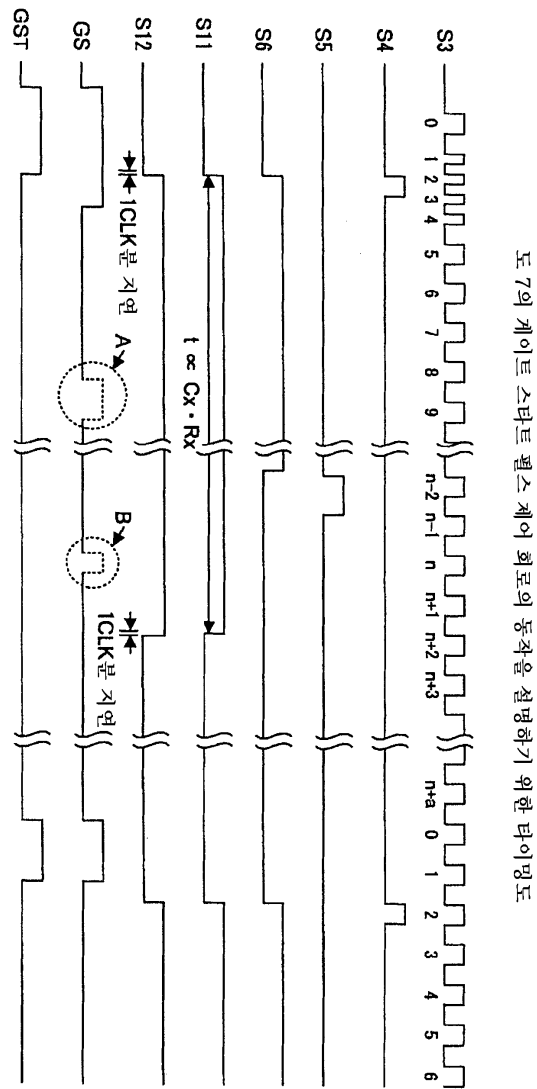
본 발명에 따른 게이트 스타트 펄스 제어 회로의 제3 실시예의 구성 일례를 도시하는 도면

200

도면8



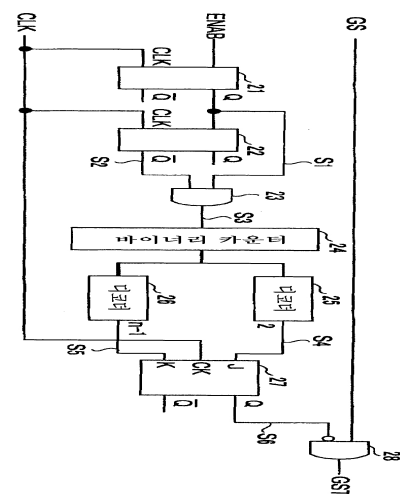
도면9



专利名称(译)	防止液晶显示装置和液晶显示装置发生故障的方法		
公开(公告)号	KR100694728B1	公开(公告)日	2007-03-15
申请号	KR1020050017753	申请日	2005-03-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	HONDA KENKO 혼다겐코 HIRAKI KATSUYOSHI 히라키가쓰요시 FURUKOSHI YASUTAKE 후루코시아스따께		
发明人	혼다겐코 히라키가쓰요시 후루코시아스따께		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3677		
代理人(译)	CHANG, SOO KIL CHU, 晟敏		
优先权	2004301788 2004-10-15 JP		
其他公开文献	KR1020060043380A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种液晶显示器，其防止在栅极起始脉冲中产生或多于一的情况下电源和电路由过载状态组成。液晶显示器各自包括矩阵形状，该矩阵形状是定时控制电路，其中预定的内部周期在提供定时信号之后屏蔽定时信号，该定时信号开始多个栅极总线的功能，共同连接到门像素，并且晶体管并排布置在同一行和多条数据总线中，共同连接到并排布置在同一列的晶体管的沟道的一端和栅极驱动器，其依次操作多个栅极总线和多个栅极总线到包括晶体管的多个栅极驱动器。栅极起始脉冲，栅极总线，栅极驱动器，定时信号，掩模，使能信号，时钟。



본 발명은 게이트 스크린스 게이트 회로에
제1/제2 구동 신호를 인가하는 도면