



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|---|-------------------------------------|--|
| (51) 。 Int. Cl. G02F 1/133 (2006.01) | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2007년02월12일 10-0681776 2007년02월06일 |
|---|-------------------------------------|--|

| | | | |
|----------------------------------|---|------------------------|--------------------------------|
| (21) 출원번호 (22) 출원일자 심사청구일자 | 10-2000-0042026 2000년07월21일 2004년08월20일 | (65) 공개번호 (43) 공개일자 | 10-2001-0015404 2001년02월26일 |
|----------------------------------|---|------------------------|--------------------------------|

(30) 우선권주장 99-206822 1999년07월21일 일본(JP)

(73) 특허권자 샤프 가부시킴가이샤
 일본 오사카후 오사카시 아베노구 나가이계조 22방 22고

(72) 발명자 장 홍용
 일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1 -1 후지
 쥘 가부시킴가이샤 내

 다카하라 가즈히로
 일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1 -1 후지
 쥘 가부시킴가이샤 내

(74) 대리인 문두현
 문기상

(56) 선행기술조사문헌
 JP 05-333317 A JP 08-030235 A
 JP 08-137443 A KR 10-1999-0009631 A
 * 심사관에 의하여 인용된 문헌

심사관 : 김정훈

전체 청구항 수 : 총 3 항

(54) 액정 표시 장치

(57) 요약

본 발명은 소형화, 저비용화 및 고품질인 액정 표시 등이 가능한 액정 표시 장치를 제공하는 것을 목적으로 한다.

본 발명에 의한 액정 표시 장치(50)가 구비하는 데이터 드라이버(52)는 N개의 디지털 드라이버와, N×k조의 공통 신호선과, 내부에 소정수의 선택 스위치를 포함하는 N×k×n조의 스위치 블록을 갖는다. 액정 표시 장치(50)의 1수평 주사 기간(Th)은 타이밍 블록(BL1~BLn)에 의해 p 등분되고 있다. 그리고, 예를 들면 1수평 주사 기간(Th) 내의 최초의 타이밍 블록(BL1)에서는 스위치 블록(A11~Ak1), 스위치 블록(B11~Bk1) 및 스위치 블록(N11~Nk1) 등의 합계N×k개의 스위치 블록이 선택되고, 선택된 스위치 블록 내의 선택 스위치(60)를 통해서 표시 매트릭스(54) 내의 화소 셀에 표시 신호(Vs)가 공급된다.

대표도

도 3

특허청구의 범위

청구항 1.

표시 매트릭스 내에서, 게이트 드라이버로부터 공급된 주사 신호에 의해 활성화된 화소 셀에 데이터 드라이버로부터 표시 신호를 주어 액정 표시를 하는 액정 표시 장치로서,

상기 데이터 드라이버는

N개의 디지털 드라이버와,

상기 디지털 드라이버마다 k조씩 접속된 공통 신호선과,

상기 공통 신호선마다 n조씩 설치되고, 각 조 내에 상기 공통 신호선의 개수 m과 동일한 수의 선택 스위치를 포함하는 스위치 블록을 구비하며,

상기 N, k, n, m은 정수이며, 상기 k는 복수인 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

1수평 주사 기간은 p회의 타이밍 기간으로 되고, 각 타이밍 기간에서, 각 공통 신호선에 설치된 n조의 스위치 블록 중의 어느 1 조의 스위치 블록이 제어 신호에 의해 차례로 선택되고,

상기 디지털 드라이버는 선택된 스위치 블록 내의 선택 스위치에 접속된 상기 화소 셀에 표시 신호를 공급하며,

상기 p는 정수인 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 데이터 드라이버는 제1~제3계층을 갖고, 상기 디지털 드라이버는 상기 제1계층 내에서 일렬로 배열되어 있고, 상기 공통 신호선은 상기 제2계층 내에서 일렬로 배열되어 있고, 상기 스위치 블록은 상기 제3계층 내에서 일렬로 배열되어 있는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히, 대형이고 고상세한 액정 표시를 할 수 있는 주변 회로 일체형의 액정 표시 장치에 관한 것이다.

근년, 액정 표시 장치에 대한 대형 고상세화 및 소형 상세화의 요청에 따라서, 주변 회로와 액정 표시 표시부를 일체화할 수 있는 p-Si TFT(poly-Silicon Thin Film Transistor)를 이용한 액정 표시 장치가 주목되고 있다.

복수의 블록으로 분할된 액정 표시 영역에 대해서, 1블록씩 차례로 표시 신호의 기입이 행하여지는 액정 표시 장치가 있다. 이하 이와 같은 구동 방식을 단순 블록 순차 방식이라 칭한다.

도1은 단순 블록 순차 방식으로 구동되는 액정 표시 장치의 일례인 액정 표시 장치(10)의 구성도이다.

도1에 나타낸 바와 같이, 액정 표시 장치(10)는 디지털 드라이버(LSI12), 공통 신호선(D1~Dn), 아날로그 스위치(14), 블록 제어선(BL), 게이트 드라이버(16), 표시 매트릭스(18) 등을 구비하고 있다.

디지털 드라이버(LSI12), 공통 신호선(D1~Dn), 아날로그 스위치(14) 등은 데이터 드라이버(19)를 구성하고 있다.

표시 매트릭스(18)는 N개의 블록(B1~BN)으로 분할되어 있고, 각 블록에는 매트릭스 상으로 주사선(20)과 신호선(22)이 배열되어 있다. 그리고 주사선(20)과 신호선(22)의 각 교점에는 화소 셀(24)이 설치되어 있다.

복수의 아날로그 스위치(14)는 각 블록(B1~BN)마다 n개 배치되어 있다. 아날로그 스위치(14)와 공통 신호선(D1~Dn)은 인출선(31)을 통해서 접속되어 있다. 각 아날로그 스위치(14)에는 또 블록 제어선(BL)이 접속되어 있다. 아날로그 스위치(14)는 블록 제어선(BL)을 통해서 블록 제어 신호(BL1~BLN)가 주어지면 온 상태가 된다.

디지털 드라이버(LSI12)는 도시되지 않은 외부의 데이터 공급장치로부터 공급되는 디지털 신호에 의거하여 표시 신호(Vs)를 생성한다. 그리고 디지털 드라이버(LSI12)는 공통 신호선(D1~Dn)을 통해서 시분할로 각 블록(B1~BN)에 표시 신호(Vs)를 공급한다.

액정 표시 장치(10)의 구동시에는 게이트 드라이버(16)로부터 주어지는 주사 신호(Vg)에 의해 열마다 화소 셀(24)이 차례로 활성화된다. 액정 표시 장치(10)에서 1수평 주사 기간(Th)은 N회의 블록 제어 기간(Tb)으로 된다. 제1 블록 제어 기간(Tb)에서는 블록 제어 신호(BL1)에 의해 블록(B1) 내의 신호선(22)에 접속된 n개의 아날로그 스위치(14)가 온 상태로 되고, 다음의 제2 블록 제어 기간(Tb)에서는 블록 제어 신호(BL2)에 의해 블록(B1)의 부근의 블록(B2) 내의 신호선(22)에 접속된 n개의 아날로그 스위치(14)가 온 상태로 된다. 또 1수평 주사 기간(Th)에서의 제N(마지막) 블록 제어 기간(Tb)에서는 블록 제어 신호(BLN)에 의해 블록(BN) 내의 신호선(22)에 접속된 n개의 아날로그 스위치(14)가 온 상태로 된다. 그리고 디지털 드라이버(LSI12)에 의해 생성된 표시 신호(Vs)가 온 상태의 아날로그 스위치(14)를 통해서 활성화된 화소 셀(24) 내에 입력됨으로써 액정 표시가 행해진다.

도2는 액정 표시 장치(10)가 구비하는 데이터 드라이버(19) 및 표시 매트릭스(18)의 구성을 설명하기 위한 블록도이다. 여기서는 도1의 구성에 있어서, n=384, N=10의 경우, 즉 표시 매트릭스(18)가 10블록으로 분할되어 있고, 그 수평 화소수가 384×10=3840비트인 경우의 구성예를 나타낸다.

도2에 나타낸 바와 같이, 데이터 드라이버(19)는 디지털 드라이버(LSI12), 공통 신호선(D1~D384), 아날로그 스위치(14) 등을 포함한다. 디지털 드라이버(LSI12)의 출력수는 384비트이고, 각각 384개의 공통 신호선(D1~D384)중, 대응하는 1개에 접속되어 있다. 아날로그 스위치(14)는 각 블록(B1~B10)용으로 384개씩 설치되어 있다. 공통 신호선(D1~D384)은 각각 블록(B1~B10) 내에서 대응하는 1개의 아날로그 스위치(14)에 접속되어 있다.

발명이 이루고자 하는 기술적 과제

일반적으로, 액정 표시 영역의 대형화에 동반해 1수평 주사 기간(Th)은 짧아진다. 예를 들면 화소수가 640×3(RGB)×480의 VGA에서는 1수평 주사 기간(Th)은 약 34.6μs이고, 화소수가 2048×3×1536의 QXGA에서는 1수평 주사 기간(Th)은 약 10.8μs이다.

상기의 액정 표시 장치(10)에서는 1블록당의 신호 기입 시간, 즉 블록 제어 기간(Tb)은 1수평 주사 기간(Th)/블록수N으로 결정되므로, 액정 표시 영역의 대형화에 동반해 1수평 주사 기간(Th)이 감소되면, 블록 제어 기간(Tb)도 감소해 버린다.

한편, 블록 제어 기간(T_b)을 충분히 확보하기 위해서, 액정 표시 장치(10)의 각 블록폭(비트수)을 크게 하여 블록수 N 을 저감시키면, 이하와 같은 문제가 발생된다.

먼저 도1에 나타낸 바와 같이, 액정 표시 장치(10)에서는 1블록당의 데이터 폭(비트수)은 공통 신호선($D_1 \sim D_n$)의 개수 n 과 동일하기 때문에, 데이터 폭을 크게 함으로써 공통 신호선($D_1 \sim D_n$)의 개수도 증가하고, 그 배선폭이 확대된다. 그 결과, 액정 표시 장치(10)의 패널 테두리 면적이 넓어져 버린다.

예를 들면 1수평 화소수가 3072비트, 1수평 주사 기간(T_h)이 약 $22\mu s$ 의 XGA패널을, 각각이 384비트의 데이터 폭을 갖는 8개의 블록으로 구성하면, 블록 제어 기간(T_b)은 $2.0\mu s$ 이상이 된다. $2.0\mu s$ 의 블록 제어 기간(T_b)을 1수평 화소수가 6144비트, 1수평 주사 기간(T_h)이 약 $11\mu s$ 의 QXGA패널에서 실현하려면, 각각이 1536비트의 데이터 폭을 갖는 4블록 구성으로 할 필요가 있다. 이 경우 배선 피치를 $16\mu m$ 로 하면, XGA패널의 공통 신호선($D_1 \sim D_{384}$)의 배선폭은 $16\mu m \times 384$ 비트 = $6.14mm$ 가 되는데 대하여, QXGA 패널의 공통 신호선($D_1 \sim D_{1536}$)의 배선폭은 $16\mu m \times 1536$ 비트 = $24.6mm$ 가 되어 매우 커진다.

삭제

또 액정 표시 장치(10)에 외부 장착된 디지털 드라이버(LSI12)가 사용되는 경우, 공통 신호선($D_1 \sim D_n$)의 폭의 확대에 따라서 디지털 드라이버(LSI12)의 출력수가 커지므로, 매우 고가의 디지털 드라이버(LSI12)가 필요하게 되고, 제조 공정의 수율도 저하해 버린다.

또 데이터 폭을 넓게 함으로써, 도1에 나타낸 공통 신호선($D_1 \sim D_n$)과 인출선(31)과의 교차점이 증가하기 때문에, 공통 신호선($D_1 \sim D_n$)의 용량성 부하가 커지고, 그 결과, 시정수가 커져 버린다. 예를 들면 QXGA패널에서는 1개의 공통 신호선이 6144개소 이상의 교차점을 갖는 경우가 있다. 이 경우, 1교차점 당의 용량성 부하치를 $4fF$ 로 하면 전용량은 약 $25pF$ 나 된다.

또한 도1에 나타낸 바와 같이, 액정 표시 장치(10)에서는 공통 신호선($D_1 \sim D_n$)의 길이가 표시 매트릭스(18)의 옆쪽과 거의 동일하다. 이 때문에, 표시 매트릭스(18)의 대형화에 동반해 공통 신호선($D_1 \sim D_n$)이 길어지고, 그 저항치의 증대에 따라서도 시정수가 증대되어 버리는 문제가 있었다.

본 발명은 상기의 점을 감안해 된 것으로, 소형화, 저코스트화 및 고품질인 액정 표시 등이 가능한 액정 표시 장치를 제공하는 것을 목적으로 한다.

발명의 구성

상기의 목적은 청구항 1에 기재된 바와 같이, 표시 매트릭스 내에서, 게이트 드라이버로부터 공급된 주사 신호에 의해 활성화된 화소 셀에 데이터 드라이버로부터 표시 신호를 주어 액정 표시를 하는 액정 표시 장치로서, 상기 데이터 드라이버는 N 개의 디지털 드라이버와, 상기 디지털 드라이버마다 k 조씩 접속된 공통 신호선과, 상기 공통 신호선마다 n 조씩 설치되고, 각 조 내에 상기 공통 신호선의 개수 m 과 동일한 수의 선택 스위치를 포함하는 스위치 블록을 갖는 액정 표시 장치에 의해 달성된다. 여기서, 상기 N, k, n, m 은 정수이며, 상기 k 는 복수이다.

이와 같은 액정 표시 장치에서는 각 디지털 드라이버에 k 조의 공통 신호선이 접속되어 있으므로, 각 공통 신호선 내의 개수 m 은 종래의 액정 표시 장치에 비교해 $1/k$ 이어도 좋다. 이 때문에, 각 공통 신호선의 배선폭도 $1/k$ 로 할 수 있다. 이것은 액정 표시 장치의 패널 테두리 면적의 축소를 가능하게 한다.

또 본 발명의 액정 표시 장치에서는 각 공통 신호선의 개수 m 이 종래의 액정 표시 장치에 비교해 $1/k$ 로 되기 때문에, 공통 신호선을 선택 스위치에 접속하기 위한 인출선과 공통 신호선과의 교차수도 $1/k$ 로 된다. 이 때문에, 각 공통 신호선의 교차점 용량이 감소한다.

또 본 발명에 의하면, 데이터 드라이버 내에 출력수가 적은 복수의 디지털 드라이버를 배설하는 구성으로 함으로써 디지털 드라이버의 단가를 내리는 것도 가능해진다.

상기의 액정 표시 장치는 청구항2에 기재하는 바와 같이, 1수평 주사 기간은 p회의 타이밍 기간으로 되고, 각 타이밍 기간에 있어서, 각 공통 신호선에 설치된 n조의 스위치 블록 중의 어느 1조의 스위치 블록이 제어 신호에 의해 차례로 선택되고, 상기 디지털 드라이버는 선택된 스위치 블록 내의 선택 스위치에 접속된 상기 화소 셀에 표시 신호를 공급하는 구성으로 해도 좋다. 여기서, 상기 p는 정수이다.

이와 같은 액정 표시 장치에서는 각 타이밍 기간에 있어서, 각 공통 신호선에 관한 복수의 스위치 블록이 선택되므로, 공통 신호선의 배선폭을 넓게 하여 그 용량성 부하와 저항성 부하를 증대시키는 일이 없이, 전체로서 넓은 데이터 폭으로 표시 신호를 기입할 수 있다. 데이터 폭과 신호 기입 시간은 디지털 드라이버의 수N를 늘리는 것으로 더욱 확대 가능하다.

상기의 데이터 드라이버는 청구항 3에 기재한 바와 같이, 제1~제3계층을 갖고, 상기 디지털 드라이버는 상기 제1계층 내에서 일렬로 배열되어 있고, 상기 공통 신호선은 상기 제2계층 내에서 일렬로 배열되어 있고, 상기 스위치 블록은 상기 제3계층 내에서 일렬로 배열된 구성으로 하여도 좋다.

데이터 드라이버가 구비하는 k조의 공통 신호선의 수평 방향의 길이를 종래예에 비교해 1/k로 하여 일렬로 배열한 경우, 각 공통 신호선의 배선 저항이 1/k로 감소한다. 본 발명의 액정 표시 장치에서는 종래예에 비교해 각 공통 신호선의 교차점 용량과 배선 저항치가 감소하므로, 그 RC시정수도 대폭적으로 감소한다. 따라서 본 발명에 의하면, 시정수가 개선됨으로써 액정 표시의 화질의 향상이 실현된다.

상기의 디지털 드라이버는 본 발명에 따라, TAB 실장된 LSI칩이고, 상기 스위치 블록에 상기 제어 신호를 공급하기 위한 n개의 스위치 블록 제어선을 구비한 구성으로 하여도 좋다. 또 상기 게이트 드라이버에 대해 가장 가깝게 설치된 디지털 드라이버는 본 발명에 따라, 상기 게이트 드라이버에 제어 신호를 공급하기 위한 게이트 드라이버 제어선을 구비한 구성으로 해도 좋다.

상기의 디지털 드라이버는 본 발명에 따라, COG 또는 COF 실장된 LSI칩으로 하여도 좋다.

또 상기의 디지털 드라이버는 본 발명에 따라, p-Si TFT에 의해 상기 표시 매트릭스와 일체 형성된 패널 내장형 회로로 하여도 좋다.

디지털 드라이버를 회로 규모의 소형화가 용이한 p-Si TFT를 이용한 패널 내장형 회로로 한 경우, 소비 전력의 저감화가 가능해진다. 또 디지털 드라이버를 구성하는 TFT수도 적어지기 때문에, 제조 공정의 수율이 향상한다. 또한 본 발명에 의하면, 디지털 드라이버의 출력 단자 피치를 확대할 수 있다.

상기의 데이터 드라이버는 본 발명에 따라, 또한 p-Si TFT에 의해 상기 표시 매트릭스와 일체 형성되고, 상기 스위치 블록에 소정의 타이밍으로 제어 신호를 주는 블록 선택 회로를 갖는 구성으로 하여도 좋다. 상기의 선택 스위치는 N채널 트랜지스터를 이용한 NMOS형과, P채널 트랜지스터를 이용한 PMOS형과, N 및 P채널 트랜지스터를 이용한 CMOS형 중의 어느 형의 아날로그 스위치로 하여도 좋다.

본 발명의 액정 표시 장치가 구비하는 표시 매트릭스의 수평 화소 셀수는 본 발명에 따라, 정수 200, 240, 256, 300, 384 중의 어느 정수배로 하여도 좋다.

상기의 데이터 드라이버는 상기 표시 매트릭스를 사이에 대향해서 2개 설치되어 있고, 상기 2개의 데이터 드라이버는 상기 표시 매트릭스 내에서 서로 다른 영역의 화소 셀에 표시 신호를 공급하는 구성으로 하여도 좋다.

또 상기의 데이터 드라이버는 본 발명에 따라, 상기 표시 매트릭스를 사이에 대향해 2개 설치되어 있고, 한쪽의 데이터 드라이버는 상기 표시 매트릭스 내에서 홀수열에 배열된 신호선에 접속된 화소 셀에 표시 신호를 공급하고, 다른 쪽의 데이터 드라이버는 상기 표시 매트릭스 내에서 짝수열로 배열된 신호선에 접속된 화소 셀에 표시 신호를 공급하는 구성으로 하여도 좋다.

상기의 게이트 드라이버는 본 발명에 따라, 상기 표시 매트릭스를 사이에 대향해 2개 설치되어 있고, 상기 2개의 게이트 드라이버는 상기 표시 매트릭스 내에서 서로 다른 화소 셀에 주사 신호를 공급하는 구성으로 하여도 좋다.

또 본 발명의 액정 표시 장치는 본 발명에 따라, 상기 표시 매트릭스 내에 배열된 신호선의 결함을 수복하는 리페어 회로를 구비한 구성으로 하여도 좋다.

또 본 발명의 액정 표시 장치는 본 발명에 따라, 멀티 도메인 수직 배향 방식의 액정 표시를 하도록 해도 좋다.

또한 본 발명의 액정 표시 장치는 본 발명에 따라, IPS방식의 액정 표시를 하도록 해도 좋다.

(실시예)

본 발명의 원리는 데이터 드라이버 내에 N개의 디지털 드라이버와, $N \times k$ 조의 공통 신호선과, 내부에 소정수의 선택 스위치를 포함하는 $N \times k \times n$ 조의 스위치 블록을 배설하고, 각 공통 신호선에 설치된 n조의 스위치 블록 중에서 소정의 타이밍으로 차례로 선택되는 스위치 블록 내의 선택 스위치를 통해서 디지털 드라이버로부터 화소 셀에 표시 신호를 공급하는 점에 있다.

먼저 도3, 도4 및 표1을 이용하여, 본 발명의 기본 구성을 설명한다. 도3은 본 발명의 기본 구성을 설명하기 위한 도면이다.

도3에 나타낸 바와 같이, 본 발명이 적용된 액정 표시 장치(50)는 데이터 드라이버(52)와, 표시 매트릭스(54) 등을 구비하고 있다. 데이터 드라이버(52)는 제1계층(DB)과 제2계층(CB)과 제3계층(SB)의 3개의 계층을 포함하는 계층 구조로 되어 있다.

여기서 N, k, n을 정수로 하면, 제1계층(DB)에는 N개의 디지털 드라이버 IC(이하 드라이버라 칭함)(A, B, ...)가 설치되어 있고, 제2계층(CB)에는 $N \times k$ 조의 공통 신호선(A1, A2, ...)이 설치되어 있고, 제3계층(SB)에는 $N \times k \times n$ 조의 스위치 블록(A11, A12, ...)이 설치되어 있다.

드라이버(A, B...)는 외부가 도시되지 않은 제어 회로로부터 공급되는 래치 신호(L)에 의해 제어된다. 또 드라이버(A, B...)에는 각각의 데이터 입력 단자(a, b...)를 통해서 외부의 도시되지 않은 데이터 공급 장치로부터 액정 표시용의 데이터가 공급된다.

제1계층(DB) 내의 N개의 드라이버(A, B...)는 각각 제2계층(CB) 내의 대응하는 k조의 공통 신호선(A1, A2, ...)에 접속되어 있다. 예를 들면 드라이버(A)는 공통 신호선(A1~Ak)에 접속되어 있고, 드라이버(B)는 공통 신호선(B1~Bk)에 접속되어 있다. 또 $N \times k$ 조의 공통 신호선(A1, A2, ...)은 각각 제3계층(SB) 내의 대응하는 n조의 스위치 블록(A11, A12, ...)에 접속되어 있다. 예를 들면 공통 신호선(A1)은 스위치 블록(A11~A1n)에 접속되어 있고, 공통 신호선(A2)은 스위치 블록(A21~A2n)에 접속되어 있고, 공통 신호선(Ak)은 스위치 블록(Ak1~Akn)에 접속되어 있다.

또한 스위치 블록(A11, A12, ...)은 후술하는 바와 같이 각각 소정수의 선택 스위치(60)로 구성되어 있다. 또 선택 스위치(60)는 각각 표시 매트릭스(54) 내의 신호선(56)에 접속되어 있다. 표시 매트릭스(54)는 스위치 블록(A11, A12, ...)에 대응해 $N \times k \times n$ 개의 블록으로 분할되어 있다.

도4는 액정 표시 장치(50)의 드라이버(B)에 관한 구성을 나타내는 도면이다.

도4에 나타낸 바와 같이, 드라이버(B)는 공통 신호선(B1~Bk)에 접속되어 있고, 소정의 타이밍으로 공통 신호선(B1~Bk)에 표시 신호(Vs)를 공급한다. 공통 신호선(B1~Bk)은 각각 m개의 신호선(D1~Dm)으로 구성되어 있다. 또 각 스위치 블록(B11, B12, ..., Bkn)은 각각 공통 신호선(B1~Bk)을 구성하는 신호선(D1~Dm)의 개수 m과 동수의 선택 스위치(60)를 구비하고 있다. 각 선택 스위치(60)는 대응하는 공통 신호선(B1~Bk) 내의 신호선(D1~Dm)중, 어느 1개에 인출선(61)을 통해서 접속되어 있다. 예를 들면 스위치 블록(B11~B1n) 내의 선택 스위치(60)는 공통 신호선(B1) 내의 신호선(D1~Dm)의 어느 1개에 접속되어 있고, 스위치 블록(B21~B2n) 내의 선택 스위치(60)는 공통 신호선(B2) 내의 신호선(D1~Dm)의 어느 1개에 접속되어 있다. 또 동일한 스위치 블록(B11, B12, ..., Bkn) 내의 선택 스위치(60)는 서로 다른 신호선(D1~Dm)에 접속되어 있다.

선택 스위치(60)는 또한 n개의 제어선(스위치 블록 제어선)(BL)의 어느 1개에 접속되어 있고, 제어선(BL)을 통해서 외부의 제어 회로로부터 주어지는 제어 신호(BL1~BLn)에 의해 온·오프 제어된다. 예를 들면 스위치 블록(B11, B21, ..., Bk1) 내의 선택 스위치(60)는 제어 신호(BL1)에 의해 제어되고, 스위치 블록(B12, B22, ..., Bk2) 내의 선택 스위치(60)는 제어 신호(BL2)에 의해 제어되고, 스위치 블록(B1n, B2n, ..., Bkn) 내의 선택 스위치(60)는 제어 신호(BLn)에 의해 제어된다.

표시 매트릭스(54)는 복수의 주사선(62)과, 선택 스위치(60)와 동수의 $N \times k \times n \times m$ 개의 신호선(56)을 구비하고 있다. 각 주사선(62)에는 도시되지 않은 게이트 드라이버가 접속되어 있고, 각 신호선(56)에는 대응하는 선택 스위치(60)가 접속되어 있다. 또 주사선(62)과 신호선(56)과의 각 교점에는 화소 셀(64)이 배설되어 있다. 화소 셀(64)은 하이 레벨의 주사 신호(V_g)가 공급됨으로써 열단위로 차례로 활성화된다.

또한 액정 표시 장치(50)가 구비하는 드라이버(B) 이외의 드라이버에 관한 구성도 도4에 나타난 것과 마찬가지로, 그 설명을 생략한다.

계속해서 도3, 도4 및 표1을 이용하여, 액정 표시 장치(50)의 동작을 설명한다. 표1은 액정 표시 장치(50)의 1수평 주사 기간(Th)에서의 스위치 블록의 제어 타이밍을 나타낸다.

표 1

| 문리블록 (TB) 타이밍 블록 | A (DB) | | | B (DB) | | | ... | N (DB) | | | |
|------------------------|---------------|-------------|-----|---------------|-------------|-----|-------------|---------------|-------------|-----|-------------|
| | A1~Ak (CB) | | | B1~Bk (CB) | | | ... | N1~Nk (CB) | | | |
| 일 수 평 주사 기간 (Th) | BL1 | A11 (SB) | ... | Ak1 (SB) | B11 (SB) | ... | Bk1 (SB) | ... | N11 (SB) | ... | Nk1 (SB) |
| | BL2 | A12 | ... | Ak2 | B12 | ... | Bk2 | ... | N12 | ... | Nk2 |
| | BL3 | A13 | ... | Ak3 | B13 | ... | Bk3 | ... | N13 | ... | Nk3 |
| | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... |
| | BLn-2 | A1n-2 | ... | Akn-2 | B1n-2 | ... | Bkn-2 | ... | N1n-2 | ... | Nkn-2 |
| | BLn-1 | A1n-1 | ... | Akn-1 | B1n-1 | ... | Bkn-1 | ... | N1n-1 | ... | Nkn-1 |
| | BLn | A1n | ... | Akn | B1n | ... | Bkn | ... | N1n | ... | Nkn |

액정 표시 장치(50)에서는 1수평 주사 기간(Th) 사이에 제어 신호(BL1~BLn)가 차례로 공급됨으로써, 대응하는 스위치 블록(A11, A12, ...) 내의 선택 스위치(60)가 온 상태로 된다. 이하 설명의 편의상, 제어 신호(BL1~BLn)가 공급되고 있는 타이밍 기간을 각각 타이밍 블록(BL1~BLn)으로 한다. 즉 1수평 주사 기간(Th)은 타이밍블록(BL1~BLn)에 의해 p 등분되고 있다.

표1에 나타난 바와 같이, 1수평 주사 기간(Th) 내의 최초의 타이밍 블록(BL1)에서는 스위치 블록(A11~Ak1), 스위치 블록(B11~Bk1) 및 스위치 블록(N11~Nk1) 등의 합계 $N \times k$ 개의 스위치 블록이 선택되고, 선택된 스위치 블록 내의 선택 스위치(60)가 제어 신호(BL1)에 의해 온으로 된다.

타이밍 블록(BL1)에 계속되는 타이밍 블록(BL2)에서는 스위치 블록(A12~Ak2), 스위치 블록(B12~Bk2) 및 스위치 블록(N12~Nk2) 등의 합계 $N \times k$ 개의 스위치 블록이 선택되고, 선택된 스위치 블록 내의 선택 스위치(60)가 제어 신호(BL2)에 의해 온으로 된다.

이와 같은 제어가 반복되어 마지막 타이밍 블록(BLn)에 있어서, 스위치 블록(A1n~Akn, B1n~Bkn, ..., N1n~Nkn)이 선택되고, 그 내부의 선택 스위치(60)가 온으로 되면, 1수평 주사 기간(Th)이 종료가 된다. 각 타이밍 블록(BL1~BLn)에 있어서, 표시 신호(V_s)가 드라이버(A, B...)로부터 선택 스위치(60)를 통해서 활성화된 화소 셀(64)에 차례로 공급됨으로써 액정 표시가 행하여진다.

이상과 같이, 본 발명에서는 데이터 드라이버(52)가 계층 구조를 갖고, 각 타이밍 블록(BL1~BLn)에 있어서, 복수($N \times k$ 조)의 스위치 블록(A11, A12, ...)이 선택된다. 그리고 $N \times k$ 조의 스위치 블록(A11, A12, ...)이 선택되는 타이밍 블록이 n회 반복됨으로써 1수평 주사 기간(Th) 내에, 합계 $N \times k \times n$ 조의 모든 스위치 블록이 선택된다. 이하 이와 같은 구동 방식을 계층형 블록 순차 방식이라 칭한다.

또한 주사 신호(V_g), 제어 신호(BL1~BLn) 및 표시 신호(V_s)의 전송에 의한 지연 등을 고려하여, 주사 신호(V_g)나 표시 신호(V_s) 등은 액정 표시 장치(50)가 고품위의 화질을 실현하도록 최적인 타이밍에서 공급되는 것으로 한다.

상술한 바와 같이 액정 표시 장치(50)에서는 각 드라이버(A, B...)에 k조의 공통 신호선(A1, A2, ...)이 접속되어 있으므로, 각 공통 신호선(A1, A2, ...) 내의 신호선 개수m이 도1, 2에 나타난 종래예의 액정 표시 장치(10)에 비교해 1/k로 된다. 이 때문에, 각 공통 신호선(A1, A2, ...)의 배선폭도 거의 1/k로 된다.

또 액정 표시 장치(50)에서는 각 공통 신호선(A1, A2, ...) 내의 신호선 개수m이 종래예의 액정 표시 장치(10)에 비교해 1/k로 되기 때문에, 각 공통 신호선(A1, A2, ...)과 도4에 나타난 인출선(61)과의 교차수도 1/k로 된다. 이 때문에, 각 공통 신호선(A1, A2, ...)의 교차점 용량이 감소한다. 또 액정 표시 장치(50) 내의 드라이버(A, B...)는 각각 k조의 공통 신호선(A1, A2, ...)을 가지기 때문에, 도1과 도4의 비교에 의해 분명한 바와 같이, 공통 신호선(A1, A2, ...)의 수평 방향의 길이가 종래예에 비교해 1/k로 된다. 이 때문에, 공통 신호선(A1, A2, ...)의 배선 저항도 감소한다.

이와 같이 액정 표시 장치(50)에서는 종래예에 비교하여, 각 공통 신호선(A1, A2, ...)의 교차점 용량과 배선 저항치가 감소하므로, 그 RC시정수도 대폭적으로 감소한다. 따라서 본 발명에 의하면, 시정수가 개선됨으로써 액정 표시의 화질의 향상이 실현된다.

또 각 타이밍 블록(BL1~BLn)에서는 각 공통 신호선(A1, A2, ...)에 관한 복수의 블록이 선택되므로, 공통 신호선(A1, A2, ...)의 배선폭을 넓게 하여 그 용량성 부하와 저항성 부하를 중대시키는 일이 없이, 전체로서 넓은 데이터 폭으로 표시 신호(Vs)를 기입할 수 있다. 데이터 폭과 신호 기입 시간은 드라이버(A, B...)의 수N을 늘림으로써 더욱 확대가능하다.

또한 본 발명에 의하면, 데이터 드라이버(52) 내에 출력수가 적은 복수의 드라이버(A, B...)를 배설하는 구성으로 함으로써 드라이버(A, B, ...)의 단가를 내리는 것도 가능해진다.

다음으로 도5~도10 및 표2를 이용하여, 본 발명의 제1 실시예인 XGA형의 액정 표시 장치(100)에 대해서 설명한다.

도5는 액정 표시 장치(100)의 전체 구성도이다.

도5에 나타난 바와 같이, 액정 표시 장치(100)는 데이터 드라이버(102), 게이트 드라이버(104), 표시 매트릭스(106) 등을 구비하고 있다. 액정 표시 장치(100)는 도3에 나타난 액정 표시 장치(50)에 있어서, N=1, k=2, n=8, m=192으로 한 경우의 실시예이다. 즉 데이터 드라이버(102)는 출력수가 384비트의 드라이버(A), 192비트의 공통 신호선(A1, A2), 16조의 스위치 블록(A11~A18, A21~A28)을 구비하고 있다. 또 표시 매트릭스(106)는 3072비트×768비트의 매트릭스 상으로 배열된 화소 셀(114)을 포함한다.

도6은 액정 표시 장치(100)가 구비하는 데이터 드라이버(102)의 구성도이다. 도6에 나타난 바와 같이, 데이터 드라이버(102)는 제1계층(DB)에서 드라이버(A)를 갖고, 제2계층(CB)에 있어서, 각각 192개의 D1~D192, D193~D384를 포함하는 공통 신호선(A1, A2)을 갖고, 제3계층(SB)에서 16조의 스위치 블록(A11~A18, A21~A28)을 갖는다. 스위치 블록(A11~A18, A21~A28)은 각각, 예를 들면 N채널 트랜지스터와 P채널 트랜지스터를 이용한 CMOS형의 아날로그 스위치(선택 스위치) (108)를 192개씩 포함한다. 즉 데이터 드라이버(102)는 16×192=3072개의 아날로그 스위치(108)를 구비하고 있다. 또한 아날로그 스위치(108)는 CMOS형에 한정하지 않고 NMOS형 또는 PMOS형의 것이어도 좋다.

드라이버(A)의 384비트의 출력단은 각각 192비트분씩 공통 신호선(A1, A2)에 접속되어 있다. 또 공통 신호선(A1) 내의 신호선(D1~D192)은 각각 스위치 블록(A11~A18) 내의 대응하는 아날로그 스위치(108)에 접속되어 있고, 공통 신호선(A2) 내의 신호선(D193~D384)은 각각 스위치 블록(A21~A28) 내의 대응하는 아날로그 스위치(108)에 접속되어 있다.

도7은 액정 표시 장치(100)의 회로 구성도이다.

도7에 나타난 바와 같이, 드라이버(A)는 8비트(또는 6비트)×6포트의 디지털 신호 입력 단자(a)를 갖는다. 드라이버(A)의 384비트의 출력단은 192비트씩 각각 공통 신호선(A1, A2) 내의 신호선(D1~D192, D193~D384)에 접속되어 있다. 아날로그 스위치(108)의 게이트에는 제어선(BL)이 접속되어 있고, 제어선(BL)을 통해서 주어지는 제어 신호(BL1~BL8)에 의해 아날로그 스위치(108)는 제어된다. 또 아날로그 스위치(108)는 신호선(110)을 통해서 표시 매트릭스(106) 측에 접속되어 있다.

표시 매트릭스(106)에는 복수의 신호선(110) 및 주사선(112)이 배열되어 있다. 각 주사선(112)은 게이트 드라이버(104)에 접속되어 있다. 신호선(110)과 주사선(112)의 각 교점에는 화소 셀(114)이 배설되어 있다. 화소 셀(114)은 화소 TFT(116), 액정 셀(118) 및 축적 용량(120)을 포함한다.

여기서 드라이버(A)는, 예를 들면 TAB 실장의 LSI칩이고, 외부 장착되어 있다. 또 게이트 드라이버(104)는, 예를 들면 저온 p-Si TFT로 구성된 내장형 게이트 드라이버이다.

도8은 액정 표시 장치(100)가 구비하는 외부 장착 타입의 드라이버(A)의 내부 구성예를 나타내는 블록도이다.

도8에 나타낸 바와 같이, 드라이버(A)는 시프트 레지스터로 되는 어드레스 선택 회로(140), 샘플링 래치(142), 로드 래치(144), 레벨 시프터(146), 디코더로 되는 D/A컨버터(148), 연산 증폭기로 되는 출력 버퍼(150), 디지털 신호 입력부(152) 및 제어 신호 입력부(154) 등을 구비하고 있다.

디지털 신호 입력부(152)에는 외부의 신호 공급 회로로부터 8 또는 6비트의 표시용 디지털 신호가 공급된다. 또 D/A컨버터(148)에는 외부에서 계조 기준 전압이 공급된다. 또 제어 신호 입력부(154)에는 외부의 제어 회로로부터 제어 신호가 공급된다.

제어 신호 입력부(154)는 주어진 제어 신호에 의거하여, 래치 제어 신호(L)에 의해 드라이버(A) 내의 로드 래치(144), D/A컨버터(148), 출력 버퍼(150) 등의 제어를 한다. 디지털 신호 입력부(152)에 공급된 디지털 신호는 샘플링 래치(142), 로드 래치(144), 레벨 시프터(146), D/A컨버터(148) 및 출력 버퍼(150)에 의해서, 예를 들면 256계조의 액정 구동용 아날로그 계조 신호로 변환되고, 표시 신호(Vs)로서 공통 신호선(A1, A2) 측에 출력된다.

도8에 있어서, 수평 방향으로 배선된 공통 신호선(A1, A2) 내의 192개씩의 신호선(D1~D192, D193~D384)은 각각 수직 방향으로 배선된 인출선(156)을 통해서 아날로그 스위치(108)와 접속되어 있다. 공통 신호선(A1, A2)은 각각 8조의 스위치 블록(A11~A18, A21~A28)에 접속되어 있다. 이 때문에, 각 신호선(D1~D192, D193~D384)은 인출선(156)과 최대 192-1×8개소에서 교차하고 있다. 이 신호선(D1~D192, D193~D384)과 인출선(156)과의 교차점은 용량성 부하가 되므로, 교차점의 수는 적은 쪽이 바람직하다.

도7에 나타낸 저온 p-Si TFT를 이용해 형성된 내장형 게이트 드라이버(104)는, 예를 들면 이하와 같은 구성으로 된다.

도9는 액정 표시 장치(100)가 구비하는 게이트 드라이버(104)의 구성예를 나타내는 도면이다.

도9에 나타낸 바와 같이, 게이트 드라이버(104)는 쌍방향 스위치부(160), 시프트 레지스터부(162), 멀티플렉서부(164), 및 출력 버퍼부(166)를 갖는다.

쌍방향 스위치부(160)는 4개의 트랜지스터(167~170)를 갖는다. 또 시프트 레지스터부(162)는 8개의 트랜지스터(171~178)와, 인버터(179, 180) 및 NAND회로(181)를 갖는다. 또한 멀티플렉서부(164)는 4개의 NAND회로(182~185)를 갖는다.

NAND회로(182~185)의 한쪽의 입력 단자는 각각 시프트 레지스터부(162)의 출력부에 대항하는 인버터(180)에 접속되어 있다. 또 NAND회로(182~185)의 다른 쪽의 입력 단자에는 각각 소정의 타이밍에서 신호(MP1~MP4)가 공급된다. 출력 버퍼부(166)는 인버터(191~194)를 갖는다. 인버터(191~194)의 입력측은 각각 멀티플렉서부(164)의 NAND회로(182~185)에 접속되어 있다. 또한 인버터(191~194)의 출력측은 표시 매트릭스(106) 내의 주사선(112)에 접속되어 있다.

게이트 드라이버(104)에는 신호(MP1~MP4) 이외, 도시되지 않은 제어 신호 발생 회로로부터 클럭신호(CL, /CL), 신호(UP, DW) 등도 공급된다.

도9에 나타낸 게이트 드라이버(104)에 있어서, 예를 들면 시프트 레지스터부(162)로부터 하이 레벨의 신호가 출력되고, 멀티플렉서부(164) 내의 NAND회로(182)에 대해 하이 레벨의 신호(MP1)가 공급된 경우, 하이 레벨의 주사 신호(Vg)가 표시 매트릭스(106) 내의 주사선(112)에 공급된다.

게이트 드라이버(104) 내에 4비트의 멀티플렉서부(164)를 채용함으로써, 시프트 레지스터부(162)의 단수를 192단으로 줄일 수 있었다. 이것은 종래 넓게 사용되고 있던 게이트 드라이버 내의 시프트 레지스터의 단수가 768단인 것에 비교해 매우 적다.

표2는 액정 표시 장치(100)의 1수평 주사 기간(Th)에서의 스위치 블록의 제어 타이밍을 나타낸다.

표 2

| 공급블록 타이밍블록 | A1 (CB) | A2 (CB) | 합계 |
|---------------|--------------------|--------------------|--------------------|
| BL1 | A11 | A21 | 384 비트 |
| BL2 | A12 | A22 | 384 비트 |
| BL3 | A13 | A23 | 384 비트 |
| BL4 | A14 | A24 | 384 비트 |
| BL5 | A15 | A25 | 384 비트 |
| BL6 | A16 | A26 | 384 비트 |
| BL7 | A17 | A27 | 384 비트 |
| BL8 | A18 | A28 | 384 비트 |
| 합계 | 1536 비트 (192×8) | 1536 비트 (192×8) | 3072 비트 (384×8) |

액정 표시 장치(100)에서는 1수평 주사 기간(Th)이 8개의 타이밍 블록(BL1~BL8)으로 구성되고, 제어 신호(BL1~BL8)가 차례로 공급됨으로써, 대응하는 스위치 블록(A11~A18, A21~A28) 내의 아날로그 스위치(108)가 온 상태로 된다. 구체적으로는, 예를 들면 1수평 주사 기간(Th) 내의 최초의 타이밍 블록(BL1)에서는 스위치 블록(A11, A21) 내의 합계 384개의 아날로그 스위치(108)가 제어 신호(BL1)에 의해 온으로 된다.

계속해서 도5~도10 및 표1을 이용하여, 액정 표시 장치(100)의 동작을 설명한다. 액정 표시 장치(100)는 액정 표시 장치(50)와 마찬가지로 계층형 블록 순차 방식으로 동작한다.

도10은 액정 표시 장치(100)의 동작 타이밍도이다.

도10에 나타난 바와 같이, 1수평 주사 기간(Th) 내의 타이밍 블록(BL1~BL8)에서는 각각 제어 신호(BL1~BL8)가 공급된다. 또 1수평 주사 기간(Th)에서의 양단에는 주사 신호(Vg)의 상승 시간과 강하 시간으로 되는 블랭킹 기간(Tbk)이 마련되어 있다. 여기서 예를 들면, 1수평 주사 기간(Th)은 약21.7 μ s이고, 각 타이밍 블록(BL1~BL8)의 시간 길이(Tb)는 약2.0 μ s이고, 1블랭킹 기간(Tbk)은 약5.7 μ s이다.

액정 표시 장치(100)에서는 상기한 래치 신호(L)에 의해서, 드라이버(A)로부터의 표시 신호(Vs)가 공통 신호선(A1, A2)에 일괄 전송된다. 1주사선 112분의 표시 신호(Vs)를 전송하기 위해서, 1수평 주사 기간(Th) 중에 8회의 래치 신호(L)가 도8에 나타난 각 회로에 공급된다.

또한 설명의 편의상, 표시 매트릭스(106)에 있어서, 제1열째~ 제3072열째에 배설된 신호선(110)을 각각 d0001~d3072으로 한다.

도7에 나타난 게이트 드라이버(104)로부터 표시 매트릭스(106) 내의 제1행째의 주사선(112)에 하이 레벨의 주사 신호(Vg)가 공급되면, 먼저, 제1 타이밍 블록(BL1)사이, 스위치 블록(A11, A21) 내의 아날로그 스위치(108)에 대해 제어 신호(BL1)가 공급된다. 그 결과, 스위치 블록(A11, A21) 내의 합계 384개의 아날로그 스위치(108)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(108)와, 신호선(d0001~d0192, d1537~d1728)을 통해서 접속된 화소 셀(114)에 드라이버(A)로부터 표시 신호(Vs)가 공급된다. 그리고 표시 신호(Vs)는 화소 셀(114) 내의 화소TFT(116)를 통해서 액정 셀(118) 및 축적 용량(120)에 기입된다.

다음으로 제2 타이밍 블록(BL2)사이, 스위치 블록(A12, A22) 내의 아날로그 스위치(108)에 대해 제어 신호(BL2)가 공급된다. 그 결과, 스위치 블록(A12, A22) 내의 합계 384개의 아날로그 스위치(108)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(108)와, 신호선(d0193~d0384, d1729~d1920)을 통해서 접속된 화소 셀(114)에 드라이버(A)로부터 표시 신호(Vs)가 주어진다. 그리고 표시 신호(Vs)는 화소 셀(114) 내의 화소 TFT(116)를 통해서 액정 셀(118) 및 축적 용량(120)에 기입된다.

상기와 같은 동작이 반복되고, 제8의 타이밍 블록(BL8)에 있어서, 스위치 블록(A18, A28) 내의 아날로그 스위치(108)에 대해 제어 신호(BL8)가 공급되고, 대응하는 384개의 화소 셀(114) 내에 표시 신호(Vs)가 기입되면, 1수평 주사 기간(Th)이 종료가 된다. 표시 신호(Vs)가 기입된 화소 셀(114)은 다음의 주사 신호(Vg)가 주어질 때까지 표시 신호(Vs)를 유지한다. 이와 같은 신호 기입 동작과 신호 유지 동작은 60Hz정도의 프레임 주기로 반복된다.

다음으로 도11 및 표3을 이용하여, 본 발명의 제2 실시예인 SXGA형의 액정 표시 장치(200)에 대해서 설명한다.

도11은 액정 표시 장치(200)가 구비하는 데이터 드라이버(202)의 구성도이다. 도11에 나타난 바와 같이, 데이터 드라이버(202)는 제1계층(DB)에 있어서, TAB 실장의 드라이버(A)를 갖고, 제2계층(CB)에 있어서, 각각 192개의 신호선(D1~D192, D193~D384)을 포함하는 공통 신호선(A1, A2)을 갖고, 제3계층(SB)에서 20조의 스위치 블록(A11~A110, A21~A210)을 갖는다. 스위치 블록(A11~A110, A21~A210)은 각각, 예를 들면 CMOS형의 아날로그 스위치(108)를 192개씩 포함한다.

즉 액정 표시 장치(200)는 도3에 나타난 액정 표시 장치(50)에 있어서, N=1, k=2, n=10, m=192으로 한 경우의 실시예이고, 데이터 드라이버(202) 내에 20×192=3840개의 아날로그 스위치(208)를 구비하고 있다. 또한 아날로그 스위치(208)는 CMOS형에 한정하지 않고 NMOS형 또는 PMOS형의 것이어도 좋다.

드라이버(A)의 384비트의 출력단은 각각 192비트분씩 공통 신호선(A1, A2)에 접속되어 있다. 또 공통 신호선(A1) 내의 신호선(D1~D192)은 각각 스위치 블록(A11~A110) 내의 대응하는 아날로그 스위치(208)에 접속되어 있고, 공통 신호선(A2) 내의 신호선(D193~D384)은 각각 스위치 블록(A21~A210) 내의 대응하는 아날로그 스위치(208)에 접속되어 있다.

또한 액정 표시 장치(200)의 다른 구성은 도5에 나타난 액정 표시 장치(100)와 마찬가지로이고, 그 설명을 생략한다.

계속해서 도11 및 표3을 이용해 액정 표시 장치(200)의 동작을 설명한다.

표3은 액정 표시 장치(200)의 1수평 주사 기간(Th)에서의 스위치 블록의 제어 타이밍을 나타낸다.

표 3

| 타이밍 블록 | A1 (CB) | A2 (CB) | 합계 |
|--------|---------------------|---------------------|---------------------|
| BL1 | A11 | A21 | 384 비트 |
| BL2 | A12 | A22 | 384 비트 |
| BL3 | A13 | A23 | 384 비트 |
| BL4 | A14 | A24 | 384 비트 |
| BL5 | A15 | A25 | 384 비트 |
| BL6 | A16 | A26 | 384 비트 |
| BL7 | A17 | A27 | 384 비트 |
| BL8 | A18 | A28 | 384 비트 |
| BL9 | A19 | A29 | 384 비트 |
| BL10 | A110 | A210 | 384 비트 |
| 합계 | 1920 비트 (192×10) | 1920 비트 (192×10) | 3840 비트 (384×10) |

액정 표시 장치(200)에서는 1수평 주사 기간(Th)이 10회의 타이밍 블록(BL1~BL10)으로 구성되고, 제어 신호(BL1~BL10)가 차례로 공급됨으로써, 대응하는 스위치 블록(A11~A110, A21~A210) 내의 아날로그 스위치(208)가 온 상태로 된다. 구체적으로는, 예를 들면 1수평 주사 기간(Th) 내의 최초의 타이밍 블록(BL1)에서는 스위치 블록(A11, A21) 내의 합계 384개의 아날로그 스위치(208)가 제어 신호(BL1)에 의해 온으로 된다.

또 타이밍 블록(BL1)에 계속되는 타이밍블록(BL2)에서는 스위치 블록(A12, A22) 내의 합계 384개의 아날로그 스위치(208)가 제어 신호(BL2)에 의해 온으로 된다.

이와 같은 제어가 반복되어 마지막 타이밍 블록(BL10)에 있어서, 스위치 블록(A110, A210) 내의 합계 384개의 아날로그 스위치(208)가 제어 신호(BL10)에 의해 온으로 되면 1수평 주사 기간(Th)이 종료가 된다. 표시 신호(Vs)는 각 타이밍 블록(BL1~BL10)에 있어서, 온 상태로 된 아날로그 스위치(208)를 통해서, 활성화된 화소 셀 내에 차례로 기입된다.

상술한 바와 같이 제1 및 제2 실시예의 액정 표시 장치(100, 200)에서는 드라이버(A)에 2조의 공통 신호선(A1, A2)이 접속되어 있고, 각 공통 신호선(A1, A2)은 192개의 신호선(D1~D192, D193~D384)으로 구성되어 있다. 그 결과, 각 공통 신호선(A1, A2) 내의 신호선 개수(192개)가 도1, 2에 나타난 종래예의 액정 표시 장치(10)에 비교해 반감하므로, 공통 신호선(A1, A2)의 배선폭도 거의 반감한다. 예를 들면 공통 신호선의 배선 피치를 16 μ m으로 한 경우, 종래예의 공통 신호선(D1~D384)의 배선폭은 약6.14(16 μ m \times 384)mm가 되는데 대해서, 제1 및 제2 실시예의 액정 표시 장치(100, 200)의 공통 신호선(A1, A2)의 배선폭은 모두 약3.07(16 μ m \times 192)mm가 된다. 따라서 본 실시예에 의하면, 공통 신호선(A1, A2)의 배선폭의 축소에 의한 패널 액자의 축소화와 액정 표시 장치(100, 200)의 경량화가 실현된다.

또 본 제1 및 제2 실시예에서는 각 공통 신호선(A1, A2) 내의 신호선 개수가 종래예에 비교해 반감하므로, 데이터 드라이버(102) 내에서 공통 신호선(A1, A2)과 제어선(BL)과의 교차점도 반감한다. 이것은 도10에 나타난 제어 신호(BL1~BL8)의 상승 및 강하 시간의 단축화에 기여한다.

도1에 나타난 종래예의 액정 표시 장치(10)를 XGA형으로서, 2.0

μ s/블록의 신호 기입 시간을 확보하려면, 표시 매트릭스(18)를 8블록으로 구성하고, 각 블록(B1~B8)의 데이터 폭을 384비트로 할 필요가 있다. 이 경우 공통 신호선(D1~D384)과 도1에 나타난 인출선(31)은 최대(384-1) \times 8=3064개소에서 교차한다.

한편, 예를 들면 제1 실시예의 액정 표시 장치(100)가 구비하는 공통 신호선(D1~D192)은 도8에 나타난 인출선(156)과 최대(192-1) \times 8=1528개소에서 교차한다. 여기서 1교차점당의 교차 용량을 5fF로 하면, 종래예의 공통 신호선(D1~D384)의 용량은 약15.3pF인데 대해서, 제1 실시예의 공통 신호선(D1~D192)의 용량은 약7.6pF가 된다. 이와 같이 본 제1 및 제2 실시예에 의하면, 각 공통 신호선(A1, A2)의 교차점 용량이 대폭적으로 감소한다.

또 제1 및 제2 실시예의 액정 표시 장치(100, 200)는 2조의 공통 신호선(A1, A2)을 가지기 때문에, 각 공통 신호선(A1, A2)의(예를 들면, 도5의) 수평 방향의 길이가 종래예에 비교해 반이 된다. 이 때문에, 제1 및 제2 실시예에 의하면, 공통 신호선(A1, A2)의 배선 저항도 감소한다. 예를 들면 화소 피치가 0.24 μ m, 표시 매트릭스의 횡방향의 길이가 (0.24 μ m \times 1024)=245.76mm, 공통 신호선의 배선 피치가 16 μ m, 단위 배선 슈트 저항이 0.2 Ω 인 12.1형XGA패널의 경우, 상기 종래예에서는 총저항치가 6.14k Ω 인데 대해서, 제1 실시예에서는 총저항치가 3.07k Ω 이 되어 반감한다.

이와 같이 제1 및 제2 실시예의 액정 표시 장치(100, 200)에서는 종래예에 비교하여 공통 신호선(A1, A2)의 교차점 용량과 배선 저항치가 감소하므로, 그 RC시정수도 대폭적으로 감소한다. 예를 들면 제1 실시예의 시정수RC는 3.07k Ω \times 7.6pF=23.3ns다. 이것은 시정수가 6.14k Ω \times 15.3pF=93.9ns인 XGA형의 종래예의 1/4다.

이상과 같이, 제1 및 제2 실시예에서는 시정수가 개선됨으로써, 액정 표시의 화질의 향상이 실현된다. 특히 본 실시예에 의하면, 256계조의 풀 컬러 표시에서, 중간색의 표현 능력이 매우 좋게 된다.

다음으로 도12 및 도13을 이용하여, 본 발명의 제3 실시예인 XGA형의 액정 표시 장치(300)에 대해서 설명한다.

도12는 액정 표시 장치(300)의 회로 구성도이다.

도12에 나타난 바와 같이, 액정 표시 장치(300)는 데이터 드라이버(302), 게이트 드라이버(304), 표시 매트릭스(306) 등을 구비하고 있다. 액정 표시 장치(300)는 도3에 나타난 액정 표시 장치(50)에 있어서, N=1, k=2, n=8, m=192으로 한 경우의 실시예이다. 즉 데이터 드라이버(302)는 출력수가 384비트의 드라이버(A), 192비트의 공통 신호선(A1, A2), 16조의 스위치 블록(A11~A18, A21~A28)을 구비하고 있다. 또 각 스위치 블록은 각각 192개의 아날로그 스위치(308)를 포함한다.

액정 표시 장치(300)는 또한 데이터 드라이버(302) 내에 패널 내장형의 블록 선택 회로(309)를 구비하고 있다. 표시 매트릭스(306)는 3072비트 \times 768비트의 매트릭스 상으로 배열된 화소 셀(314)을 포함한다.

액정 표시 장치(300)는 데이터 드라이버(302) 내의 드라이버(A)가 외부 장착이 아니고, 저온 p-Si TFT를 이용해 표시 매트릭스(306)와 일체 형성된 패널 내장형 드라이버인 점과, 데이터 드라이버(302) 내에 p-Si TFT를 이용해 형성된 내장형 블록 선택 회로(309)를 구비하고 있는 점에 특징을 갖는다.

드라이버(A)를 패널 내장형으로 함으로써, 데이터 드라이버(302)의 입력 신호용의 단자수를 대폭적으로 줄이는 것이 가능해진다. 입력 신호선(301)의 개수는 비트수×포트수로 표시된다.

내장형 블록 선택 회로(309)는 제어선(BL)을 통해서 함께 3072개의 아날로그 스위치(308)의 게이트와 접속되어 있다. 내장형 블록 선택 회로(309)는 제어선(BL)을 통해서 제어 신호(BL1~BL8)를 줌으로써 아날로그 스위치(308)를 제어한다. 제어 신호(BL1~BL8)의 주파수로서는, 예를 들면 0.5MHz정도가 요구된다. 따라서 $20\text{cm}^2/\text{Vs}$ 이상의 이동도를 갖는 p-Si TFT를 이용하면, 내장형 블록 선택 회로(309)를 용이하게 형성할 수 있다.

또한 액정 표시 장치(300)의 다른 구성은 도5에 나타난 액정 표시 장치(100)와 마찬가지로, 그 설명을 생략한다.

도13은 액정 표시 장치(300)가 구비하는 디지털 드라이버(A)의 내부 구성예를 나타내는 블록도이다.

도13에 나타난 바와 같이, 드라이버(A)는 신호 입력/데이터 분할 회로(340), 시리얼/패럴렐 변환 회로(342), 래치 회로(346), 레벨 시프터(348), 디코더로 되는 D/A컨버터(350), 연산 증폭기로 되는 출력 버퍼(352) 및 클록 제어 회로(354) 등을 구비하고 있다.

신호 입력/데이터 분할 회로(340)에는 도시되지 않은 외부의 신호 공급 회로로부터, 예를 들면 8비트의 표시용 디지털 신호가 공급된다. 또 D/A컨버터(350)에는 외부에서 계조 기준 전압이 공급된다. 또한 클록 제어 회로(354)에는 외부의 제어 회로로부터 제어 신호가 공급된다. 클록 제어 회로(354)는 주어진 제어 신호에 의거하여, 래치 제어 신호(L)에 의해 드라이버(A) 내의 신호 입력/데이터 분할 회로(340), 래치 회로(346), D/A컨버터(350), 출력 버퍼(352) 등의 제어를 한다.

표시 매트릭스(306)와 일체 형성하기 위해서 p-Si TFT으로 구성된 드라이버(A)는 외부 장착용의 반도체 LSI의 드라이버에 비교해 동작 주파수가 낮기 때문에, 그 TFT 성능에 맞추어 입력된 표시용 데이터를 최적의 전송 레이트(주파수)로 변환할 필요가 있다. 그래서 신호 입력/데이터 분할 회로(340)는 데이터 드라이버(302) 내에 공급된 8비트의 표시용 디지털 신호를 더욱 분할하여, 동작 주파수를 내린다. 또한 저온 p-Si TFT의 이동도는 $150\text{cm}^2/\text{Vs}$ 이하이기 때문에, 클록 주파수를 10MHz이하로 설정하는 편이 마진이 넓게 된다.

시리얼/패럴렐 변환 회로(342)는 복수 채널의 시리얼 신호를 패럴렐 신호로 변환하고, 그 신호를 래치 회로(346)에 전송한다. 래치 회로(346)는 전송된 패럴렐 신호를 일시 유지해 소정의 타이밍으로 레벨 시프터(348) 및 D/A컨버터(350) 측에 전송한다. 레벨 시프터(348)는 약5~10V의 로직 레벨을 약10~15V의 액정 구동 전압 레벨로 변환한다. D/A컨버터(350)는 공급된 계조 기준 전압에 의거하여 256계조 신호를 생성하고, 디지털 계조 코드를 그 계조에 따른 전압(256계조로부터 선택)으로 변환한다. 그리고 출력 버퍼회로(352)는 D/A컨버터(350)로부터 공급된 계조 전압을 소정의 타이밍으로 공통 신호선(A1, A2) 측에 출력한다.

또한 공지의 고이동도 p-Si TFT의 CGS기술 등을 채용하면, 클록 주파수가 수십MHz의 내장형 p-Si TFT 드라이버(A)를 실현하는 것도 가능하다. 본 실시예의 드라이버(A)는 출력 비트수가 블록폭분밖에 없기 때문에, 종래의 비트 대응의 드라이버를 갖는 선순차 구동 방식의 액정 표시 장치에 비교해 회로 규모를 작게 할 수 있고, 그 소비 전력도 내릴 수 있다.

내장형 데이터 드라이버(A)를 갖는 액정 표시 장치를 이하와 같이 구성해도 좋다. 도14는 본 발명의 제4 실시예인 XGA형의 액정 표시 장치(400)의 회로 구성도이다. 도14에 나타난 바와 같이, 액정 표시 장치(400)는 데이터 드라이버(402), 게이트 드라이버(404), 표시 매트릭스(406) 등을 구비하고 있다. 액정 표시 장치(400)는 도3에 나타난 액정 표시 장치(50)에 있어서, $N=1, k=3, n=8, m=128$ 으로 한 경우의 실시예이다. 즉 데이터 드라이버(402)는 출력수가 384비트의 드라이버(A), 128비트의 공통 신호선(A1, A2, A3), 24조의 스위치 블록(A11~A18, A21~A28, A31~A38)을 구비하고 있다. 각 스위치 블록은 각각 128개의 아날로그 스위치(408)를 포함한다. 아날로그 스위치(408)의 게이트에는 제어선(BL)이 접속되어 있다. 아날로그 스위치(408)는 제어선(BL)을 통해서 주어지는 제어 신호(BL1~BL8)에 의해 제어된다.

또 표시 매트릭스(406)는 3072비트×768비트의 매트릭스 상으로 배열된 화소 셀(414)을 포함한다.

액정 표시 장치(400)는 액정 표시 장치(300)와 마찬가지로, 내장형 p-Si TFT드라이버(A)를 갖고, 드라이버(A)가 128비트의 3조의 공통 신호선(A1, A2, A3)에 접속되어 있는 점에 특징을 갖는다. 3조의 공통 신호선(A1, A2, A3)을 배설함으로써, 액정 표시 장치(300)에 비교해 패널 액자의 가일층의 축소화와 시정수의 저감화가 실현된다.

또한 액정 표시 장치(400)의 다른 구성은 도12에 나타난 액정 표시 장치(300)와 마찬가지로이고, 그 설명을 생략한다.

계속해서 도14 및 도15를 이용해 액정 표시 장치(400)의 동작을 설명한다. 도15는 액정 표시 장치(400)의 동작 타이밍도이다.

도15에 나타난 바와 같이, 1수평 주사 기간(Th)은 8개의 타이밍 블록(BL1~BL8)을 포함하고 있다. 또 1수평 주사 기간(Th)에서의 양단에는 주사 신호(Vg)의 상승 시간과 강하 시간으로 되는 블랭킹 기간(Tbk)이 설치되어 있다. 여기서 예를 들면, 1수평 주사 기간(Th)은 약21.7 μ s 이고, 각 타이밍 블록(BL1~BL8)의 시간 길이(Tb)는 약2.0 μ s이고, 1블랭킹 기간(Tbk)은 약5.7 μ s이다. 또한 설명의 편의상, 표시 매트릭스(406)에 있어서, 제1열째~ 제3072열째에 배설된 신호선(410)을 각각 d0001~d3072으로 한다.

도14에 나타난 게이트 드라이버(404)로부터 표시 매트릭스(406) 내의 제1행째의 주사선(412)에 하이 레벨의 주사 신호(Vg)가 공급되면, 먼저, 제1 타이밍 블록(BL1)사이, 제어 신호(BL1)에 의해서, 스위치 블록(A11, A21, A31) 내의 합계 384개의 아날로그 스위치(408)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(408)와, 신호선(d0001~d0128, d1025~d1152, d2049~d2176)을 통해서 접속된 화소 셀(414)에 드라이버(A)로부터 표시 신호(Vs)가 공급되고, 액정 표시가 행하여진다.

다음으로 제2 타이밍 블록(BL2)의 사이, 제어 신호(BL2)에 의해서, 스위치 블록(A12, A22, A32)내의 합계 384개의 아날로그 스위치(408)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(408)와, 신호선(d0129~d0256, d1153~d1280, d2177~d2304)을 통해서 접속된 화소 셀(414)에 드라이버(A)로부터 표시 신호(Vs)가 주어지고, 액정 표시가 행하여진다.

상기와 같은 동작이 반복되고, 제8의 타이밍 블록(BL8)에 있어서, 스위치 블록(A18, A28, A3)8 내의 아날로그 스위치(408)에 대해 제어 신호(BL8)가 공급되고, 대응하는 384개의 화소 셀(414) 내에 표시 신호(Vs)가 기입되면, 1수평 주사 기간(Th)이 종료가 된다. 표시 신호(Vs)가 기입된 화소 셀(414)은 다음의 주사 신호(Vg)가 주어질 때까지 표시 신호(Vs)를 유지한다.

이와 같은 신호 기입 동작과 신호 유지 동작은 60Hz정도의 프레임 주기로 반복된다.

상술한 바와 같이 제3 및 제4 실시예의 액정 표시 장치(300, 400)의 각 타이밍 블록(BL1~BL8)에서는 각 공통 신호선(A1, A2) (A1~A3)에 관한 복수의 블록이 차례로 선택되므로, 공통 신호선(A1, A2)의 배선폭을 확대시키지 않고, 전체로서 넓은 데이터 폭으로 표시 신호(Vs)를 기입할 수 있다. 예를 들면 액정 표시 장치(400)에 의하면, 종래의 디지털 선순차 구동 방식과 비교해 회로 규모가 1/8의 내장형 드라이버(A)에 의해서, 수평 화소수가 3072비트의 표시 매트릭스(406)에 2.0 μ s의 전송 레이트로 표시 신호(Vs)를 기입할 수 있다.

또 액정 표시 장치(300, 400) 내에 회로 규모가 작은 내장형 p-Si TFT 드라이버(A)를 이용함으로써, 소비 전력의 저감화가 가능해진다. 또 드라이버(A)를 구성하는 TFT수도 적게 되기 때문에, 제조 공정의 수율이 향상한다.

또 제3 및 제4 실시예가 구비하는 드라이버(A)의 출력 비트수(384)는 표시 매트릭스(306, 406)의 수평 화소수(3072)의 1/8이기 때문에, 드라이버(A)의 출력 단자 피치를 수평 화소 피치의 8배까지 넓힐 수 있다. 예를 들면 화소 피치가 0.24mm의 12.1형XGA패널에 본 제3 및 제4 실시예를 적용한 경우, 드라이버(A)의 출력 단자 피치를 0.24mm \times 8=1.92mm로 할 수 있다. 이것은 종래의 내장형 선순차 드라이버에 비교해 회로폭을 대폭적으로 축소 가능한 것을 의미한다. 본 실시예는 화소 피치가 작은 소형 패널에 특히 유효하다.

또 상술한 바와 같이 제3 및 제4 실시예에서는 드라이버(A)의 출력 단자 피치의 설계 자유도가 높기 때문에, 공통 신호선의 조수의 설계 자유도도 높아진다. 예를 들면 데이터 드라이버(302, 402) 내의 제2계층(CB)을, 48비트의 8조의 공통 신호선(A1~A8)으로 구성한 경우, 384비트의 종래의 공통 신호선(D1~D384)에 비교하여, 각 공통 신호선(A1~A8)의 용량성 부하 및 저항성 부하가 함께 1/8정도가 되고, RC시정수가 1/16정도가 된다.

다음으로 도16~도18 및 표4를 이용하여, 본 발명의 제5 실시예인 QXGA형의 액정 표시 장치(500)에 대해서 설명한다.

도16은 액정 표시 장치(500)의 전체 구성도이다.

도16에 나타낸 바와 같이, 액정 표시 장치(500)는 데이터 드라이버(502), 게이트 드라이버(504), 표시 매트릭스(506) 등을 구비하고 있다. 액정 표시 장치(500)는 도3에 나타낸 액정 표시 장치(50)에 있어서, $N=4$, $k=1$, $n=4$, $m=384$ 으로 한 경우의 실시예이다. 즉 데이터 드라이버(502)는 출력수가 384비트의 4개의 TAB 실장된 드라이버(A, B, C, D) 384비트의 공통 신호선(A1, B1, C1, D1), 16조의 스위치 블록(A11~A14, B11~B14, C11~C14, D11~D14)을 구비하고 있다. 또 표시 매트릭스(506)는 6144비트×1536비트의 매트릭스 상으로 배설된 화소 셀(514)을 포함한다.

액정 표시 장치(500)는 복수의 드라이버(A, B, C, D)를 구비한 멀티 드라이버형인 점에 특징을 갖는다. 또한 액정 표시 장치(500)의 다른 구성은 도5에 나타낸 액정 표시 장치(100)와 마찬가지로, 그 설명을 생략한다.

도17은 액정 표시 장치(500)가 구비하는 데이터 드라이버(502)의 구성도이다.

도17에 나타낸 바와 같이, 데이터 드라이버(502)는 제1계층(DB)에서 드라이버(A, B, C, D)를 갖고, 제2계층(CB)에 있어서, 각각 384비트의 공통 신호선(A1, B1, C1, D1)을 갖고, 제3계층(SB)에서 16조의 스위치 블록(A11~A14, B11~B14, C11~C14, D11~D14)을 갖는다. 스위치 블록(A11~A14, B11~B14, C11~C14, D11~D14)은 각각, 예를 들면 CMOS형의 아날로그 스위치(508)를 384개씩 포함한다. 즉 데이터 드라이버(502)는 $16 \times 384 = 6144$ 개의 아날로그 스위치(508)를 구비하고 있다. 또한 아날로그 스위치(508)는 CMOS형에 한정하지 않고 NMOS형 또는 PMOS형의 것이어도 좋다.

드라이버(A)의 384비트의 출력단은 공통 신호선(A1)에 접속되어 있다. 또 공통 신호선(A1) 내의 384개의 신호선(D1~D384)은 각각 스위치 블록(A11~A14) 내의 대응하는 아날로그 스위치(508)에 접속되어 있다. 또한 액정 표시 장치(500)에 있어서, 드라이버(B, C, D)에 관한 구성도 드라이버(A)와 마찬가지로, 그 설명을 생략한다.

표4는 액정 표시 장치(500)의 1수평 주사 기간(Th)에서의 스위치 블록의 제어 타이밍을 나타낸다.

표 4

| 타이밍 블록 | A1 (No.1) | B1 (No.2) | C1 (No.3) | D1 (No.4) | 합계 |
|--------|--------------------|--------------------|--------------------|--------------------|---------------------|
| BL1 | A11 | B11 | C11 | D11 | 1536 비트 |
| BL2 | A12 | B12 | C12 | D12 | 1536 비트 |
| BL3 | A13 | B13 | C13 | D13 | 1536 비트 |
| BL4 | A14 | B14 | C14 | D14 | 1536 비트 |
| 합계 | 1536 비트 (384×4) | 1536 비트 (384×4) | 1536 비트 (384×4) | 1536 비트 (384×4) | 6144 비트 (1536×4) |

액정 표시 장치(500)에서는 1수평 주사 기간(Th)이 4개의 타이밍 블록(BL1~BL4)으로 구성되고, 제어 신호(BL1~BL4)가 차례로 공급됨으로써, 대응하는 스위치 블록(A11~A14, B11~B14, C11~C14, D11~D14) 내의 아날로그 스위치(508)가 온 상태로 된다.

계속해서 도16~도18 및 표4를 이용하여, 액정 표시 장치(500)의 동작을 설명한다.

도18은 액정 표시 장치(500)의 동작 타이밍도이다.

도18에 나타낸 바와 같이, 1수평 주사 기간(Th)은 4개의 타이밍 블록(BL1~BL4)을 포함하고 있다. 또 1수평 주사 기간(Th)에서의 양단에는 주사 신호(Vg)의 상승 시간과 강하 시간으로 되는 블랭킹 기간(Tbk)이 설치되어 있다. 여기서 예를 들면, 1수평 주사 기간(Th)은 약 $10.8\mu s$ 이고, 각 타이밍 블록(BL1~BL4)의 시간 길이(Tb)는 약 $1.8\mu s$ 이고, 1블랭킹 기간(Tbk)은 약 $3.6\mu s$ 이다. 또한 설명의 편의상, 표시 매트릭스(506)에 있어서, 제1열째~제6144열째에 배설된 신호선(510)을 각각 d0001~d6144으로 한다.

도16에 나타낸 게이트 드라이버(504)로부터 표시 매트릭스(506) 내의 제1행째의 주사선(512)에 하이 레벨의 주사 신호(Vg)가 공급되면, 먼저, 제1 타이밍 블록(BL1)에 있어서, 제어 신호(BL1)에 의해서, 스위치 블록(A11, B11, C11, D11) 내의 합계 1536개의 아날로그 스위치(508)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(508)와, 신호선(d0001~d0384, d1537~d1920, d3073~d3456, d4609~d4992)을 통해서 접속된 화소 셀(514)에 드라이버(A, B, C, D)로부터 표시 신호(Vs)가 공급되고, 액정 표시가 행하여진다.

다음으로 제2 타이밍 블록(BL2)에 있어서, 제어 신호(BL2)에 의해서, 스위치 블록(A12, B12, C12, D12) 내의 합계 1536개의 아날로그 스위치(508)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(508)와, 신호선(d0385~d0768, d1921~d2304, d3457~d3840, d4993~d5376)을 통해서 접속된 화소 셀(514)에 드라이버(A, B, C, D)으로부터 표시 신호(Vs)가 주어지고, 액정 표시가 행하여진다.

상기와 같은 동작이 반복되고, 스위치 블록(A14, B14, C14, D14) 내의 아날로그 스위치(508)에 대해 제어 신호(BL4)가 공급되고, 대응하는 1536개의 화소 셀(514) 내에 표시 신호(Vs)가 기입되면, 1수평 주사 기간(Th)이 종료가 된다.

드라이버(A, B, C, D)의 배치 장소는 도16에 나타낸 위치에 한정하지 않고, 예를 들면 이하의 액정 표시 장치(600) 같이 배치해도 좋다.

도19는 본 발명의 제6 실시예인 QXGA형의 액정 표시 장치(600)의 전체 구성도이다.

도19에 나타낸 바와 같이, 액정 표시 장치(600)는 데이터 드라이버(602, 603), 게이트 드라이버(604), 표시 매트릭스(606) 등을 구비하고 있다. 액정 표시 장치(600)는 도16에 나타낸 액정 표시 장치(500)와 마찬가지로, 도3의 액정 표시 장치(50)에 있어서, N=4, k=1, n=4, m=384으로 한 경우의 실시예이다.

액정 표시 장치(600)는 액정 표시 장치(500)와 마찬가지로, 멀티 드라이버형이고, 또한 표시 매트릭스(606)를 사이에 대향하는 2개의 데이터 드라이버(602, 603)를 구비하고 있는 점에 특징을 갖는다.

스위치 블록(A11~A14, B11~B14) 내의 합계 3072개의 아날로그 스위치(608)는 표시 매트릭스(606) 내의 홀수열에 배열된 신호선(612)에 접속되어 있다. 또 스위치 블록(C11~C14, D11~D14) 내의 합계 3072개의 아날로그 스위치(608)는 표시 매트릭스(606) 내의 짝수열에 배열된 신호선(610)에 접속되어 있다.

또한 액정 표시 장치(600)의 다른 구성 및 동작은 도16에 나타낸 액정 표시 장치(500)와 마찬가지로, 그 설명을 생략한다.

다음으로 도20 및 표5를 이용하여, 본 발명의 제7 실시예인 QSXGA형의 액정 표시 장치(700)에 대해서 설명한다.

도20은 액정 표시 장치(700)가 구비하는 데이터 드라이버(702)의 구성도이다. 도20에 나타낸 바와 같이, 데이터 드라이버(702)는 제1계층(DB)에 있어서, 4개의 TAB 실장된 드라이버(A, B, C, D)를 갖고, 제2계층(CB)에 있어서, 각각 384비트의 공통 신호선(A1, B1, C1, D1)을 갖고, 제3계층(SB)에서 20조의 스위치 블록(A11~A15, B11~B15, C11~C15, D11~D15)을 갖는다. 스위치 블록(A11~A15, B11~B15, C11~C15, D11~D15)은 각각, 예를 들면 CMOS형의 아날로그 스위치(708)를 384개씩 포함한다.

즉 액정 표시 장치(700)는 도3에 나타낸 액정 표시 장치(50)에 있어서, N=4, k=1, n=5, m=384으로 한 경우의 실시예이고, 데이터 드라이버(702) 내에 $20 \times 384 = 7680$ 개의 아날로그 스위치(708)를 구비하고 있다. 또한 아날로그 스위치(708)는 CMOS형에 한정하지 않고 NMOS형 또는 PMOS형의 것이어도 좋다.

액정 표시 장치(700)는 액정 표시 장치(500, 600)와 마찬가지로, 멀티 드라이버형이고, 각 공통 신호선(A1, B1, C1, D1)에 각각 5조의 스위치 블록이 접속되어 있는 점에 특징을 갖는다.

드라이버(A)의 384비트의 출력단은 공통 신호선(A1)에 접속되어 있다. 또 공통 신호선(A1) 내의 384개의 신호선(D1~D384)은 각각 스위치 블록(A11~A15) 내의 대응하는 아날로그 스위치(708)에 접속되어 있다.

또한 액정 표시 장치(700)에 있어서, 드라이버(B, C, D)에 관한 구성도 드라이버(A)와 마찬가지로, 그 설명을 생략한다. 또 액정 표시 장치(700)의 다른 구성은 도16에 나타난 액정 표시 장치(500)와 마찬가지로, 그 설명을 생략한다. 표5는 액정 표시 장치(700)의 1수평 주사 기간(Th)에서의 스위치 블록의 제어 타이밍을 나타낸다.

표 5

| 스위치 블록 타이밍 블록 | A1 (No.1) | B1 (No.2) | C1 (No.3) | D1 (No.4) | 합계 |
|------------------|--------------------|--------------------|--------------------|--------------------|---------------------|
| BL1 | A11 | B11 | C11 | D11 | 1536 비트 |
| BL2 | A12 | B12 | C12 | D12 | 1536 비트 |
| BL3 | A13 | B13 | C13 | D13 | 1536 비트 |
| BL4 | A14 | B14 | C14 | D14 | 1536 비트 |
| BL5 | A15 | B15 | C15 | D15 | 1536 비트 |
| 합계 | 1536 비트 (384×5) | 1536 비트 (384×5) | 1536 비트 (384×5) | 1536 비트 (384×5) | 7680 비트 (1536×5) |

액정 표시 장치(700)에서는, 예를 들면 8.1 μ s의 1수평 주사 기간(Th)이 5개의 타이밍 블록(BL1~BL5)으로 구성되고, 제어 신호(BL1~BL5)가 차례로 공급됨으로써, 대응하는 스위치 블록(A11~A15, B11~B15, C11~C15, D11~D15) 내의 아날로그 스위치(708)가 1536개씩 온 상태로 된다.

상술한 바와 같이 제5~제7 실시예의 액정 표시 장치(500, 600, 700)에서는 4조의 공통 신호선(A1, B1, C1, D1)이 설치되어 있고, 각 타이밍 블록(BL1~BL4) (BL1~BL5)에서는 각 공통 신호선(A1~D1)에 관한 복수의 블록이 선택되므로, 공통 신호선(A1~D1)의 배선폭을 확대시키지 않고, 전체로서 넓은 데이터 폭으로 표시 신호(Vs)를 기입할 수 있다. 예를 들면 액정 표시 장치(500)에서는 각각이 384비트의 공통 신호선(A1~D1)에 의해 수평 화소수가 6144비트의 표시 매트릭스(506)에 표시 신호(Vs)를 기입하는 것이 가능해져 있다. 이와 같이 제5~제7 실시예에서는 비트수가 적은 공통 신호선(A1~D1)을 배설함으로써, 각각의 용량성 부하, 저항성 부하 및 RC시정수가 매우 저감되고 있다.

제5~제7 실시예는 4개의 드라이버(A1~D1)을 구비한 멀티 드라이버 구성이기 때문에, 각 드라이버(A1~D1)에는 출력 비트수가 적은 것을 사용할 수 있다. 이것은 액정 표시 장치(500~700)의 저비용화에 기여한다.

종래의 a-Si 패널의 경우, 드라이버의 전출력수는 수평 화소수와 동일하다. 따라서, 예를 들면 QXGA(수평 화소수6144비트) 패널을 구동하려면, 384비트의 출력수의 드라이버를 16개도 구비할 필요가 있었다. 한편, 제5~제7 실시예에서는 각 드라이버가 1수평 주사 기간(Th)에 4회씩 표시 신호(Vs)를 출력하므로, 4개의 드라이버(A1~D1)에서 QXGA 패널을 구동할 수 있다.

다음으로 도21~도23 및 표6을 이용하여, 본 발명의 제8 실시예인 XGA형의 액정 표시 장치(800)에 대해서 설명한다.

도21은 액정 표시 장치(800)의 전체 구성도이다.

도21에 나타난 바와 같이, 액정 표시 장치(800)는 데이터 드라이버(802), 게이트 드라이버(804), 표시 매트릭스(806) 등을 구비하고 있다. 액정 표시 장치(800)는 도3에 나타난 액정 표시 장치(50)에 있어서, N=2, k=2, n=4, m=384으로 한 경우의 실시예이다. 즉 데이터 드라이버(802)는 출력수가 384비트의 2개의 TAB 실장된 드라이버(A, B), 384비트의 공통 신호선(A1, A2, B1, B2), 16조의 스위치 블록(A11~A14, A21~A24, B11~B14, B21~B24)을 구비하고 있다. 또 표시 매트릭스(806)는 3072비트×768비트의 매트릭스 상으로 배설된 화소 셀(814)을 포함한다.

액정 표시 장치(800)는 액정 표시 장치(500, 600, 700)와 마찬가지로 멀티 드라이버형이고, 또한 각 드라이버가 2조의 공통 신호선에 접속되어 있는 점에 특징을 갖는다.

또한 액정 표시 장치(800)의 다른 구성은 도5에 나타난 액정 표시 장치(100)와 마찬가지로, 그 설명을 생략한다.

도22는 액정 표시 장치(800)가 구비하는 데이터 드라이버(802)의 구성도이다. 도22에 나타난 바와 같이, 데이터 드라이버(802)는 제1 계층(DB)에 있어서, 2개의 드라이버(A, B)를 갖고, 제2 계층(CB)에 있어서, 각각 192비트의 공통 신호선(A1,

A2, B1, B2)을 갖고, 제3계층(SB)에서 16조의 스위치 블록(A11~A14, A21~A24, B11~B14, B21~B24)을 갖는다. 스위치 블록(A11~A14, A21~A24, B11~B14, B21~B24)은 각각, 예를 들면 CMOS형의 아날로그 스위치(808)를 192개씩 포함한다. 즉 데이터 드라이버(802)는 $16 \times 192 = 3072$ 개의 아날로그 스위치(808)를 구비하고 있다.

또한 아날로그 스위치(808)는 CMOS형에 한정하지 않고 NMOS형 또는 PMOS형의 것이어도 좋다.

드라이버(A)의 384비트의 출력단은 공통 신호선(A1, A2)에 접속되어 있다. 또 공통 신호선(A1) 내의 192개의 신호선(D1~D192)은 각각 스위치 블록(A11~A14) 내의 대응하는 아날로그 스위치(808)에 접속되어 있다. 또 공통 신호선(A2) 내의 192개의 신호선(D193~D384)은 각각 스위치 블록(A21~A24) 내의 대응하는 아날로그 스위치(808)에 접속되어 있다.

또한 액정 표시 장치(800)에 있어서, 드라이버(B)에 관한 구성도 드라이버(A)와 마찬가지로, 그 설명을 생략한다.

표6은 액정 표시 장치(800)의 1수평 주사 기간(Th)에서의 스위치 블록의 제어 타이밍을 나타낸다.

표 6

| 타이밍 블록 | A1 (No.1) | B1 (No.2) | C1 (No.3) | D1 (No.4) | 합계 |
|--------|-------------------|-------------------|-------------------|-------------------|--------------------|
| BL1 | A11 | B11 | C11 | D11 | 768 비트 |
| BL2 | A12 | B12 | C12 | D12 | 768 비트 |
| BL3 | A13 | B13 | C13 | D13 | 768 비트 |
| BL4 | A14 | B14 | C14 | D14 | 768 비트 |
| 합계 | 768 비트 (192×4) | 768 비트 (192×4) | 768 비트 (192×4) | 768 비트 (192×4) | 3072 비트 (768×4) |

액정 표시 장치(800)에서는 1수평 주사 기간(Th)이 4개의 타이밍 블록(BL1~BL4)으로 구성되고, 제어 신호(BL1~BL4)가 차례로 공급됨으로써, 대응하는 스위치 블록(A11~A14, A21~A24, B11~B14, B21~B24) 내의 아날로그 스위치(808)가 온 상태로 된다.

계속해서 도21~도23 및 표6을 이용해 액정 표시 장치(800)의 동작을 설명한다.

도23은 액정 표시 장치(800)의 동작 타이밍도이다. 도23에 나타난 바와 같이, 1수평 주사 기간(Th)은 4개의 타이밍 블록(BL1~BL4)을 포함하고 있다. 또 1수평 주사 기간(Th)에서의 양단에는 주사 신호(Vg)의 상승 시간과 강하 시간으로 되는 블랭킹 기간(Tbk)이 설치되어 있다. 여기서 예를 들면, 1수평 주사 기간(Th)은 약 $21.7\mu s$ 이고, 각 타이밍 블록(BL1~BL4)의 시간 길이(Tb)는 약 $4.0\mu s$ 이고, 1블랭킹 기간(Tbk)은 약 $5.7\mu s$ 이다. 또한 설명의 편의상, 표시 매트릭스(806)에 있어서, 제1열째~ 제3072열째에 배설된 신호선(810)을 각각 d0001~d3072으로 한다.

도21에 나타난 게이트 드라이버(804)로부터 표시 매트릭스(806) 내의 제1행째의 주사선(812)에 하이 레벨의 주사 신호(Vg)가 공급되면, 먼저, 제1 타이밍 블록(BL1)에 있어서, 제어 신호(BL1)에 의해서, 스위치 블록(A11, A21, B11, B21) 내의 합계 768개의 아날로그 스위치(808)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(808)와, 신호선(d0001~d0192, d0769~d0960, d1537~d1728, d2305~d2496)을 통해서 접속된 화소 셀(814)에 드라이버(A, B)로부터 표시 신호(Vs)가 공급되고, 액정 표시가 행하여진다.

다음으로 제2 타이밍 블록(BL2)에 있어서, 제어 신호(BL2)에 의해서, 스위치 블록(A12, A22, B12, B22) 내의 합계 768개의 아날로그 스위치(808)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(808)와, 신호선(d0193~d0384, d0961~d1152, d1729~d1920, d2497~d2689)을 통해서 접속된 화소 셀(814)에 드라이버(A, B)로부터 표시 신호(Vs)가 주어지고, 액정 표시가 행하여진다.

상기와 같은 동작이 반복되고, 스위치 블록(A14, A24, B14, B24) 내의 아날로그 스위치(808)에 대해 제어 신호(BL4)가 공급되고, 대응하는 768개의 화소 셀(814) 내에 표시 신호(Vs)가 기입되면, 1수평 주사 기간(Th)이 종료가 된다.

다음으로 도24 및 표7을 이용하여, 본 발명의 제9 실시예인 SXGA형의 액정 표시 장치(900)에 대해서 설명한다.

도24는 액정 표시 장치(900)가 구비하는 데이터 드라이버(902)의 구성도이다. 도24에 나타난 바와 같이, 데이터 드라이버(902)는 제1계층(DB)에 있어서, TAB 실장된 드라이버(A, B)를 갖고, 제2계층(CB)에 있어서, 각각 192비트의 공통 신호선(A1, A2, B1, B2)을 갖고, 제3계층(SB)에서 20조의 스위치 블록(A11~A15, A21~A25, B11~B15, B21~B25)을 갖는다. 스위치 블록(A11~A15, A21~A25, B11~B15, B21~B25)은 각각, 예를 들면 CMOS형의 아날로그 스위치(708)를 192개씩 포함한다.

즉 액정 표시 장치(900)는 도3에 나타난 액정 표시 장치(50)에 있어서, N=2, k=2, n=5, m=192으로 한 경우의 실시예이고, 데이터 드라이버(902) 내에 20×192=3840개의 아날로그 스위치(908)를 구비하고 있다. 또한 아날로그 스위치(908)는 CMOS형에 한정하지 않고 NMOS형 또는 PMOS형의 것이어도 좋다.

액정 표시 장치(900)는 액정 표시 장치(800)와 마찬가지로 멀티 드라이버형이고, 각 드라이버가 2조의 공통 신호선에 접속되어 있고, 또한 각 공통 신호선에 5조의 스위치 블록이 접속되어 있는 점에 특징을 갖는다.

드라이버(A)의 384비트의 출력단은 공통 신호선(A1, A2)에 접속되어 있다. 또 공통 신호선(A1, A2) 내의 192개의 신호선(D1~D384, D193~D384)은 각각 스위치 블록(A11~A15, A21~A25) 내의 대응하는 아날로그 스위치(908)에 접속되어 있다. 또한 액정 표시 장치(900)에 있어서, 드라이버(B)에 관한 구성도 드라이버(A)와 마찬가지로, 그 설명을 생략한다. 또 액정 표시 장치(900)의 다른 구성은 도21에 나타난 액정 표시 장치(800)와 마찬가지로, 그 설명을 생략한다.

표7은 액정 표시 장치(900)의 1수평 주사 기간(Th)에서의 스위치 블록의 제어 타이밍을 나타낸다.

표 7

| 공통신호선 데이터 블록 | A1 (CB) | A2 (CB) | B1 (CB) | B2 (CB) | 합계 |
|-----------------|-------------------|-------------------|-------------------|-------------------|--------------------|
| BL1 | A11 | A21 | B11 | B21 | 768 비트 |
| BL2 | A12 | A22 | B12 | B22 | 768 비트 |
| BL3 | A13 | A23 | B13 | B23 | 768 비트 |
| BL4 | A14 | A24 | B14 | B24 | 768 비트 |
| BL5 | A15 | A25 | B15 | B25 | 768 비트 |
| 합계 | 960 비트 (192×5) | 960 비트 (192×5) | 960 비트 (192×5) | 960 비트 (192×5) | 3840 비트 (768×5) |

액정 표시 장치(900)에서는 1수평 주사 기간(Th)이 5개의 타이밍 블록(BL1~BL5)으로 구성되고, 제어 신호(BL1~BL5)가 차례로 공급됨으로써, 대응하는 스위치 블록(A11~A15, A21~A25, B11~B15, B21~B25) 내의 아날로그 스위치(908)가 온 상태로 된다.

상술한 바와 같이 제8 및 제9 실시예의 액정 표시 장치(800, 900)에서는 2개의 드라이버(A, B)에 각각 2조의 공통 신호선(A1, A2, B1, B2)이 접속되어 있고, 각 공통 신호선(A1, A2, B1, B2)은 192개의 신호선(D1~D192, D193~D384)으로 구성되어 있다. 그 결과, 각 공통 신호선(A1, A2, B1, B2) 내의 신호선 개수(192개)가, 도1, 도2에 나타난 종래예의 액정 표시 장치(10)에 비교해 반감하므로, 공통 신호선(A1, A2, B1, B2)의 배선폭도 거의 반감한다. 예를 들면 공통 신호선의 배선 피치를 16 μ m로 한 경우, 종래예의 공통 신호선(D1~D384)의 배선폭은 약6.14(16 μ m×384)mm가 되는데 대해서, 제8 및 제9 실시예의 액정 표시 장치(800, 900)의 공통 신호선(A1, A2, B1, B2)의 배선폭은 함께 약3.07(16 μ m×192)mm가 된다. 따라서 본 실시예에 의하면, 공통 신호선(A1, A2, B1, B2)의 배선폭의 축소에 의한 패널 테두리의 축소화와 액정 표시 장치(800, 900)의 경량화가 실현된다.

도1에 나타난 종래예의 액정 표시 장치(10)를 XGA형으로서, 4.0 μ s/블록의 신호 기입 시간을 확보하려면, 표시 매트릭스(18)를 4블록으로 구성하고, 각 블록(B1~B4)의 데이터 폭을 768비트로 할 필요가 있다. 이 경우 공통 신호선(D1~D768)과 도1에 나타난 인출선(31)은 최대(768-1)×4=3068개소에서 교차한다.

한편, 예를 들면 제8 실시예의 액정 표시 장치(800)가 구비하는 공통 신호선(D1~D192)은 공통 신호선(D1~D192)과 아날로그 스위치(808)를 접속하는 인출선과 최대(192-1)×4=764개소에서 교차한다. 여기서 1교차점당의 교차 용량을 5fF로

하면, 종래예의 공통 신호선(D1~D768)의 용량은 약15.3pF인데 대해서, 제8 실시예의 공통 신호선(D1~D192)의 용량은 약3.8pF가 된다. 이것은 제1 실시예의 공통 신호선(D1~D384)의 약7.6pF와 비교해도 반이다. 이와 같이 본 제8 및 제9 실시예에 의하면, 각 공통 신호선(A1, A2, B1, B2)의 교차점 용량이 대폭적으로 감소한다.

또 제8 및 제9 실시예의 액정 표시 장치(800, 900)는 각각 2조의 공통 신호선(A1, A2, B1, B2)을 가지기 때문에, 각 공통 신호선(A1, A2, B1, B2)의 (예를 들면, 도21의)수평 방향의 길이가 종래예에 비교해 1/4가 된다. 이 때문에, 제8 및 제9 실시예에 의하면, 각 공통 신호선(A1, A2, B1, B2)의 배선 저항도 감소한다. 예를 들면 화소 피치가 0.24 μ m, 표시 매트릭스의 횡방향의 길이가 (0.24 μ m \times 1024)=245.76mm, 공통 신호선의 배선 피치가 16 μ m, 단위 배선 스위트 저항이 0.2 Ω 인 12.1형 XGA 패널의 경우, 상기 종래예에서는 총저항치가 6.14k Ω 인데 대해서, 제8 실시예에서는 총저항치가 1.5k Ω 이 된다. 이것은 제1 실시예의 3.07k Ω 과 비교해도 약 반이다.

이와 같이 제8 및 제9 실시예의 액정 표시 장치(800, 900)에서는 종래예에 비교하여, 공통 신호선(A1, A2, B1, B2)의 교차점 용량과 배선 저항치가 감소하므로, 그 RC시정수도 대폭적으로 감소한다. 예를 들면 제8 실시예의 시정수RC는 1.5k Ω \times 3.8pF=5.7ns다. 이것은 시정수가 6.14k Ω \times 15.3pF=93.9ns인 XGA형의 종래예의 1/16이고, 시정수가 3.07k Ω \times 7.6pF=23.3ns인 제1 실시예의 1/4다.

이상과 같이, 제8 및 제9 실시예에서는 시정수가 개선됨으로써 액정 표시의 화질의 가일층의 향상이 실현된다.

다음으로 도25~도29, 표8 및 표9를 이용하여, 본 발명의 제10 실시예인 QXGA형의 액정 표시 장치(910)에 대해서 설명한다.

도25는 액정 표시 장치(910)의 전체 구성도이다.

도25에 나타낸 바와 같이, 액정 표시 장치(910)는 데이터 드라이버(920), 게이트 드라이버(922), 표시 매트릭스(924) 등을 구비하고 있다. 액정 표시 장치(910)는 도3에 나타낸 액정 표시 장치(50)에 있어서, N=4, k=2, n=4, m=192으로 한 경우의 실시예이다. 즉 데이터 드라이버(920)는 출력수가 384비트의 4개의 TAB 실장된 드라이버(A, B, C, D), 192비트의 공통 신호선(A1, A2, B1, B2, C1, C2, D1, D2), 32조의 스위치 블록(A11~D24)을 구비하고 있다. 또 표시 매트릭스(924)는 6144비트 \times 1536비트의 매트릭스 상으로 배설된 화소 셀(926)을 포함한다.

액정 표시 장치(910)는 4개의 드라이버(A, B, C, D)를 구비하고 있고, 각 드라이버가 2조의 공통 신호선(A1~D2)을 구비하고 있는 점에 특징을 갖는다.

또한 액정 표시 장치(910)의 다른 구성은 도16에 나타낸 액정 표시 장치(500)와 마찬가지로, 그 설명을 생략한다.

도26은 액정 표시 장치(910)가 구비하는 데이터 드라이버(920)의 구성도이다.

도26에 나타낸 바와 같이, 데이터 드라이버(920)는 제1 계층(DB)에서 드라이버(A, B, C, D)를 갖고, 제2 계층(CB)에 있어서, 각각 192비트의 공통 신호선(A1~D2)을 갖고, 제3 계층(SB)에 있어서, 32조의 스위치 블록(A11~D24)을 갖는다. 이들 스위치 블록은 각각, 예를 들면 CMOS형의 아날로그 스위치(928)를 192개씩 포함한다. 즉 데이터 드라이버(920)는 32 \times 192=6144개의 아날로그 스위치(928)를 구비하고 있다. 또한 아날로그 스위치(928)는 CMOS형에 한정하지 않고 NMOS형 또는 PMOS형의 것이어도 좋다.

도27은 액정 표시 장치(910)의 실장예를 나타내는 도면이다.

여기서는 액정 표시 장치(910)가 15형 QXGA 저온 p-Si TFT 패널이고, 2개의 게이트 드라이버(922, 923)를 구비한 실장예를 나타낸다.

액정 표시 장치(911)는 게이트 드라이버(922, 923)와, 데이터 드라이버(920)와, 표시 매트릭스(924) 이외, 리페어 회로(925) 등을 구비하고 있다. 리페어 회로(925)는 표시 매트릭스(924) 내의 신호선의 결함을 수복한다.

또한 상술한 제1~제9 실시예인 액정 표시 장치(100~900)가 본 실장예와 같이 복수의 게이트 드라이버를 구비하도록 해도 좋다.

도28은 액정 표시 장치(910)가 구비하는 드라이버(A)주변의 회로 구성도이다. 도28에 나타난 바와 같이, 액정 표시 장치(910)는 드라이버(A), TFT기판(932), 대향 기판(934), 게이트 드라이버(922), 표시 매트릭스(924) 등을 구비하고 있다.

드라이버(A)는 TAB-IC입력 단자(936)와, 384비트의 출력 단자를 구비하고 있다. 드라이버(A)의 384비트의 출력 단자는 192비트씩 각각 공통 신호선(A1(D1~D192), A2(D193~D384))에 접속되어 있다. 또 신호선(D1~D192)은 각각 스위치 블록(A11~A14) 내의 대응하는 아날로그 스위치(928)에 접속되어 있고, 신호선(D193~D384)은 각각 스위치 블록(A21~A24) 내의 대응하는 아날로그 스위치(928)에 접속되어 있다. 또 각 아날로그 스위치(928)의 게이트에는 제어선(BL)이 접속되어 있고, 제어선(BL)을 통해서 공급되는 제어 신호(BL1~BL4)에 의해 각각의 아날로그 스위치(928)는 제어된다. 예를 들면 스위치 블록(A11, A21) 내의 합계 384개의 아날로그 스위치(928)는 제어 신호(BL1)에 의해 제어된다.

드라이버(A)에 관한 TAB(938)으로부터는 제어 신호(BL1~BL4)용의 4개의 제어선(BL) 이외, 표시 매트릭스(924)의 좌측에 설치된 게이트 드라이버(922)의 10개의 클록선 및 전원선 등을 포함하는 게이트 드라이버 제어선(940)도 직접 꺼내지고 있다. 또한 도27에 나타난 표시 매트릭스(924)의 우측에 설치된 게이트 드라이버(923)의 게이트 드라이버 제어선(940)은 드라이버(D)에 관한 TAB으로부터 꺼내지고 있다. 도28에 나타난 TAB(938)의 사이즈는, 예를 들면 300mm정도로 할 수 있다.

표8은 액정 표시 장치(910)의 주요한 설계 사양예를 나타낸다.

표 8

| 분류 | 항목 | 단위 | 사양 |
|----------------------|---------------|-------|----------------------|
| 표시 사양 치수 | 액정표시장치의 타입 | --- | 저온 p-Si 주변회로일체화형 |
| | 패널형(□각치수) | 형(cm) | 15형(38cm) |
| | 표시포맷 | | QXGA(XCA) |
| | 표시 매트릭스 | pixel | (2048×3)×1536 |
| | 화소총수 | Pixel | 9437,184(~944만) |
| | 화소치수 | mm | (0.0495×3)0.1485 |
| | 유닛외형치수 | mm | 374.3×264.3×21.0 |
| | 패널(TFT)치수 | mm | 315.55×239.30±.30 |
| | CF 기판치수 | mm | 312.55×236.30±.30 |
| | 편광판치수(TFT) | mm | 308.00×232.00±.30 |
| | 편광판치수(CF) | mm | 311.35×235.10±.30 |
| | 유효표시면적 | mm | 311.35×235.10±.30 |
| 공학/ 입력 사양 등 | 표시형식 | | TFT 구동노멀리블랙 |
| | 공시야각방식 | | MVA(멀티도메인 VA) |
| | 도메인분할수 | | 4도메인/화소 |
| | 표시색 | | 1670만색(8비트)/26만(6비트) |
| | 표시개조수 | | 256개조/64개조 |
| | 백라이트 | | 냉음극관 4개(상하각 2개) |
| | 입력데이터 | | 8비트/6비트(디지털) |

표9는 액정 표시 장치(910)의 1수평 주사 기간(Th)에서의 스위치 블록의 제어 타이밍을 나타낸다.

표 9

| 물리블록 타이밍블록 | A (DB 레이어) | | B (DB 레이어) | | C (DB 레이어) | | D (DB 레이어) | | 합계 |
|---------------|-------------------|-------------|-------------------|-------------|-------------------|-------------|-------------------|-------------|---------------------|
| | A1 (CB) | A2 (CB) | B1 (CB) | B2 (CB) | C1 (CB) | C2 (CB) | D1 (CB) | D2 (CB) | |
| BL1 | A11 (SB) | A21 (SB) | B11 (SB) | B21 (SB) | C11 (SB) | C21 (SB) | D11 (SB) | D21 (SB) | 1536 비트 |
| BL2 | A12 (SB) | A22 (SB) | B12 (SB) | B22 (SB) | C12 (SB) | C22 (SB) | D12 (SB) | D22 (SB) | 1536 비트 |
| BL3 | A13 (SB) | A23 (SB) | B13 (SB) | B23 (SB) | C13 (SB) | C23 (SB) | D13 (SB) | D23 (SB) | 1536 비트 |
| BL4 | A14 (SB) | A24 (SB) | B14 (SB) | B24 (SB) | C14 (SB) | C24 (SB) | D14 (SB) | D24 (SB) | 1536 비트 |
| 합계 | 768 비트 (192×4) | | 768 비트 (192×4) | | 768 비트 (192×4) | | 768 비트 (192×4) | | 6144 비트 (1536×4) |

액정 표시 장치(910)에서는 1수평 주사 기간(Th)이 4개의 타이밍 블록(BL1~BL4)으로 구성되고, 제어 신호(BL1~BL4)가 차례로 공급됨으로써, 대응하는 스위치 블록(A11~D24) 내의 아날로그 스위치(928)가 온 상태로 된다.

다음으로 도25~도29 및 표9를 이용하여, 액정 표시 장치(910)의 동작을 설명한다.

도29는 액정 표시 장치(910)의 동작 타이밍도이다.

도29에 나타난 바와 같이, 1수평 주사 기간(Th)은 4개의 타이밍 블록(BL1~BL4)을 포함하고 있다. 예를 들면 1수평 주사 기간(Th)은 약10.8 μ s이고, 각 타이밍 블록(BL1~BL4)의 시간 길이(Tb)는 약1.8 μ s이고, 1블랭킹 기간(Tbk)은 약3.6 μ s이다.

먼저, 제1 타이밍 블록(BL1)에 있어서, 제어 신호(BL1)에 스위치 블록(A11, A21, B11, B21, C11, C21, D11, D21) 내의 합계 1536개의 아날로그 스위치(928)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(928)를 통해서 대응하는 화소 셀(926)에 드라이버(A, B, C, D)로부터 표시 신호(Vs)가 공급되고, 액정 표시가 행하여진다.

다음으로 제2 타이밍 블록(BL2)에 있어서, 제어 신호(BL2)에 의해서, 스위치 블록(A12, A22, B12, B22, C12, C22, D12, D22) 내의 합계 1536개의 아날로그 스위치(928)는 온 상태가 된다. 이 때, 온 상태가 된 아날로그 스위치(928)를 통해서 대응하는 화소 셀(926)에 드라이버(A, B, C, D)로부터 표시 신호(Vs)가 주어지고, 액정 표시가 행하여진다.

상기와 같은 동작이 반복되고, 스위치 블록(A14, A24, B14, B24, C14, C24, D14, D24)내의 아날로그 스위치(928)에 대해 제어 신호(BL4)가 공급되고, 대응하는 1536개의 화소 셀(926) 내에 표시 신호(Vs)가 기입되면, 1수평 주사 기간(Th)이 종료가 된다.

드라이버(A, B, C, D)의 배치 장소는 도25 및 도27에 나타난 위치에 한정하지 않고, 예를 들면 이하의 액정 표시 장치(911) 같이 배치해도 좋다.

도30은 본 발명의 제11 실시예인 QXGA형의 액정 표시 장치(911)의 전체 구성도이다.

도30에 나타난 바와 같이, 액정 표시 장치(911)는 데이터 드라이버(950, 951), 게이트 드라이버(952), 표시 매트릭스(954) 등을 구비하고 있다. 액정 표시 장치(911)는 도25에 나타난 액정 표시 장치(910)와 마찬가지로, 도3의 액정 표시 장치(50)에 있어서, N=4, k=2, n=4, m=192으로 한 경우의 실시예이다.

액정 표시 장치(911)는 멀티 드라이버형이고, 또한 표시 매트릭스(954)를 사이에 대향하는 2개의 데이터 드라이버(950, 951)를 구비하고 있는 점에 특징을 갖는다.

액정 표시 장치(911)에 있어서, 스위치 블록(A11~A14, A21~A24, B11~B14, B21~B24) 내의 합계 3072개의 아날로그 스위치(958)는 표시 매트릭스(954) 내의 홀수열에 배열된 신호선(959)에 접속되어 있다. 또 스위치 블록(C11~C14, C21~C24, D11~D14, D21~D24) 내의 합계 3072개의 아날로그 스위치(958)는 표시 매트릭스(954) 내의 짝수열에 배열된 신호선(959)에 접속되어 있다.

또한 액정 표시 장치(911)의 다른 구성 및 동작은 도25에 나타난 액정 표시 장치(910)와 마찬가지로, 그 설명을 생략한다.

도31은 본 발명의 제12 실시예인 QXGA형의 액정 표시 장치(912)의 전체 구성도이다.

도31에 나타난 바와 같이, 액정 표시 장치(912)는 데이터 드라이버(960, 961), 게이트 드라이버(A1, B1, C1, D1), 표시 매트릭스(964) 등을 구비하고 있다. 액정 표시 장치(912)는 도3의 액정 표시 장치(50)에 있어서, $N=4$, $k=2$, $n=8$, $m=192$ 으로 한 경우의 실시예이다.

액정 표시 장치(912)는 멀티 드라이버형이고, 표시 매트릭스(964)를 사이에 대향하는 2개의 데이터 드라이버(960, 961)와, 4개의 게이트 드라이버(A1, B1, C1, D1)를 구비하고 있는 점에 특징을 갖는다.

표시 매트릭스(964)는 4개의 표시 매트릭스(a1, b1, c1, d1)로 된다. 그리고, 예를 들면 표시 매트릭스(a1)에서는 드라이버(A)와 게이트 드라이버(A1)에 의해 액정 표시가 행하여진다. 마찬가지로, 표시 매트릭스(b1)에서는 드라이버(B)와 게이트 드라이버(B1)에 의해 액정 표시가 행하여지고, 표시 매트릭스(c1)에서는 드라이버(C)와 게이트 드라이버(C1)에 의해 액정 표시가 행하여지고, 표시 매트릭스(d1)에서는 드라이버(D)와 게이트 드라이버(D1)에 의해 액정 표시가 행하여진다.

액정 표시 장치(912)는 표9 및 도29에 나타난 동작 타이밍과 마찬가지로의 동작 타이밍에서 액정 표시를 한다. 액정 표시 장치(912)에서는 상측의 표시 매트릭스(a1, b1)에서 하측의 표시 매트릭스(c1, d1)를 동시에 스캔할 수 있다. 이 때문에, 도25에 나타난 표시 매트릭스(924)의 한쪽 편에만 데이터 드라이버(920)가 배설된 액정 표시 장치(910)에 비교하여, 1수평 주사 기간(T_h)을 2배로 늘릴 수 있다. 예를 들면 액정 표시 장치(912)에 의하면, 1수평 주사 기간(T_h)을 $10.8\mu s \times 2 = 21.6\mu s$, 1타이밍 블록의 시간 길이(T_b)를 $2.0\mu s$, 블랭킹 기간(T_{bk})을 $5.6\mu s$ 로 할 수 있다.

삭제

다음으로 도32 및 표10을 이용하여, 본 발명의 제13 실시예인 QSXGA형의 액정 표시 장치(913)에 대해서 설명한다.

도32는 액정 표시 장치(913)가 구비하는 데이터 드라이버(970)의 구성도이다. 도32에 나타난 바와 같이, 데이터 드라이버(970)는 제1계층(DB)에 있어서, TAB 실장의 4개의 드라이버(A, B, C, D)를 갖고, 제2계층(CB)에 있어서, 각각 192비트의 8조의 공통 신호선(A1~D2)을 갖고, 제3계층(SB)에서 40조의 스위치 블록(A11~D25)을 갖는다. 스위치 블록(A11~D25)은 각각, 예를 들면 CMOS형의 아날로그 스위치(972)를 192개씩 포함한다.

삭제

즉 액정 표시 장치(913)는 도3에 나타난 액정 표시 장치(50)에 있어서, $N=4$, $k=2$, $n=5$, $m=192$ 으로 한 경우의 실시예이고, 데이터 드라이버(970) 내에 $40 \times 192 = 7680$ 개의 아날로그 스위치(972)를 구비하고 있다. 또한 아날로그 스위치(972)는 CMOS형에 한정하지 않고 NMOS형 또는 PMOS형의 것이어도 좋다.

또한 액정 표시 장치(913)의 다른 구성은 도20에 나타난 액정 표시 장치(700)와 마찬가지로, 그 설명을 생략한다.

표10은 액정 표시 장치(913)의 1수평 주사 기간(T_h)에서의 스위치 블록의 제어 타이밍을 나타낸다.

표 10

| 공리블록 | A (DB 레이어) | | B (DB 레이어) | | C (DB 레이어) | | D (DB 레이어) | | 합계 |
|-------|-------------------|-------------|-------------------|-------------|-------------------|-------------|-------------------|-------------|---------------------|
| | A1 (CB) | A2 (CB) | B1 (CB) | B2 (CB) | C1 (CB) | C2 (CB) | D1 (CB) | D2 (CB) | |
| 타이밍블록 | | | | | | | | | |
| BL1 | A11 (SB) | A21 (SB) | B11 (SB) | B21 (SB) | C11 (SB) | C21 (SB) | D11 (SB) | D21 (SB) | 1536 비트 |
| BL2 | A12 (SB) | A22 (SB) | B12 (SB) | B22 (SB) | C12 (SB) | C22 (SB) | D12 (SB) | D22 (SB) | 1536 비트 |
| BL3 | A13 (SB) | A23 (SB) | B13 (SB) | B23 (SB) | C13 (SB) | C23 (SB) | D13 (SB) | D23 (SB) | 1536 비트 |
| BL4 | A14 (SB) | A24 (SB) | B14 (SB) | B24 (SB) | C14 (SB) | C24 (SB) | D14 (SB) | D24 (SB) | 1536 비트 |
| BL5 | A15 (SB) | A25 (SB) | B15 (SB) | B25 (SB) | C15 (SB) | C25 (SB) | D15 (SB) | D25 (SB) | 1536 비트 |
| 합계 | 960 비트 (192×5) | | 960 비트 (192×5) | | 960 비트 (192×5) | | 960 비트 (192×5) | | 7686 비트 (1536×5) |

액정 표시 장치(913)에서는 1수평 주사 기간(Th)이 5회의 타이밍 블록(BL1~BL5)으로 구성되고, 제어 신호(BL1~BL5)가 차례로 공급됨으로써, 대응하는 스위치 블록(A11~D25) 내의 아날로그 스위치(972)가 온 상태로 된다. 구체적으로는, 예를 들면 1수평 주사 기간(Th) 내의 최초의 타이밍 블록(BL1)에서는 스위치 블록(A11, A21, B11, B21, C11, C21, D11, D21) 내의 합계 1536개의 아날로그 스위치(972)가 제어 신호(BL1)에 의해 온으로 된다.

또 타이밍블록(BL1)에 계속되는 타이밍블록(BL2)에서는 스위치 블록(A12~D22) 내의 합계 1536개의 아날로그 스위치(972)가 제어 신호(BL2)에 의해 온으로 된다.

이와 같은 제어가 반복되어, 마지막 타이밍 블록(BL5)에 있어서, 스위치 블록(A15~D25) 내의 합계 1536개의 아날로그 스위치(972)가 제어 신호(BL5)에 의해 온으로 되면 1수평 주사 기간(Th)이 종료가 된다. 표시 신호(Vs)는 각 타이밍 블록(BL1~BL5)에 있어서, 온 상태로 된 아날로그 스위치(972)를 통해서, 활성화된 화소 셀 내에 차례로 기입된다.

상술한 바와 같이 제10~13 실시예의 액정 표시 장치(910~913)에서는 4개의 드라이버(A, B, C, D)에, 각각 192비트의 2조의 공통 신호선(A1~D2)이 접속되어 있다. 그 결과, 공통 신호선(A1~D2)의 배선폭도 대폭적으로 감소한다. 예를 들면 공통 신호선의 배선 피치를 16 μ m으로 한 경우, QXGA 패널에 적용된 종래예의 공통 신호선(D1~D1536)의 배선폭은 약 24.6(16 μ m×1536)mm가 되는데 대해서, 제10 실시예의 액정 표시 장치(910)의 공통 신호선(A1~D2)의 배선폭은 각각 약 3.07(16 μ m×192)mm가 된다. 이것은 배선폭이 6.1mm가 되는 제5 실시예와 비교해도 매우 작다. 이와 같이 본 실시예에 의하면, 공통 신호선(A1~D2)의 배선폭의 축소에 의한 패널 테두리의 축소화와 액정 표시 장치(910~913)의 경량화가 실현된다.

도1에 나타난 종래예의 액정 표시 장치(10)를 QXGA형으로서, 1.8 μ s/블록의 신호 기입 시간을 확보하려면, 표시 매트릭스(18)를 4블록으로 구성하고, 각 블록(B1~B4)의 데이터 폭을 1536비트로 할 필요가 있다. 이 경우 공통 신호선(D1~D1536)과 도1에 나타난 인출선(31)은 최대(1536-1)×4=6140개소에서 교차한다.

한편, 예를 들면 제10 실시예의 액정 표시 장치(910)가 구비하는 공통 신호선(D1~D192)은 공통 신호선(D1~D192)과 아날로그 스위치(928)를 접속하는 인출선과 최대(192-1)×4=764개소에서 교차한다. 여기서1교차점당의 교차 용량을 5fF로 하면, 종래예의 공통 신호선(D1~D1536)의 용량은 약30.7pF인데 대해서, 제10 실시예의 공통 신호선(D1~D192)의 용량은 약3.8pF가 된다. 이것은 공통 신호선(D1~D384)의 용량이 (384-1)×4×5=7.7pF가 되는 제5 실시예와 비교해도 약 반이다. 이와 같이 본 제10~13 실시예에 의하면, 각 공통 신호선(A1~D2)의 교차점 용량이 대폭적으로 감소한다.

또 제10~13 실시예의 액정 표시 장치(910~913)는 4개의 드라이버(A, B, C, D)가 각각 2조의 공통 신호선(A1~D2)을 가지기 때문에, 각 공통 신호선(A1~D2)의(예를 들면, 도25의) 수평 방향의 길이가 종래예에 비해 1/8이 된다. 이 때문에, 제10~13 실시예에 의하면, 각 공통 신호선(A1~D2)의 배선 저항도 감소한다. 예를 들면 화소 피치가 0.1485 μ m, 표시 매트릭스의 횡방향의 길이가 (0.1485 μ m \times 2048)=304mm, 공통 신호선의 배선 피치가 16 μ m, 단위 배선 쉬트 저항이 0.2 Ω 인 15.0형 QXGA 패널의 경우, 상기 종래예에서는 총저항치가 7.6k Ω 이 되고,

제5 실시예에서는 총저항치가 1.9k Ω 이 되는데 대해서, 제10 실시예에서는 총저항치가 0.95k Ω 이 된다.

이와 같이 제10~13 실시예의 액정 표시 장치(910~913)에서는 종래예에 비교하여, 공통 신호선(A1~D2)의 교차점 용량과 배선 저항치가 감소하므로, 그 RC시정수도 대폭적으로 감소한다. 예를 들면

제10 실시예의 시정수RC는 0.95k Ω \times 3.8pF=3.6ns다. 이것은 시정수가 7.6k Ω \times 30.7pF=233ns인 QXGA형의 종래예의 1/64이고, 시정수가 1.9k Ω \times 7.7pF=14.6ns인 제5 실시예의 1/4다.

이상과 같이, 제10~13 실시예에서는 시정수가 개선됨으로써, 액정 표시의 화질의 가일층의 향상이 실현된다.

또한 상기 제1 및 제2 실시예의 액정 표시 장치(100, 200)와, 제5~제13 실시예의 액정 표시 장치(500~913)가 구비하는 드라이버(A, B, C, D)는 TAB 실장으로 했지만, COG 실장이나 COF 실장의 IC칩으로 하여도 좋다. 또 제3 및 제4 실시예의 액정 표시 장치(300, 400) 같이 p-SiTFT에 의한 내장형 드라이버로 하여도 좋다. 또한 액정 표시 장치(100~913)에 멀티 도메인 수직 배향(MVA)방식이나, IPS(In Plane Switching Mode)방식을 채용하여, 액정 표시의 시야각을 향상시켜도 좋다.

이상, 본 발명을 실시예에 의해 설명했지만, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 원리를 만족하는 범위에서 여러가지 변형 및 개량이 가능한 것은 말할 것도 없다.

(부기)

이상, 본 발명을 정리하면 이하와 같다.

(1) 표시 매트릭스 내에 있어서, 게이트 드라이버로부터 공급된 주사 신호에 의해 활성화된 화소 셀에 데이터 드라이버로부터 표시 신호를 주어 액정 표시를 하는 액정 표시 장치로서,

상기 데이터 드라이버는 N개의 디지털 드라이버와, 상기 디지털 드라이버마다 k조씩 접속된 공통 신호선과, 상기 공통 신호선마다 n조씩 설치되고, 각 조 내에 상기 공통 신호선의 개수m과 동일한 수의 선택 스위치를 포함하는 스위치 블록을 구비하며, 상기 N, k, n, m은 정수이며, 상기 k는 복수인 것을 특징으로 하는 액정 표시 장치.

(2) (1) 기재한 액정 표시 장치로서,

1수평 주사 기간은 p회의 타이밍 기간으로 되고, 각 타이밍 기간에 있어서, 각 공통 신호선에 설치된 n조의 스위치 블록 중의 어느 1조의 스위치 블록이 제어 신호에 의해 차례로 선택되고,

상기 디지털 드라이버는 선택된 스위치 블록 내의 선택 스위치에 접속된 상기 화소 셀에 표시 신호를 공급하며, 상기 p는 정수인 것을 특징으로 하는 액정 표시 장치.

(3) (1) 또는 (2)의 액정 표시 장치로서,

상기 데이터 드라이버는 제1~제3계층을 갖고, 상기 디지털 드라이버는 상기 제1계층 내에서 일렬로 배열되어 있고, 상기 공통 신호선은 상기 제2계층 내에서 일렬로 배열되어 있고, 상기 스위치 블록은 상기 제3계층 내에서 일렬로 배열되어 있는 것을 특징으로 하는 액정 표시 장치.

(4) (1)~(3)의 어느 1항 기재한 액정 표시 장치로서,

상기 디지털 드라이버는 TAB 실장된 LSI칩이고, 상기 스위치 블록에 상기 제어 신호를 공급하기 위한 n개의 스위치 블록 제어선을 구비하고 있는 것을 특징으로 하는 액정 표시 장치.

(5) (4)기재한 액정 표시 장치로서,

또한 상기 게이트 드라이버에 대해 가장 가까이에 설치된 디지털 드라이버는 상기 게이트 드라이버에 제어 신호를 공급하기 위한 게이트 드라이버 제어선을 구비하고 있는 것을 특징으로 하는 액정 표시 장치.

(6) (1)~(3)의 어느 1항 기재한 액정 표시 장치로서,

상기 디지털 드라이버는 COG 또는 COF 실장된 LSI칩인 것을 특징으로 하는 액정 표시 장치.

(7) (1)~(3)의 어느 1항 기재한 액정 표시 장치로서,

상기 디지털 드라이버는 p-SiTFT에 의해 상기 표시 매트릭스와 일체 형성된 패널 내장형 회로인 것을 특징으로 하는 액정 표시 장치.

(8) (7)기재한 액정 표시 장치로서,

상기 데이터 드라이버는 또한 p-SiTFT에 의해 상기 표시 매트릭스와 일체 형성되고, 상기 스위치 블록에 소정의 타이밍으로 제어 신호를 주는 블록 선택 회로를 갖는 것을 특징으로 하는 액정 표시 장치.

(9) (1)~(8)의 어느 1항 기재한 액정 표시 장치로서,

상기 선택 스위치는 N채널 트랜지스터를 이용한 NMOS형과, P채널 트랜지스터를 이용한 PMOS형과, N 및 P채널 트랜지스터를 이용한 CMOS형 중의 어느 형의 아날로그 스위치인 것을 특징으로 하는 액정 표시 장치.

(10) (1)~(9)의 어느 1항 기재한 액정 표시 장치로서,

상기 표시 매트릭스의 수평 화소 셀수는 정수(200, 240, 256, 300, 384) 중의 어느 하나의 정수배인 것을 특징으로 하는 액정 표시 장치(11) (1)~(10)의 어느 1항 기재한 액정 표시 장치로서,

상기 데이터 드라이버는 상기 표시 매트릭스를 사이에 대향해 2개 설치되어 있고, 상기 2개의 데이터 드라이버는 상기 표시 매트릭스 내에서 서로 다른 영역의 화소 셀에 표시 신호를 공급하는 것을 특징으로 하는 액정 표시 장치.

(12) (1)~(10)의 어느 1항 기재한 액정 표시 장치로서,

상기 데이터 드라이버는 상기 표시 매트릭스를 사이에 대향해 2개 설치되어 있고, 한쪽의 데이터 드라이버는 상기 표시 매트릭스 내에서 홀수열에 배열된 신호선에 접속된 화소 셀에 표시 신호를 공급하고, 다른 쪽의 데이터 드라이버는 상기 표시 매트릭스 내에서 짝수열로 배열된 신호선에 접속된 화소 셀에 표시 신호를 공급하는 것을 특징으로 하는 액정 표시 장치.

(13) (1)~(12)의 어느 1항 기재한 액정 표시 장치로서,

상기 게이트 드라이버는 상기 표시 매트릭스를 사이에 대향해 2개 설치되어 있고, 상기(2개의 게이트 드라이버는 상기 표시 매트릭스 내에서 서로 다른 화소 셀에 주사 신호를 공급하는 것을 특징으로 하는 액정 표시 장치.

(14) (1)~(13)의 어느 1항 기재한 액정 표시 장치로서,

상기 표시 매트릭스 내에 배열된 신호선의 결함을 수복하는 리페어 회로를 구비하고 있는 것을 특징으로 하는 액정 표시 장치.

(15) (1)~(14)의 어느 1항 기재한 액정 표시 장치로서,

멀티 도메인 수직 배향 방식의 액정 표시를 하는 것을 특징으로 하는 액정 표시 장치.

(16) (1)~(14)의 어느 1항 기재한 액정 표시 장치로서,

IPS방식의 액정 표시를 하는 것을 특징으로 하는 액정 표시 장치.

발명의 효과

상술한 바와 같이 청구항1~3에 기재한 발명에 의하면, 소형화, 저비용화 및 고품질인 액정 표시 등이 가능한 액정 표시 장치를 제공할 수 있다.

도면의 간단한 설명

도1은 단순 블록 순차 방식으로 구동되는 종래예의 액정 표시 장치의 구성도.

도2는 종래예의 액정 표시 장치가 구비하는 데이터 드라이버 및 표시 매트릭스의 구성을 설명하기 위한 블록도.

도3은 본 발명의 기본 구성을 설명하기 위한 도면.

도4는 본 발명의 액정 표시 장치가 구비하는 드라이버(B)에 관한 구성을 나타내는 도면.

도5는 본 발명의 제1 실시예인 액정 표시 장치의 전체 구성도.

도6은 제1 실시예의 액정 표시 장치가 구비하는 데이터 드라이버의 구성도.

도7은 제1 실시예의 액정 표시 장치의 회로 구성도.

도8은 제1 실시예의 액정 표시 장치가 구비하는 외부 장착 타입의 드라이버(A)의 내부 구성예를 나타내는 블록도.

도9는 제1 실시예의 액정 표시 장치가 구비하는 게이트 드라이버의 구성예를 나타내는 도면.

도10은 제1 실시예의 액정 표시 장치의 동작 타이밍도.

도11은 본 발명의 제2 실시예인 액정 표시 장치가 구비하는 데이터 드라이버의 구성도.

도12는 본 발명의 제3 실시예인 액정 표시 장치의 회로 구성도.

도13은 제3 실시예의 액정 표시 장치가 구비하는 내장형의 드라이버(A)의 내부 구성예를 나타내는 블록도.

도14는 본 발명의 제4 실시예인 액정 표시 장치의 회로 구성도.

도15는 제4 실시예의 액정 표시 장치의 동작 타이밍도.

도16은 본 발명의 제5 실시예인 액정 표시 장치의 전체 구성도.

도17은 제5 실시예의 액정 표시 장치가 구비하는 데이터 드라이버의 구성도.

도18은 제5 실시예의 액정 표시 장치의 동작 타이밍도.

도19는 본 발명의 제6 실시예인 액정 표시 장치의 전체 구성도.

도20은 본 발명의 제7 실시예인 액정 표시 장치가 구비하는 데이터 드라이버의 구성도.

도21은 본 발명의 제8 실시예인 액정 표시 장치의 전체 구성도.

도22는 제8 실시예의 액정 표시 장치가 구비하는 데이터 드라이버의 구성도.

도23은 제8 실시예의 액정 표시 장치의 동작 타이밍도.

도24는 본 발명의 제9 실시예인 액정 표시 장치가 구비하는 데이터 드라이버의 구성도.

도25는 본 발명의 제10 실시예인 액정 표시 장치의 전체 구성도.

도26은 제10 실시예의 액정 표시 장치가 구비하는 데이터 드라이버의 구성도.

도27은 제10 실시예의 액정 표시 장치의 실장예를 나타내는 도면.

도28은 제10 실시예의 액정 표시 장치가 구비하는 드라이버(A)의 주변의 회로 구성도.

도29는 제10 실시예의 액정 표시 장치의 동작 타이밍도.

도30은 본 발명의 제11 실시예인 액정 표시 장치의 전체 구성도.

도31은 본 발명의 제12 실시예인 액정 표시 장치의 전체 구성도.

도32는 본 발명의 제13 실시예인 액정 표시 장치가 구비하는 데이터 드라이버의 구성도.

(부호의 설명)

50, 100 액정 표시 장치

52, 102 데이터 드라이버

54, 106 표시 매트릭스

56, 110 신호선

60, 108 아날로그 스위치

61 인출선

62, 112 주사선

64, 114 화소 셀

104 게이트 드라이버

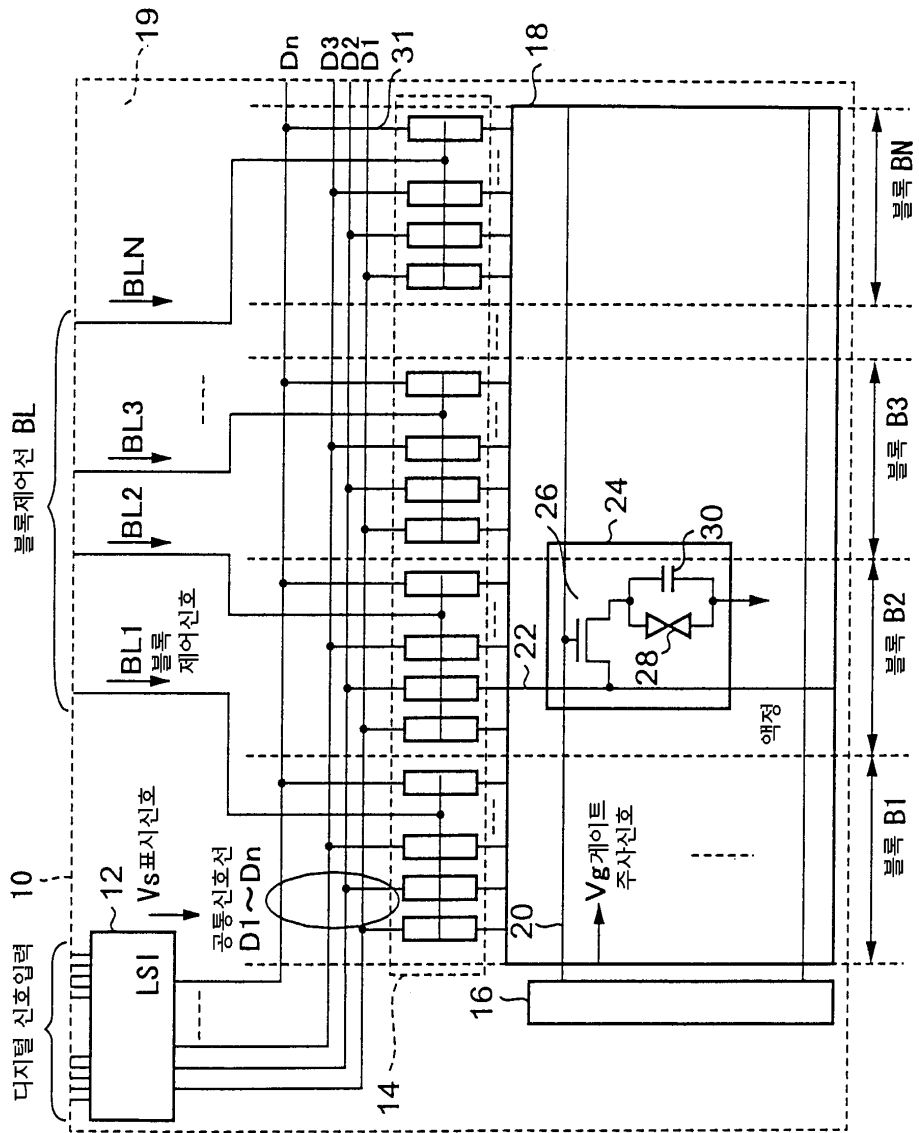
116 화소TFT

118 액정 셀

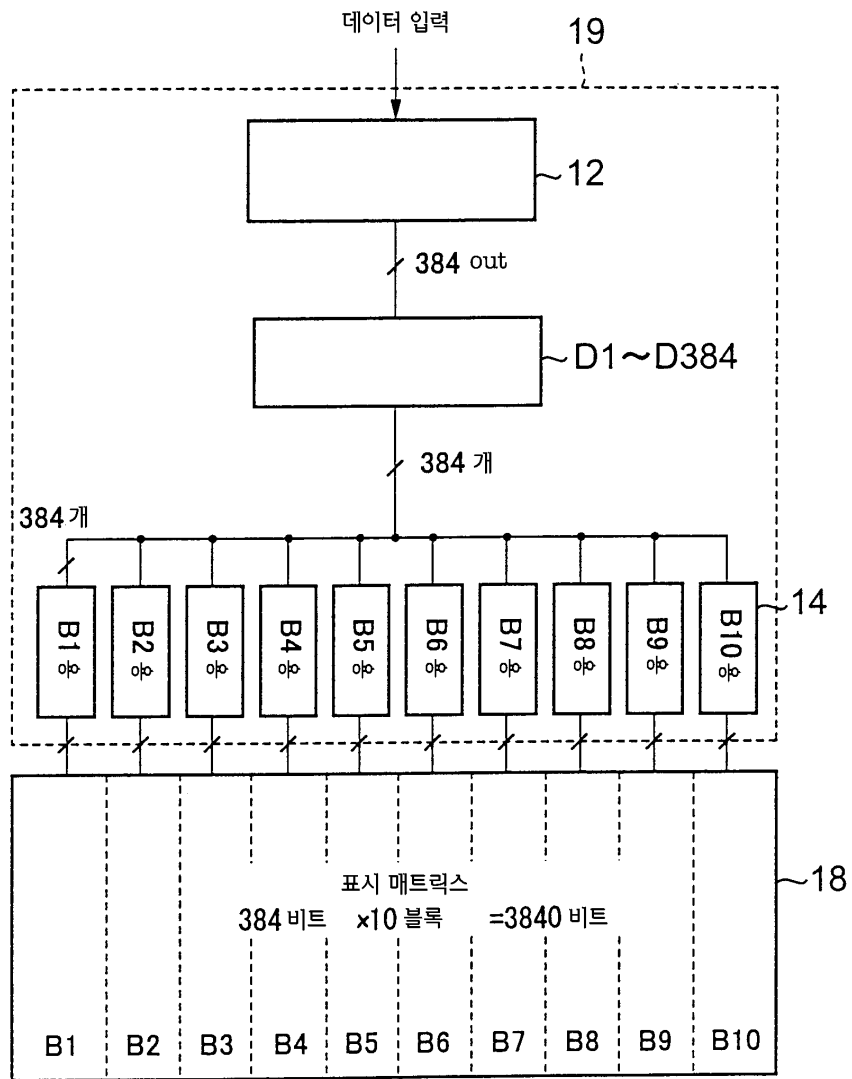
120 축적 용량

도면

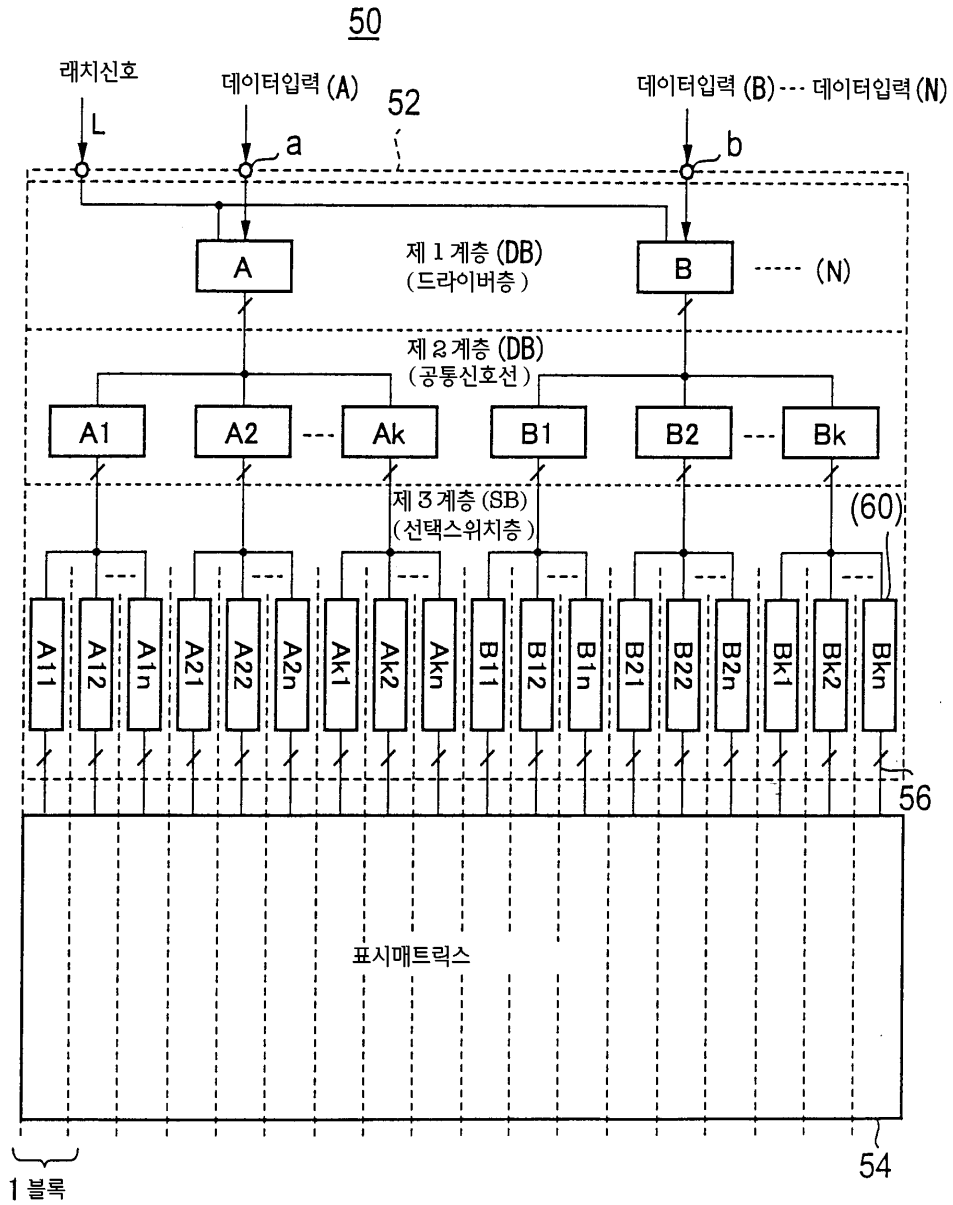
도면1



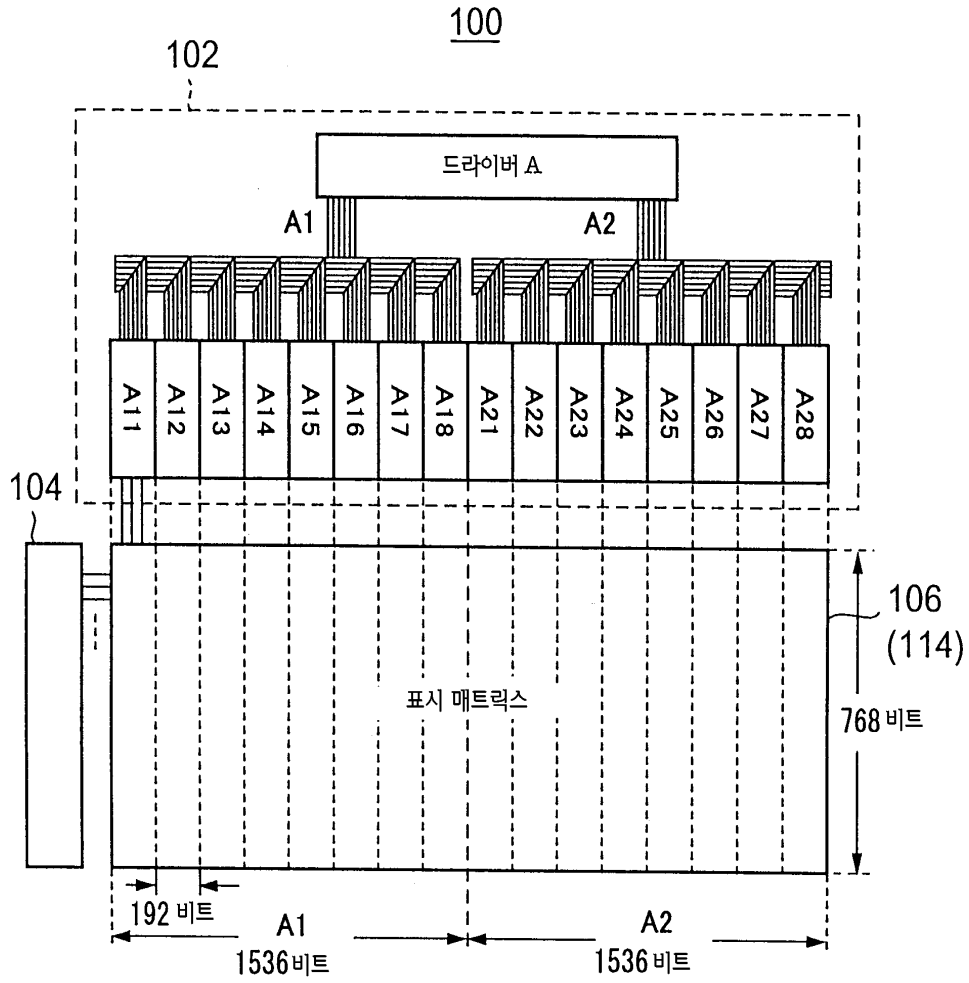
도면2



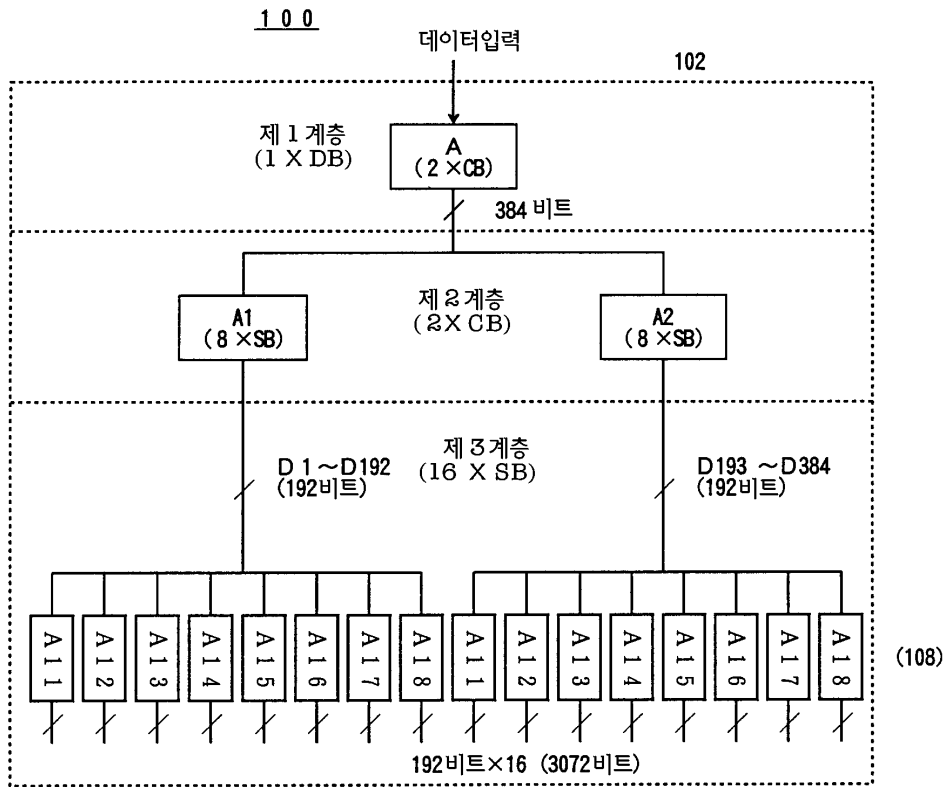
도면3



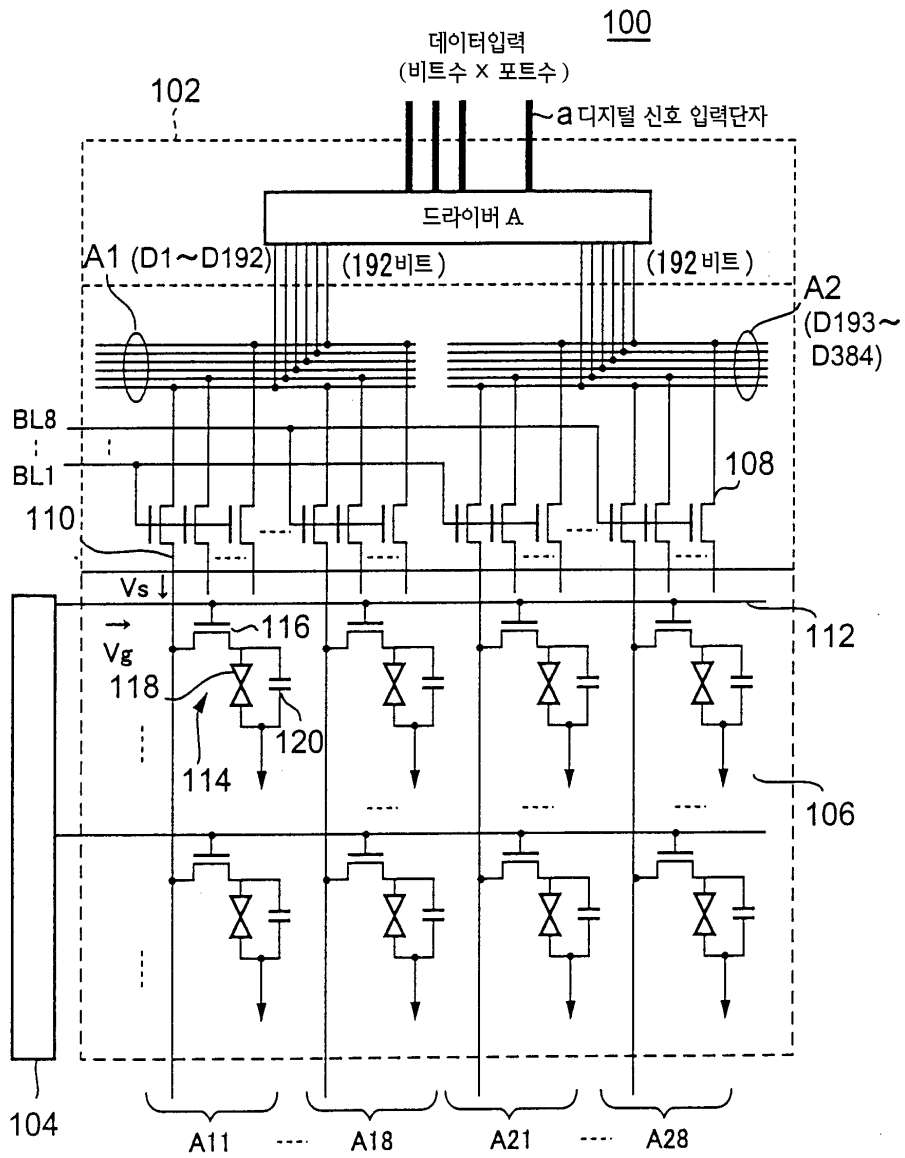
도면5



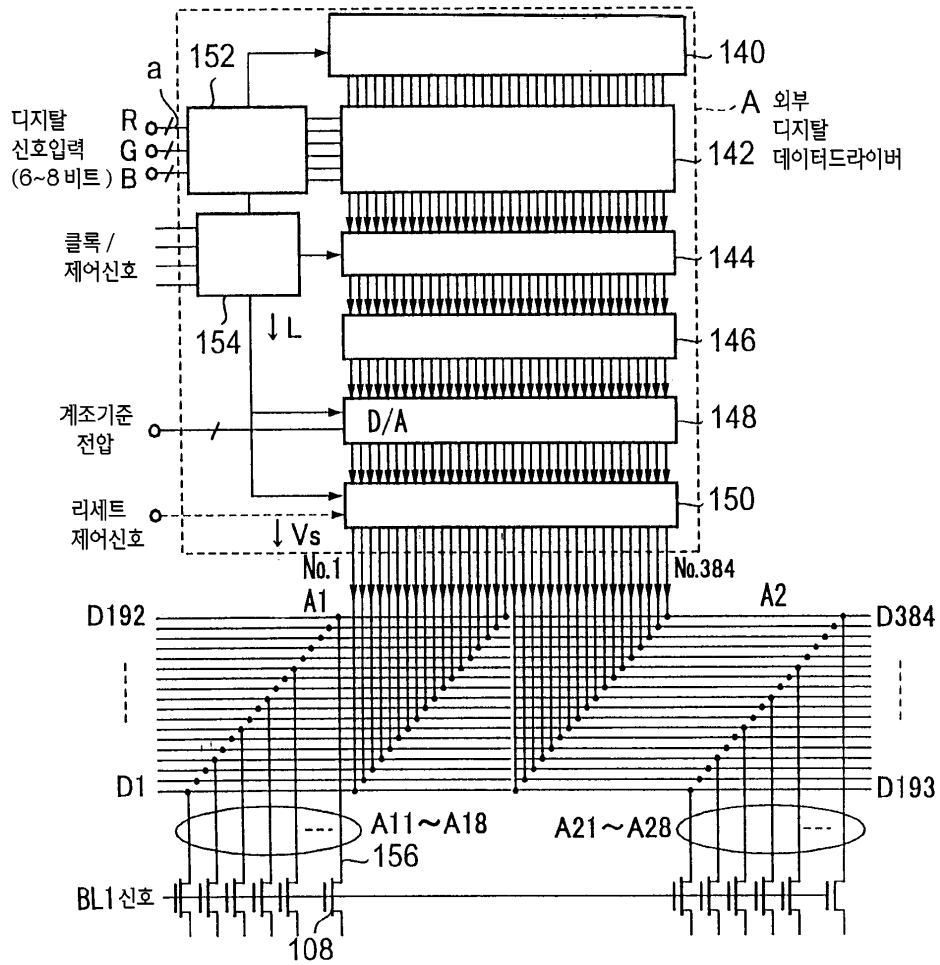
도면6



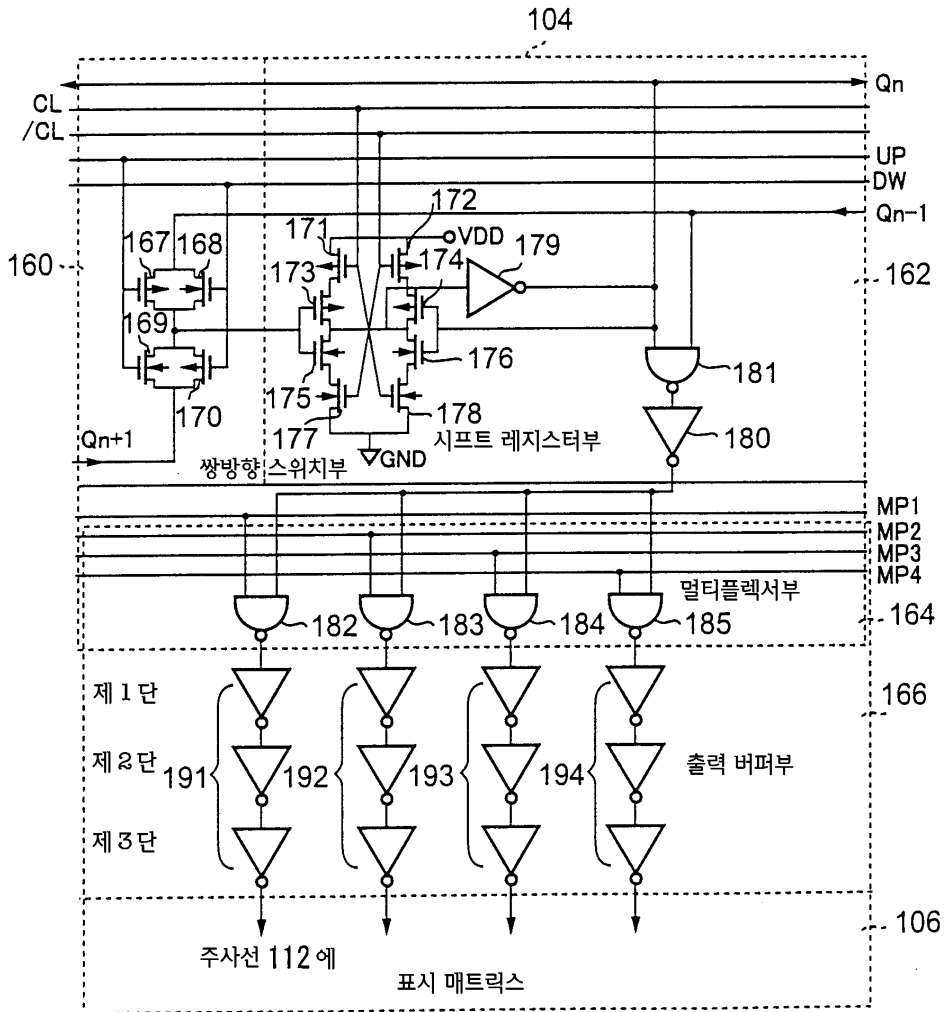
도면7



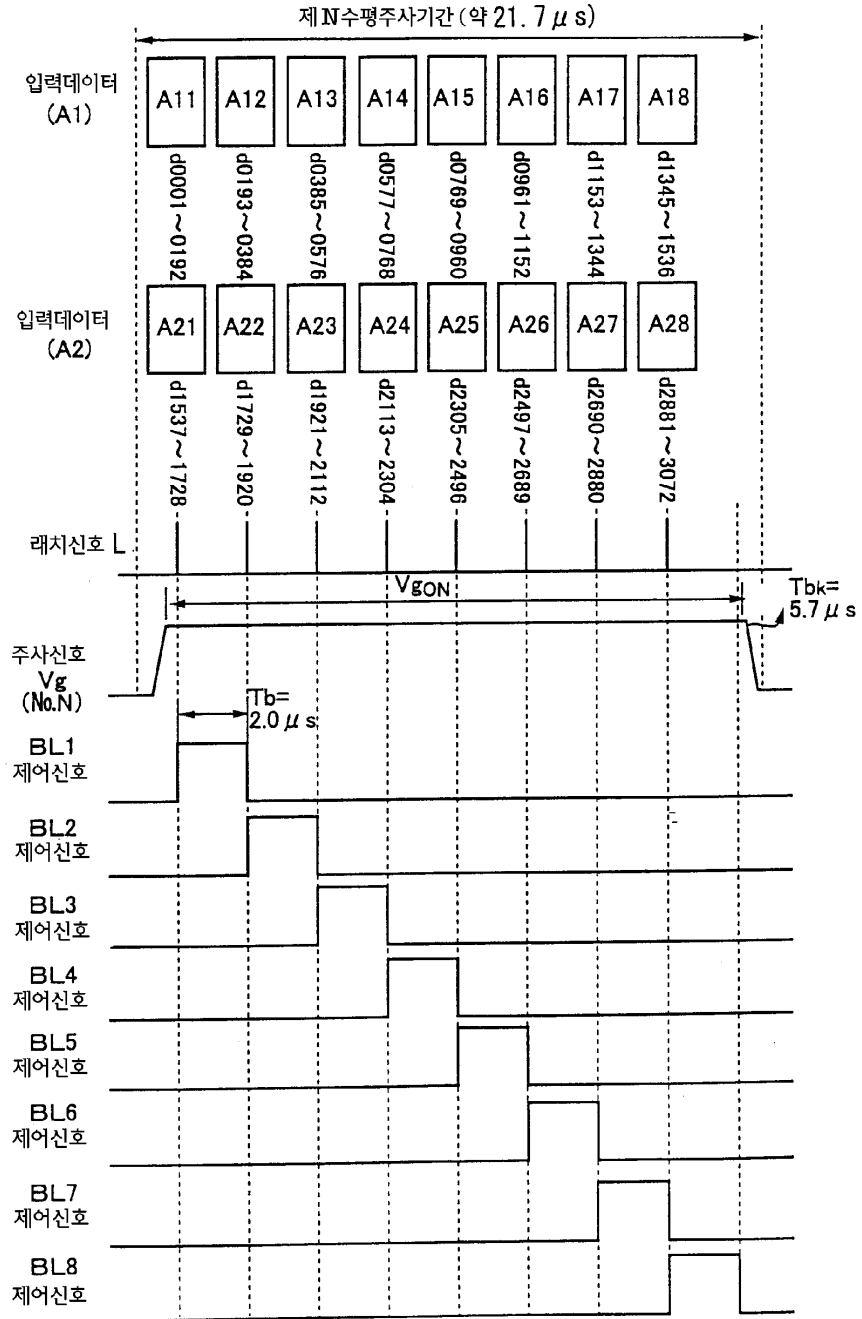
도면8



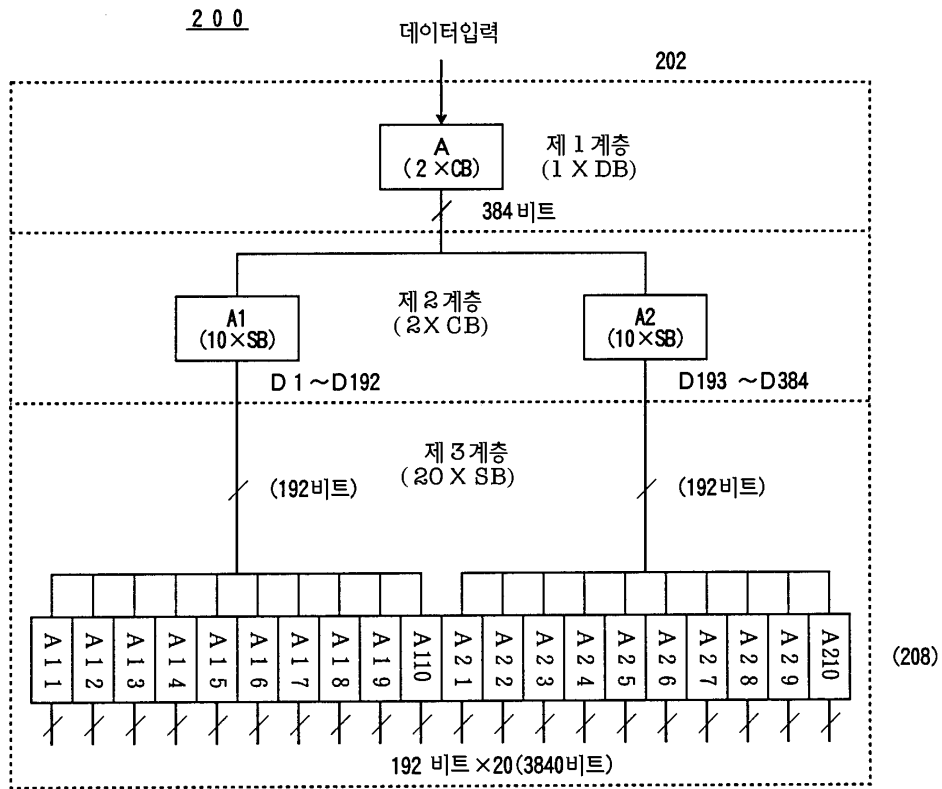
도면9



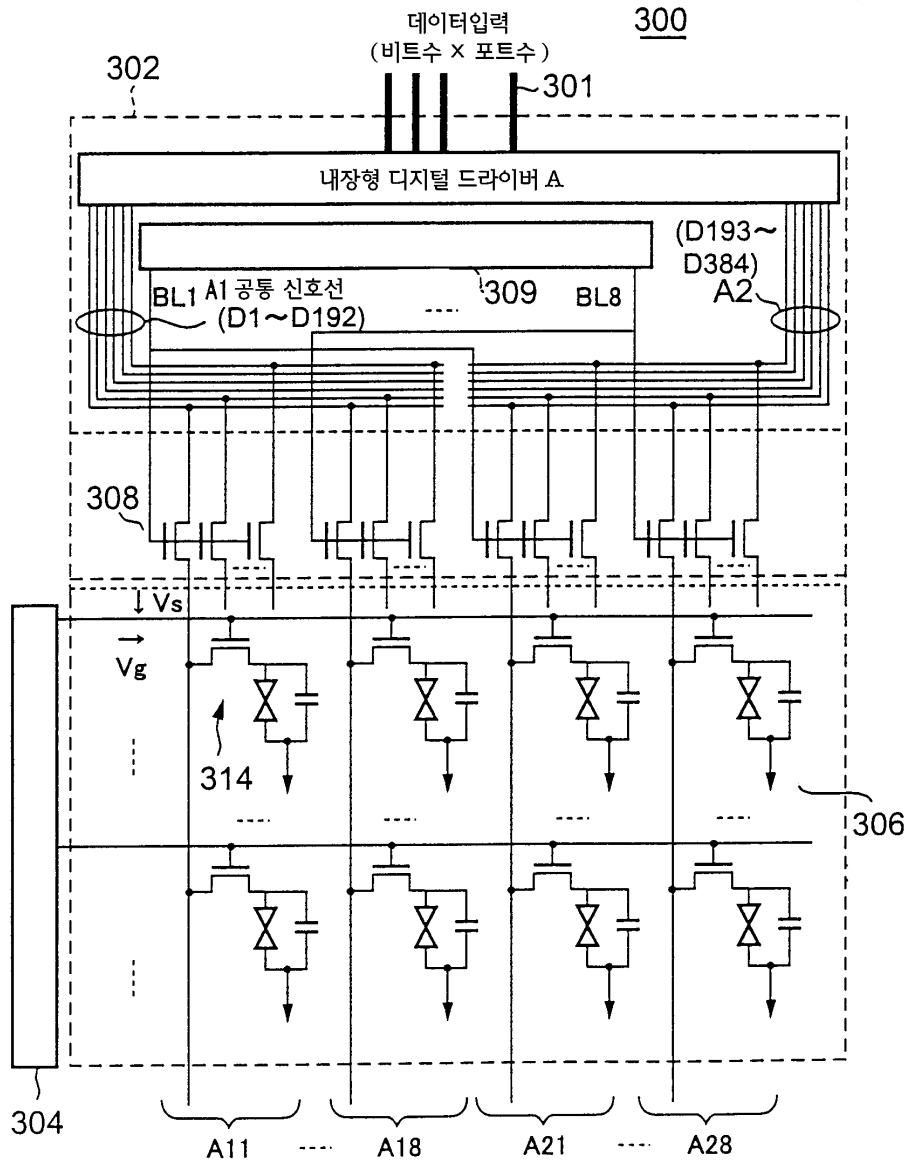
도면10



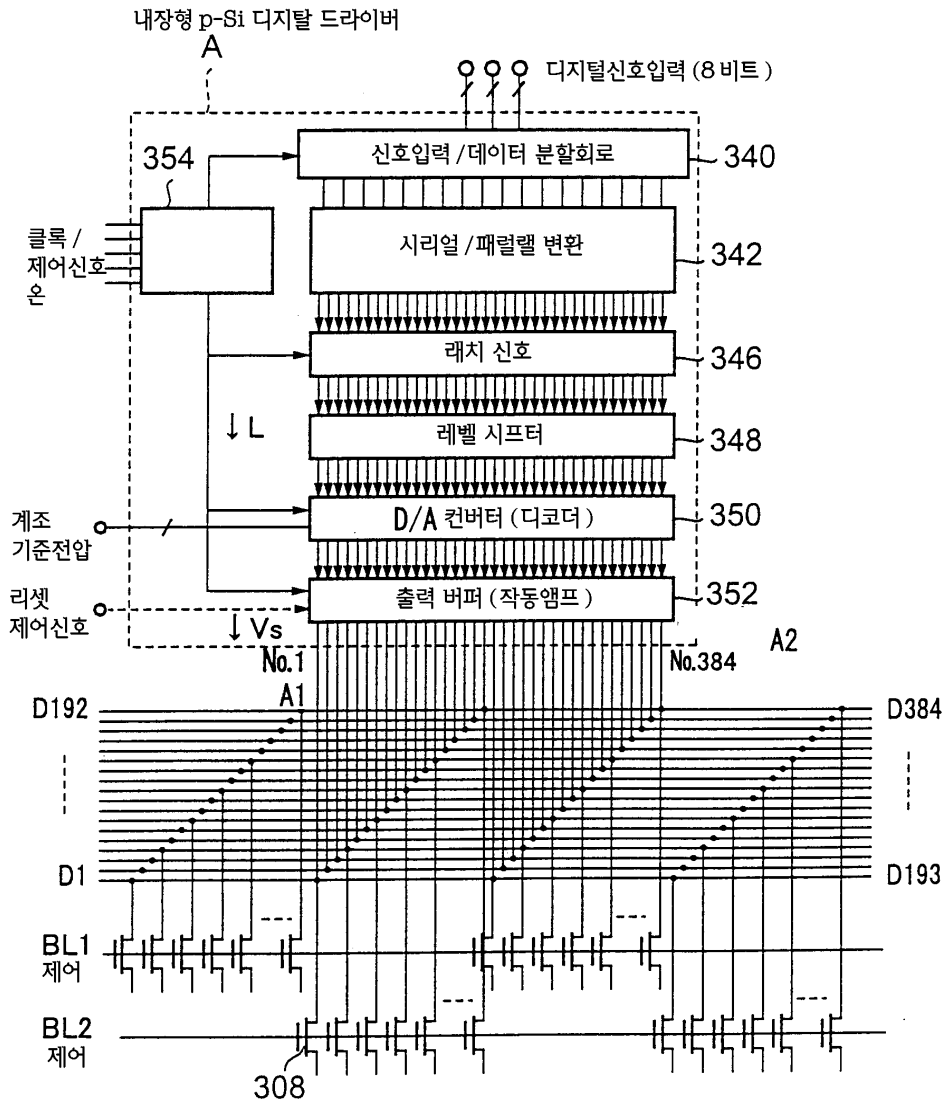
도면11



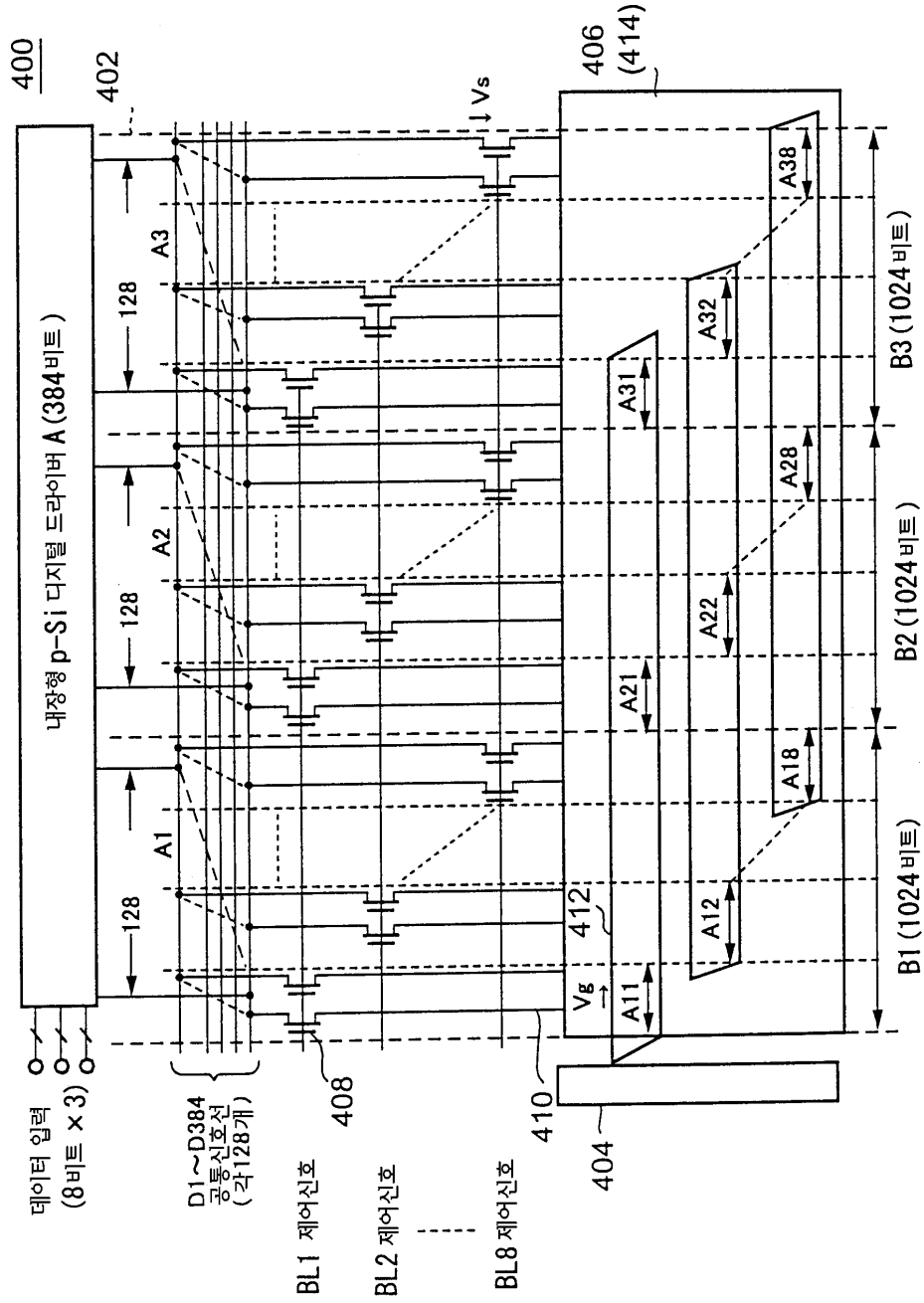
도면12



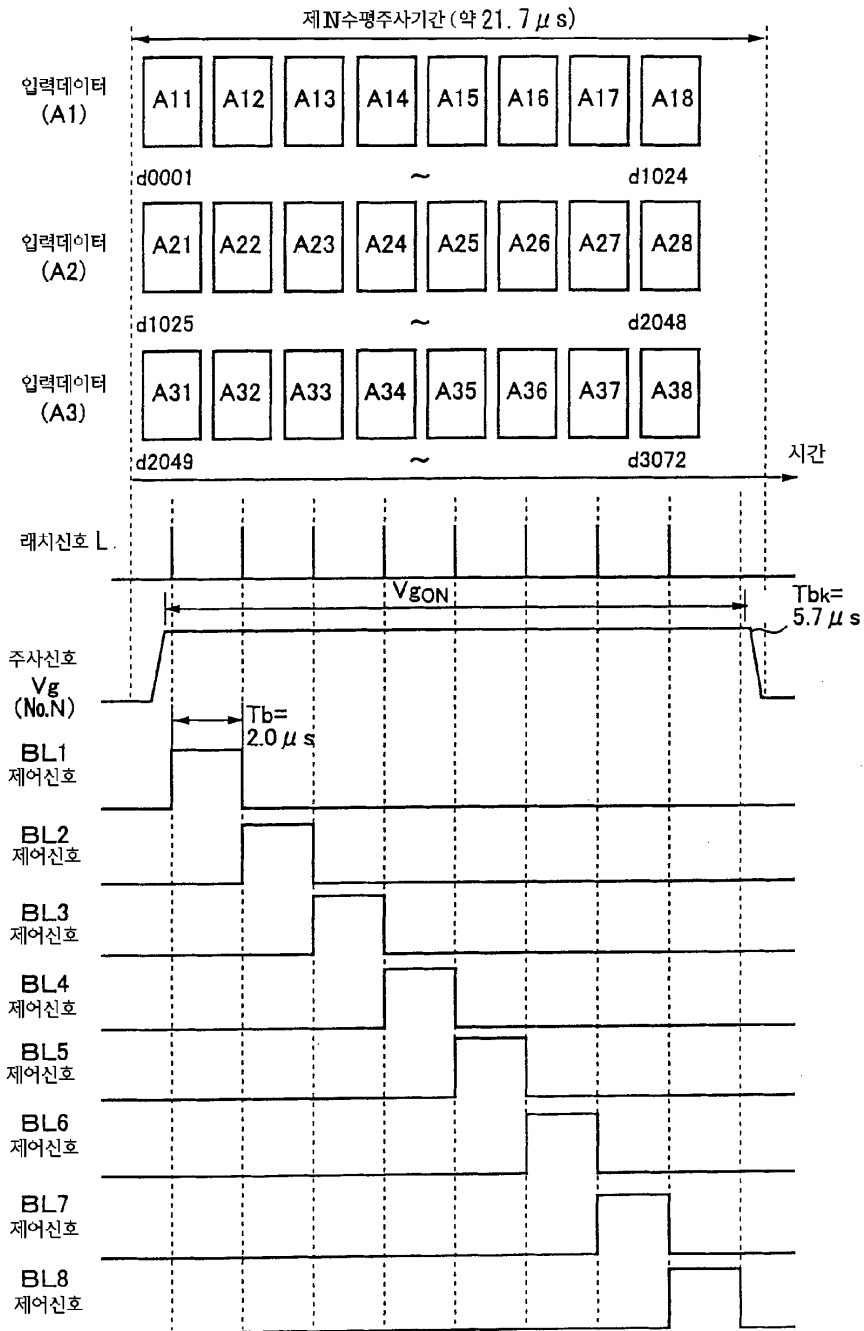
도면13



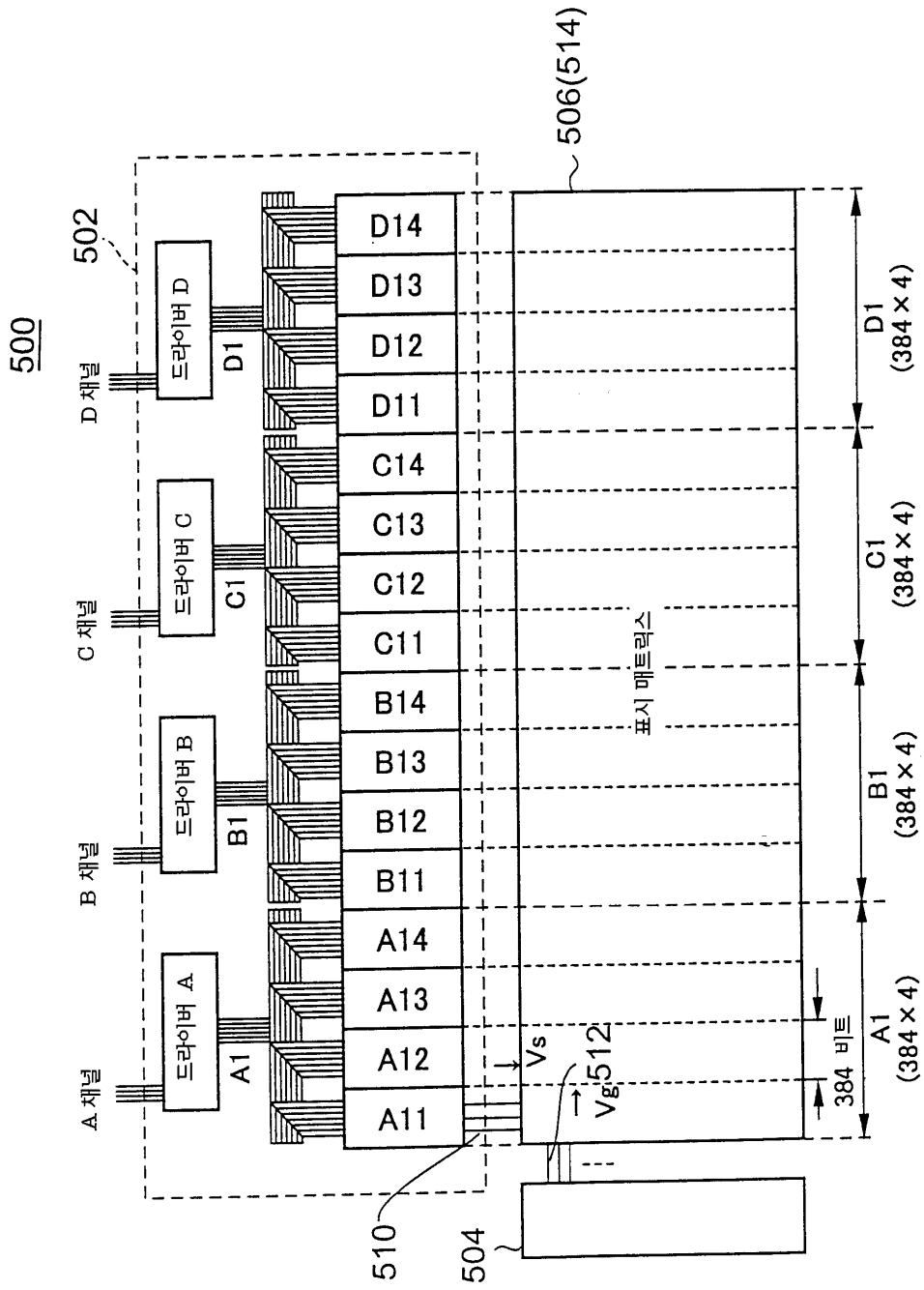
도면14



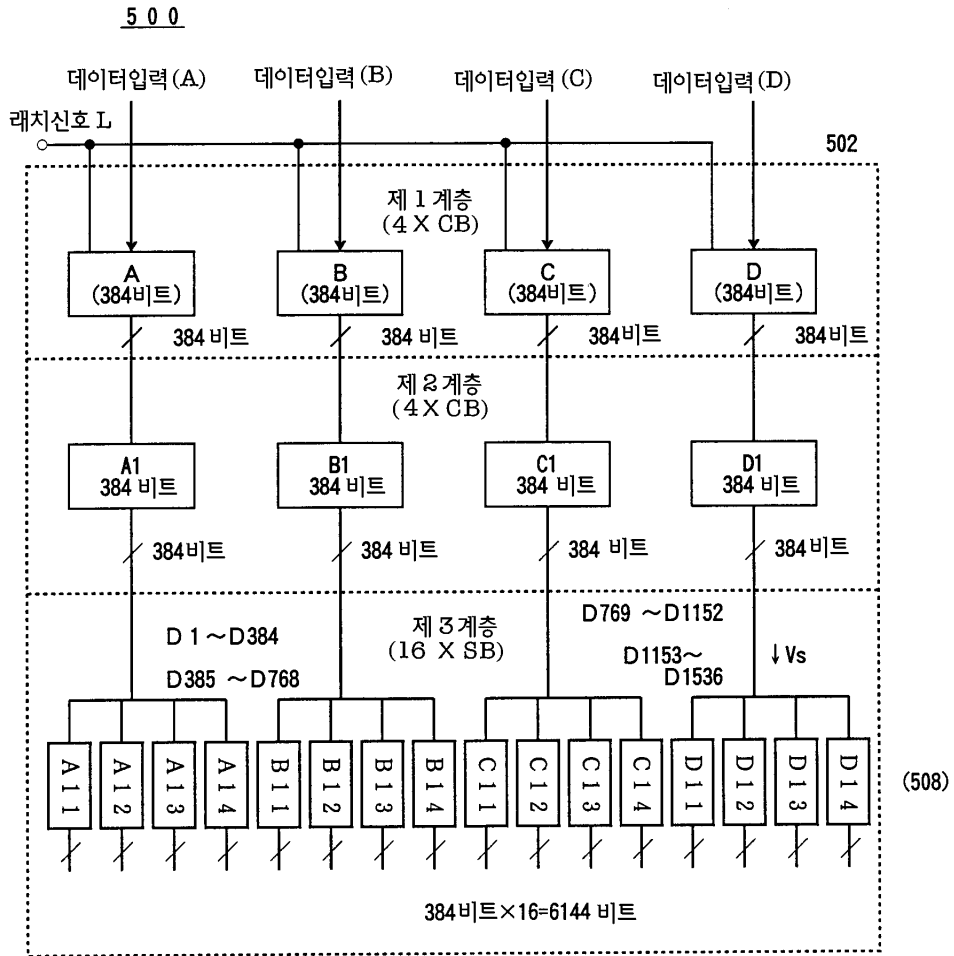
도면15



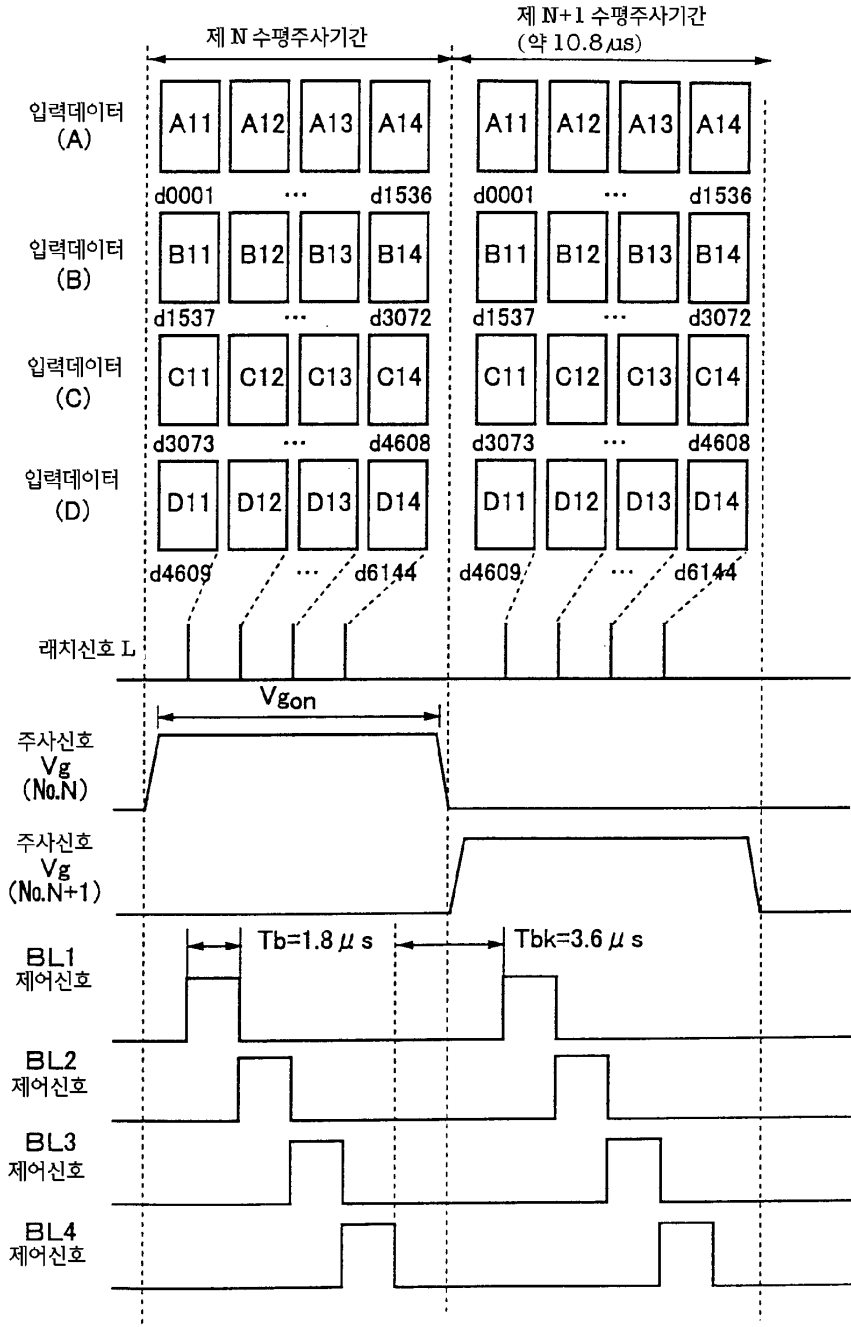
도면16



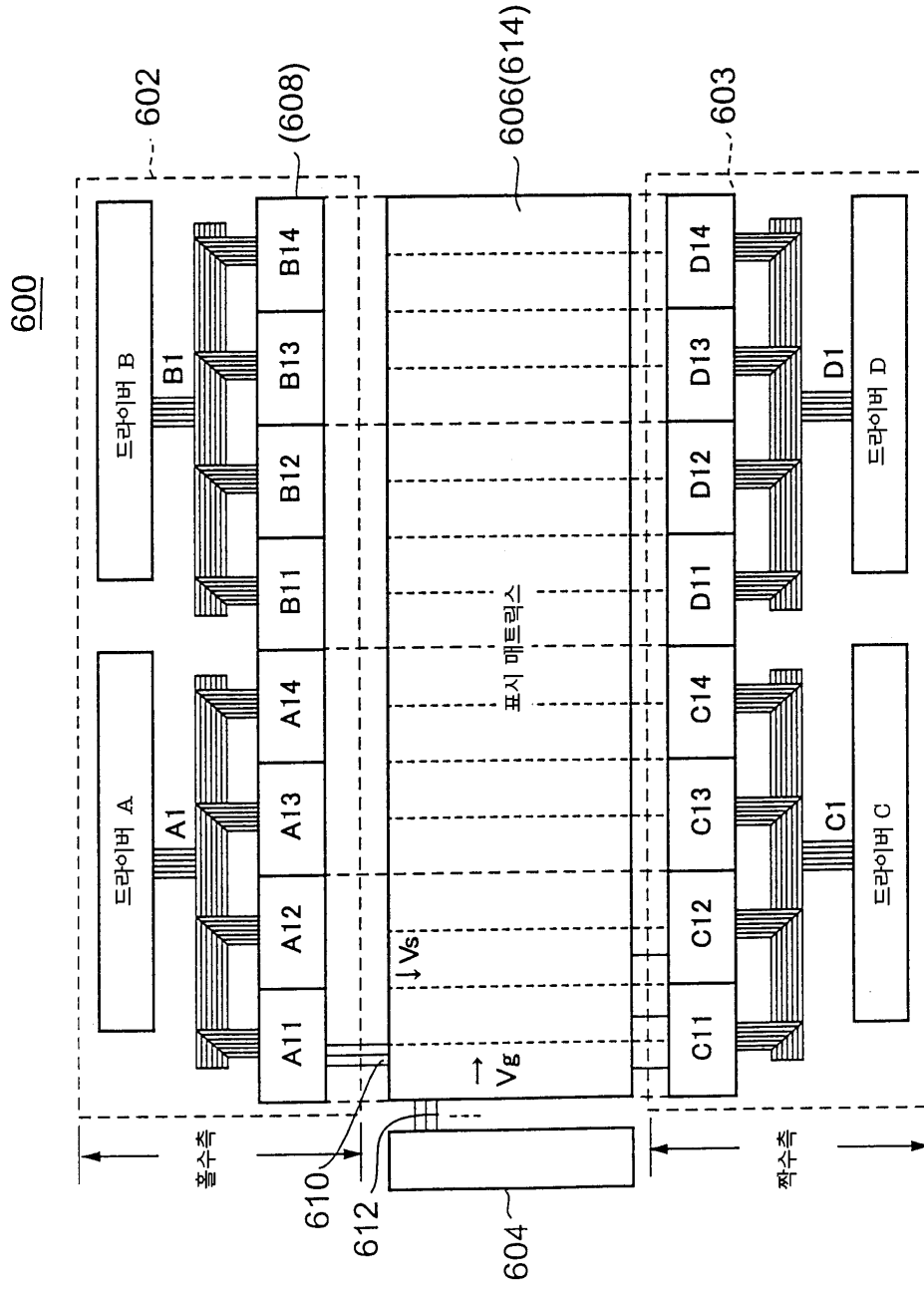
도면17



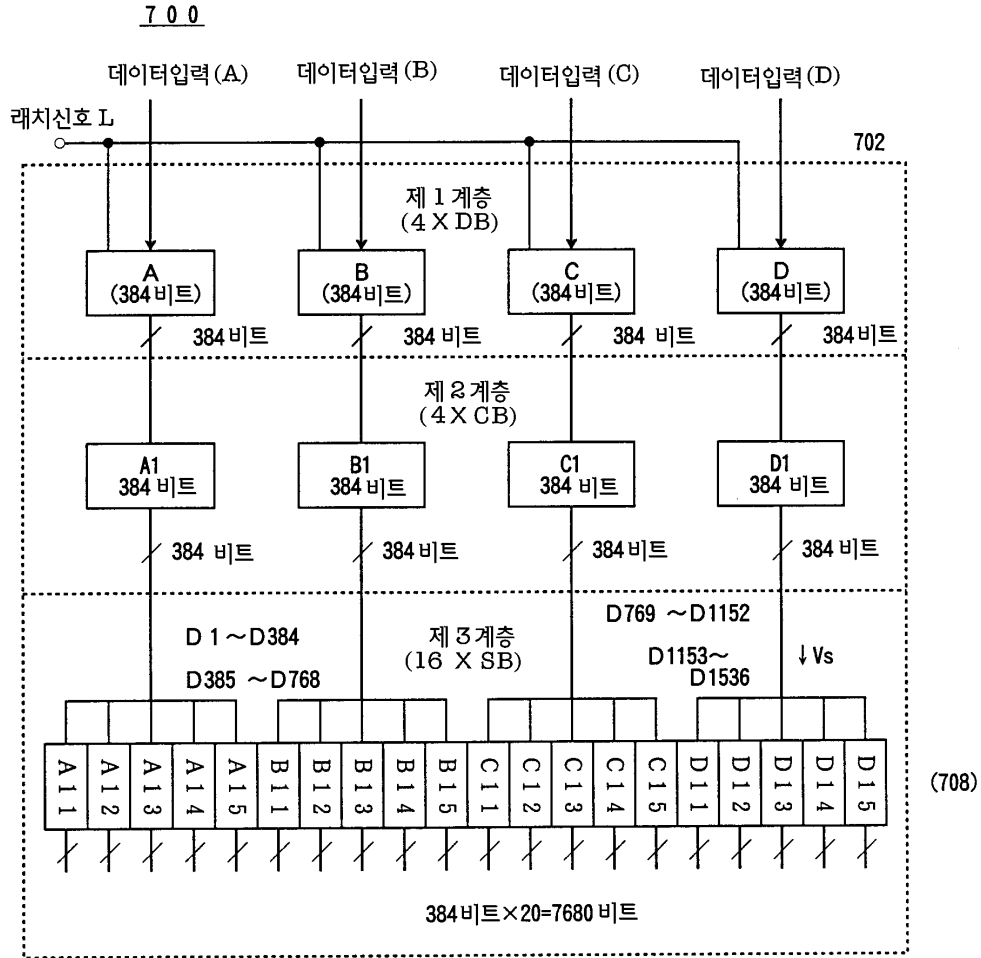
도면18



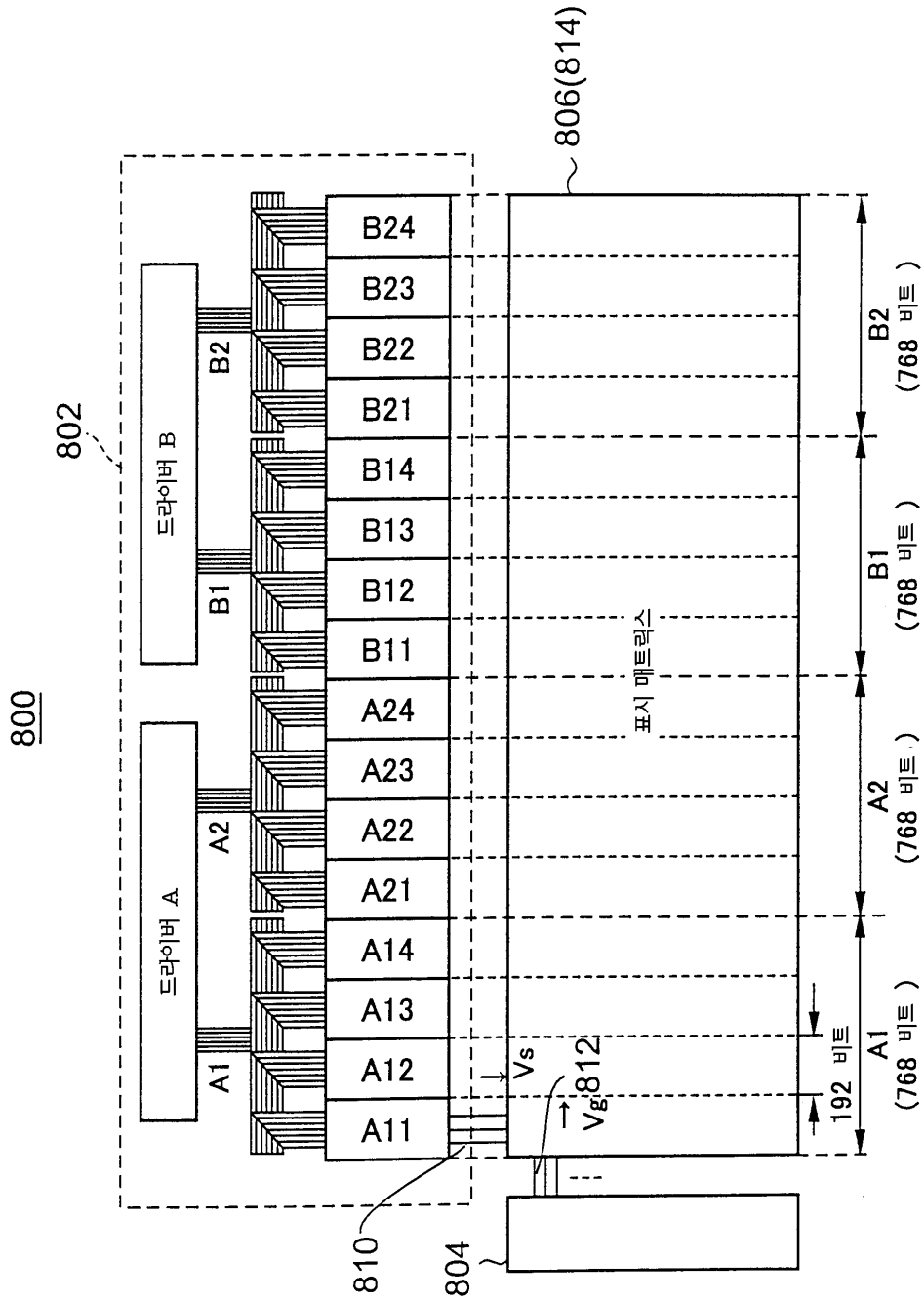
도면19



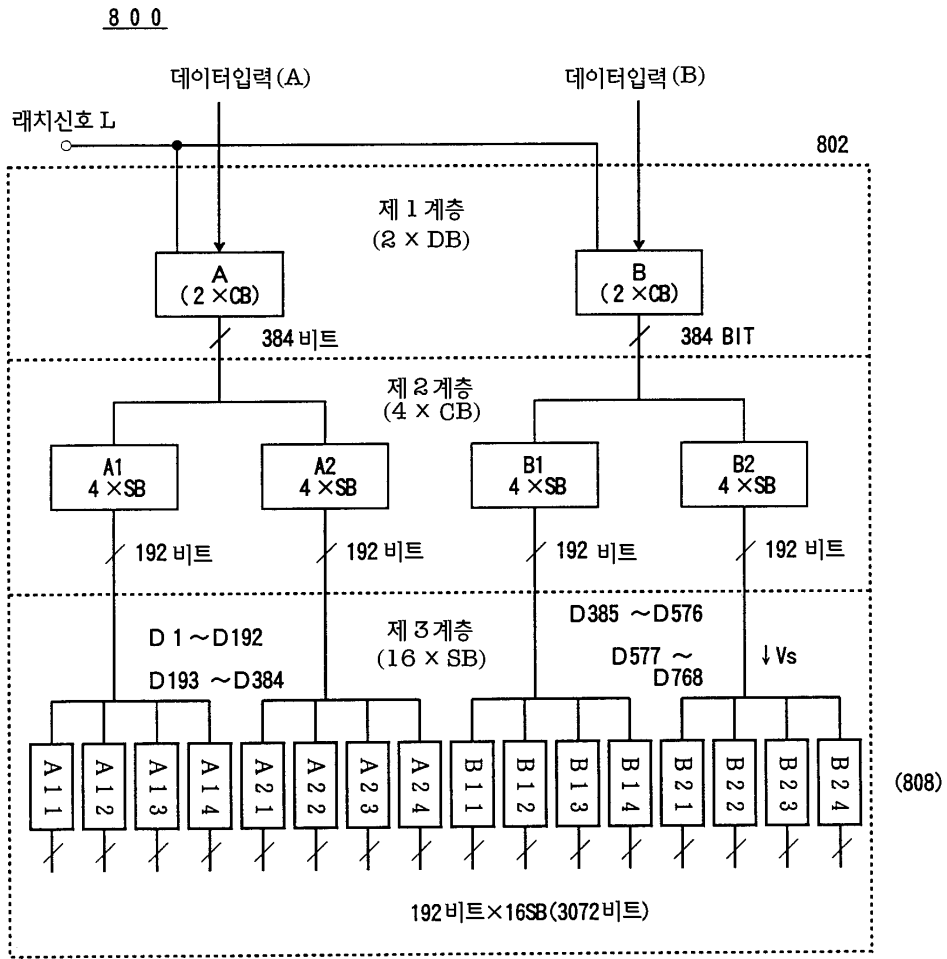
도면20



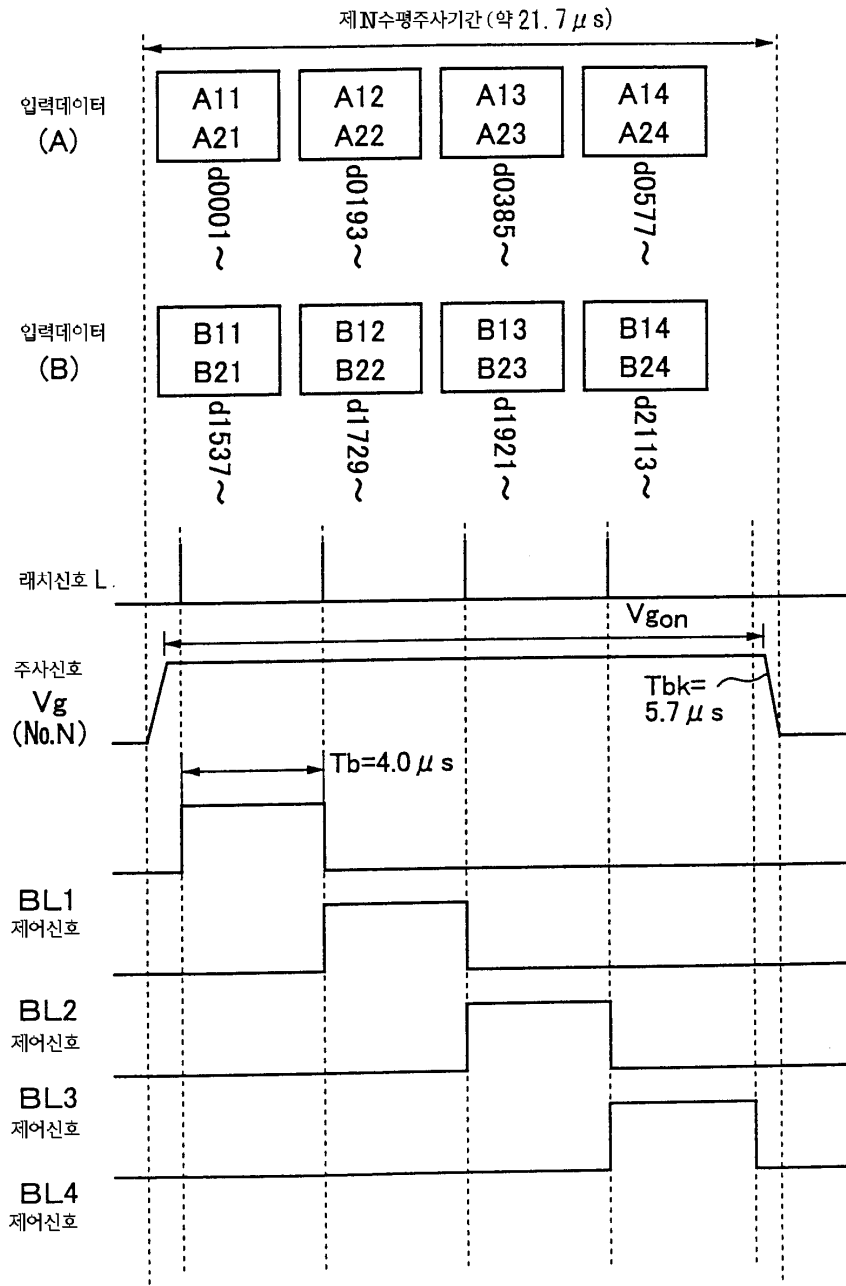
도면21



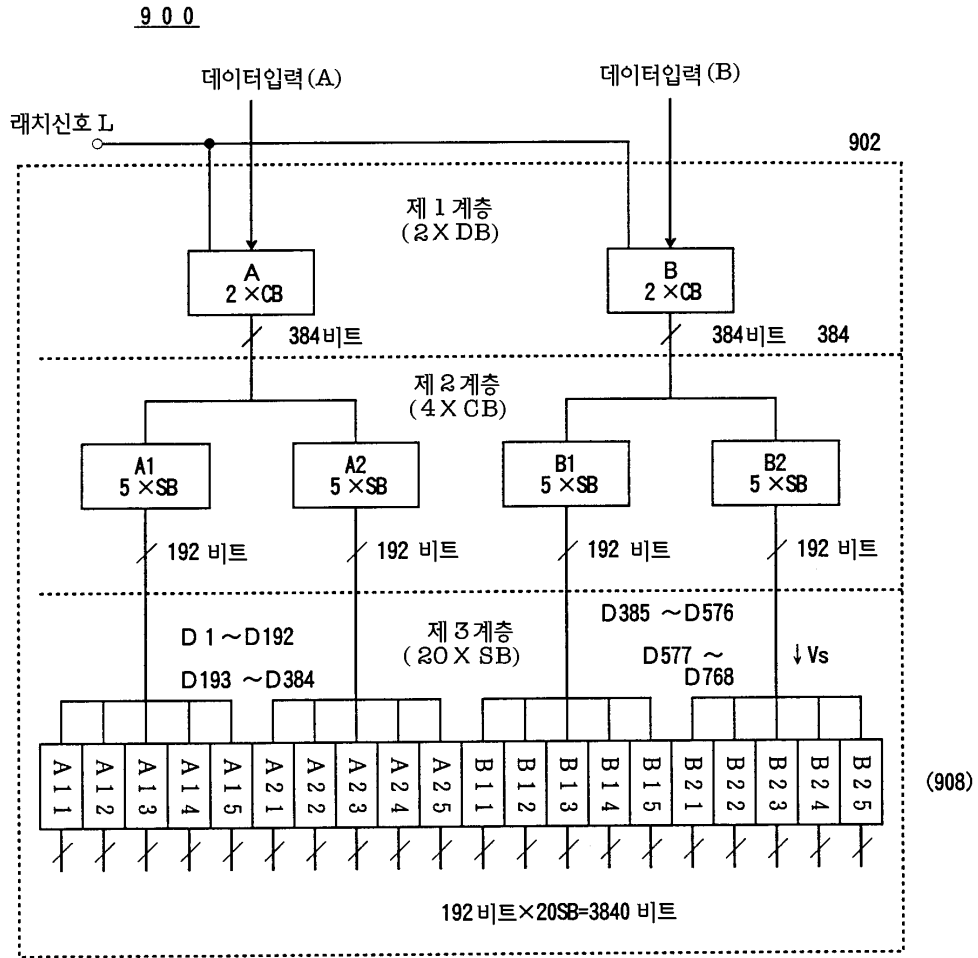
도면22



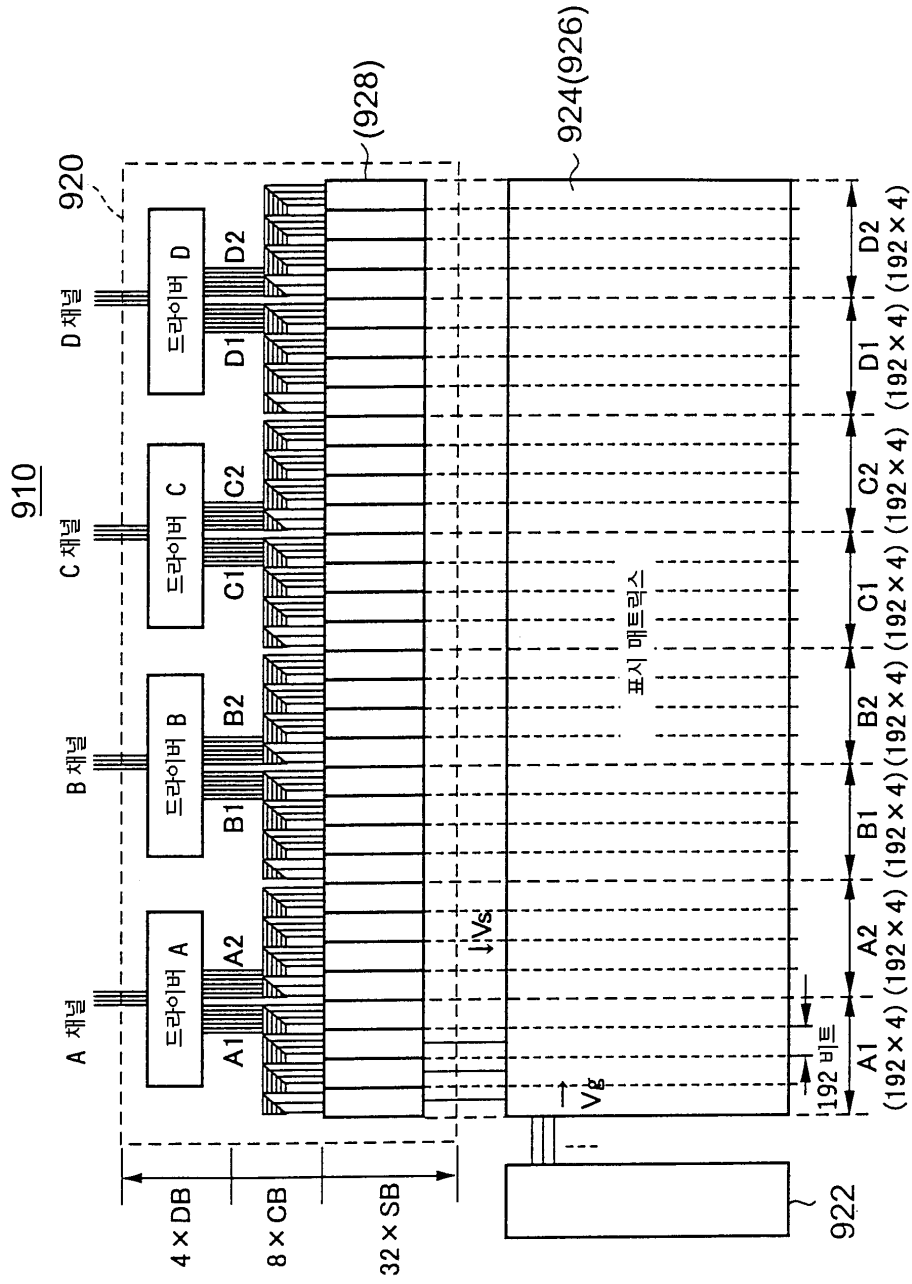
도면23



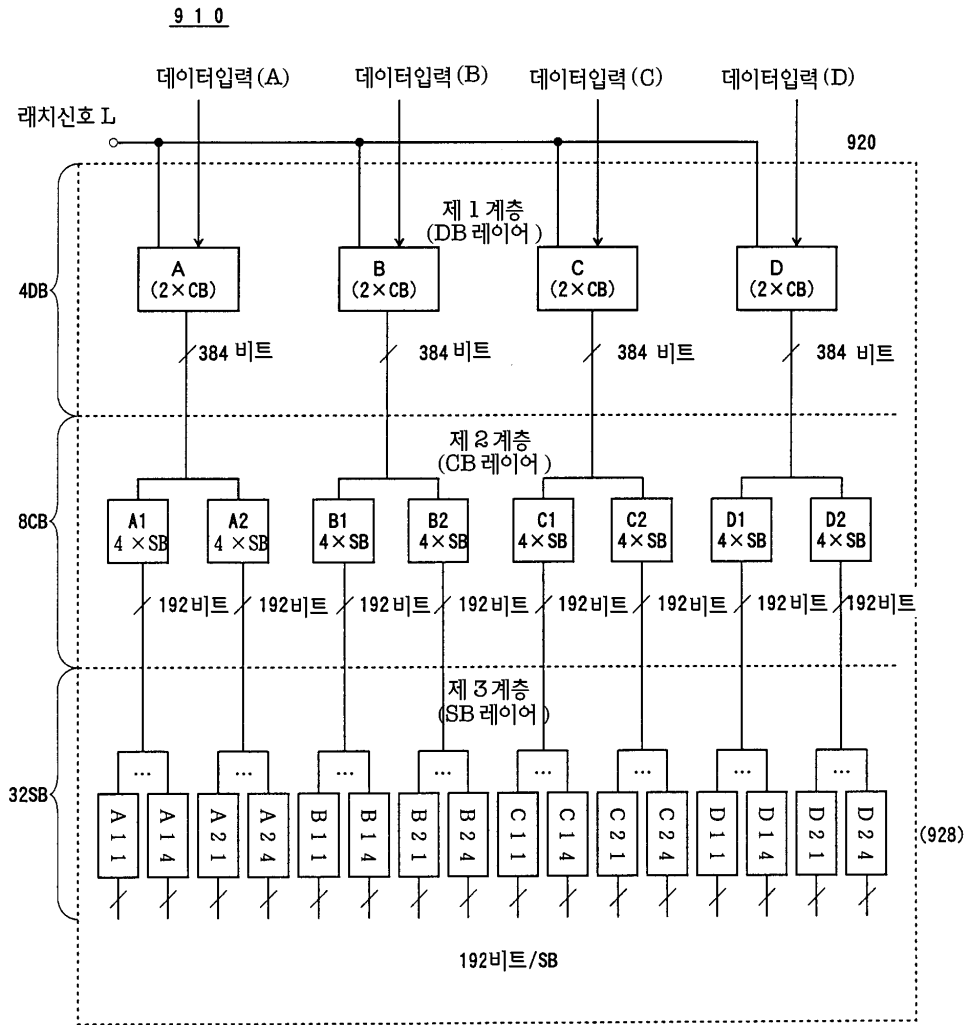
도면24



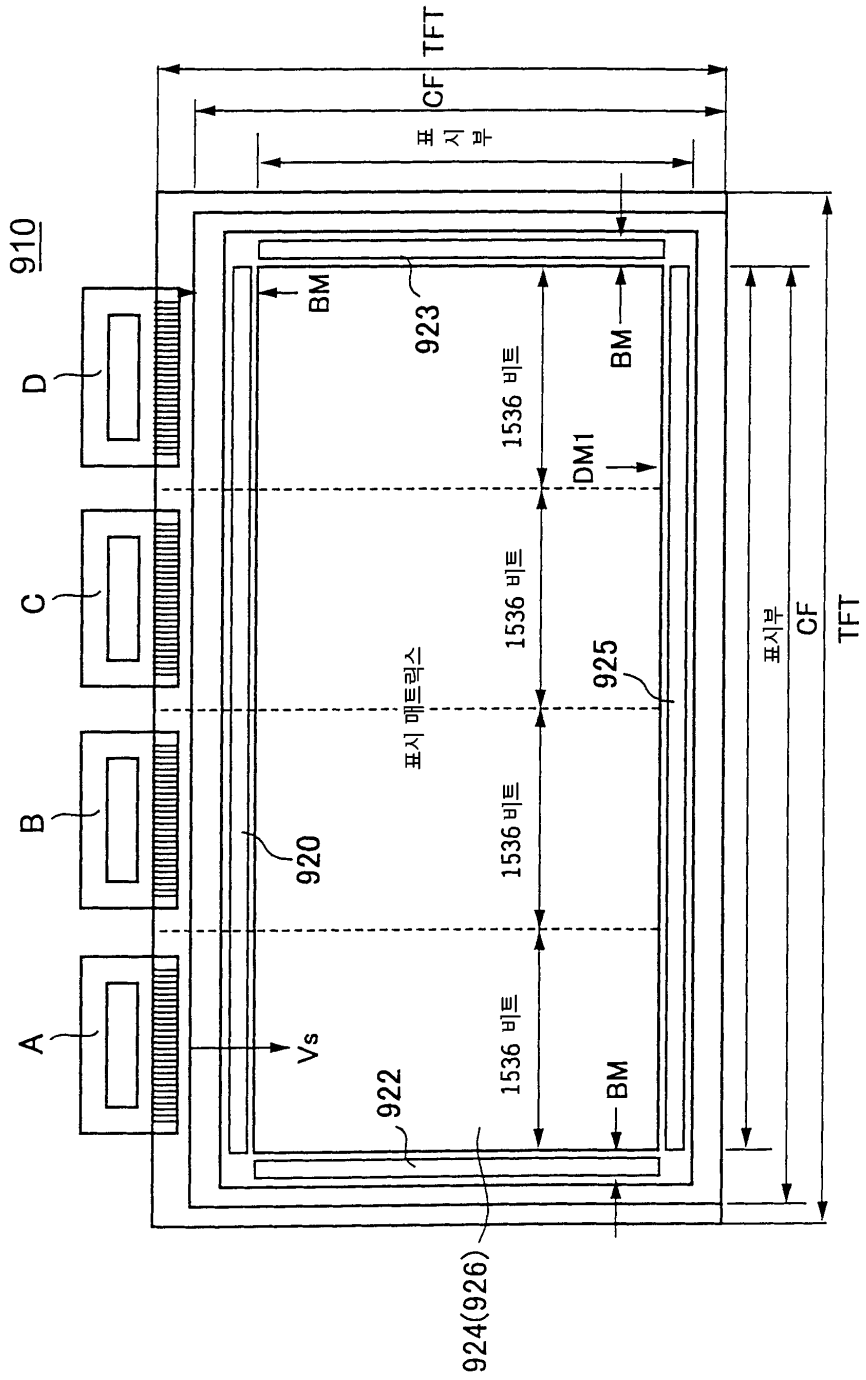
도면25



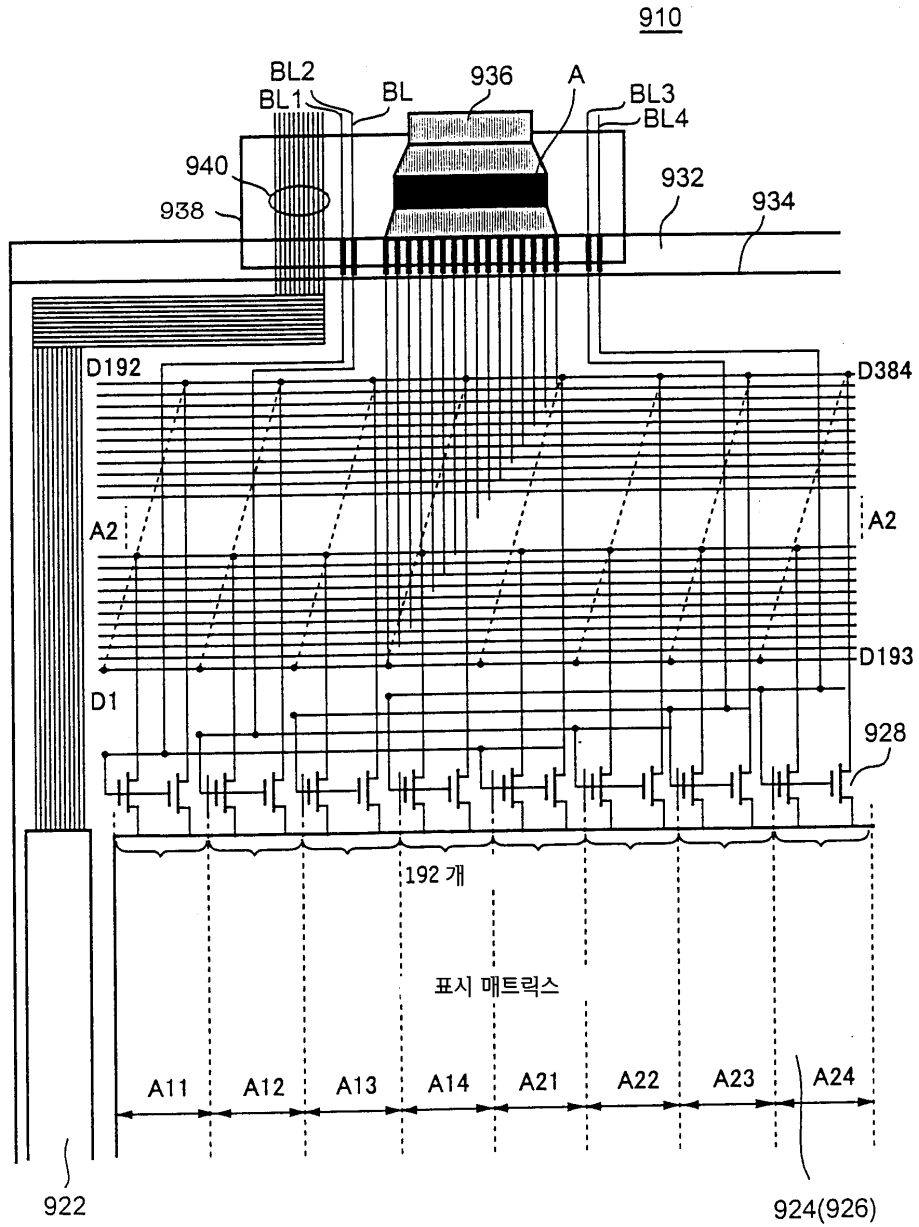
도면26



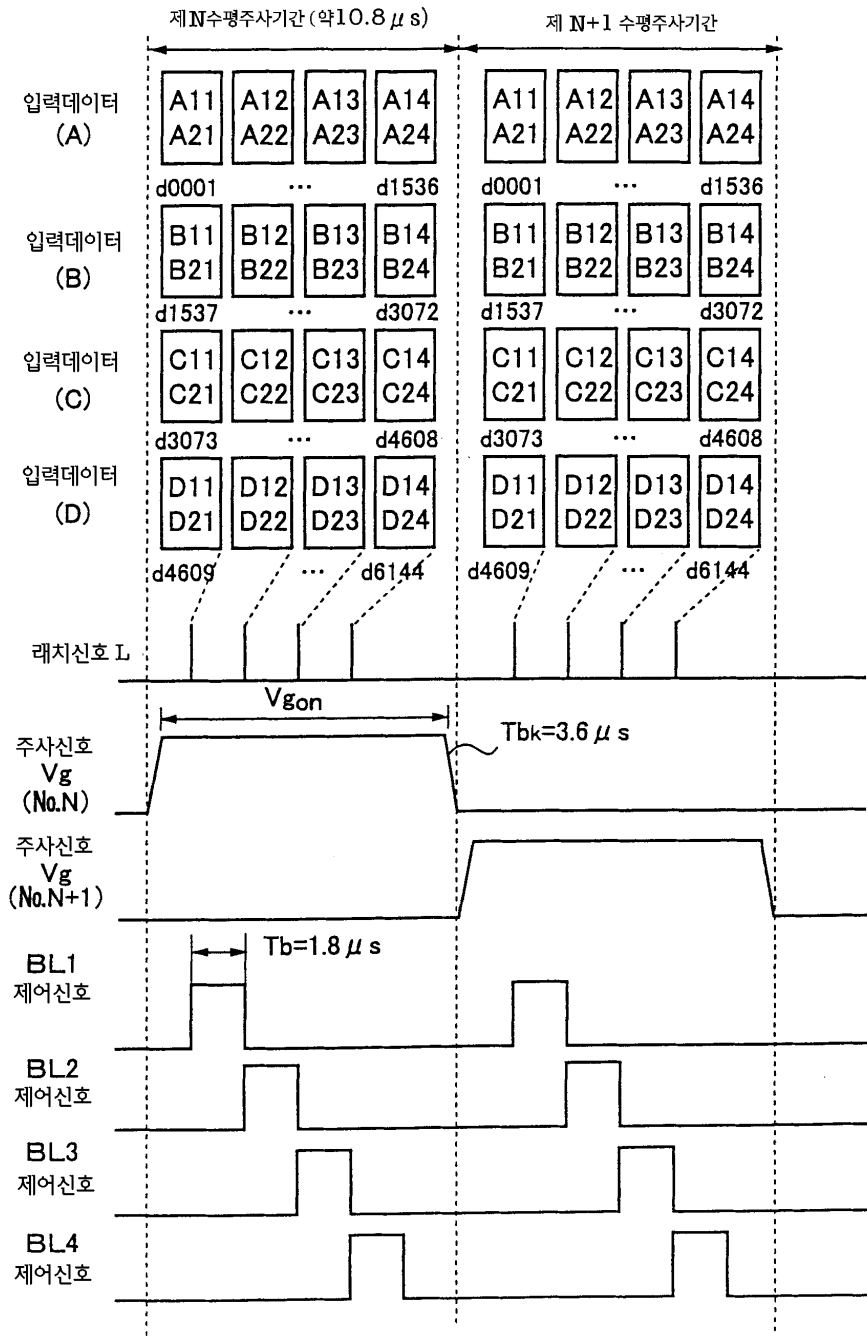
도면27



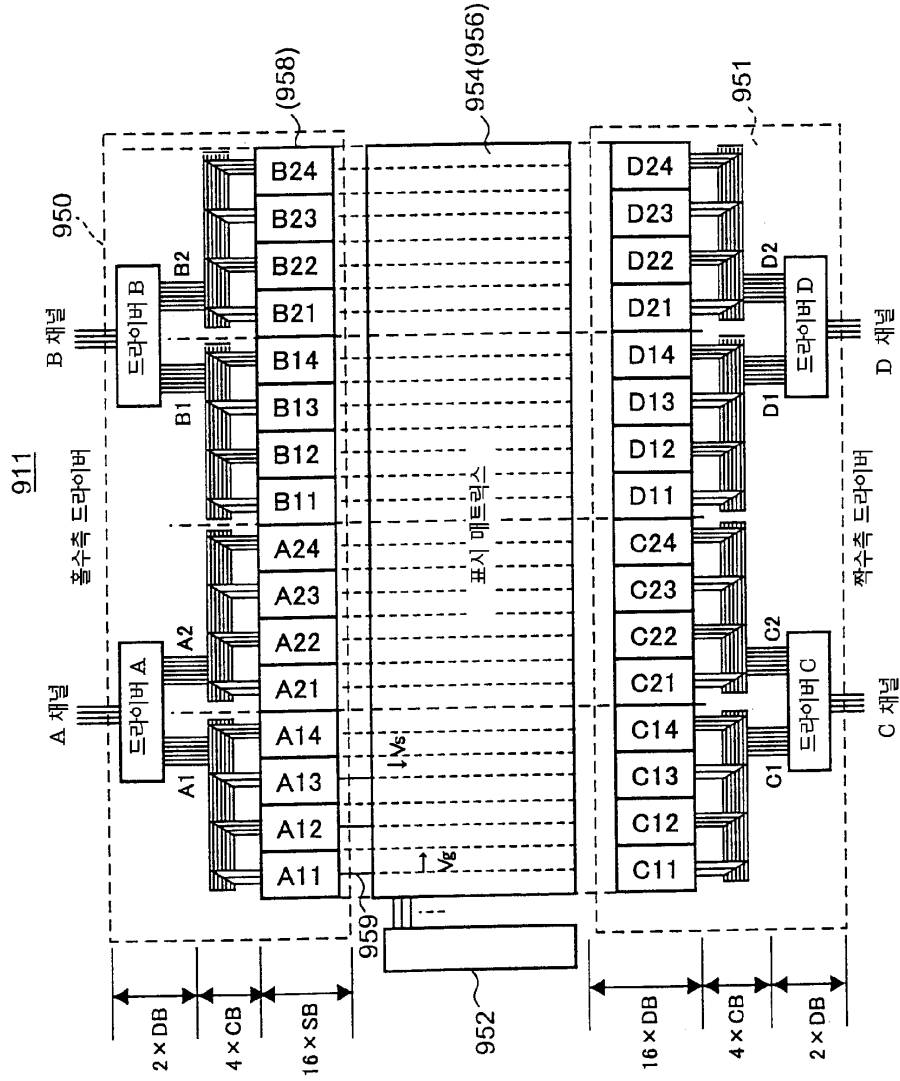
도면28



도면29

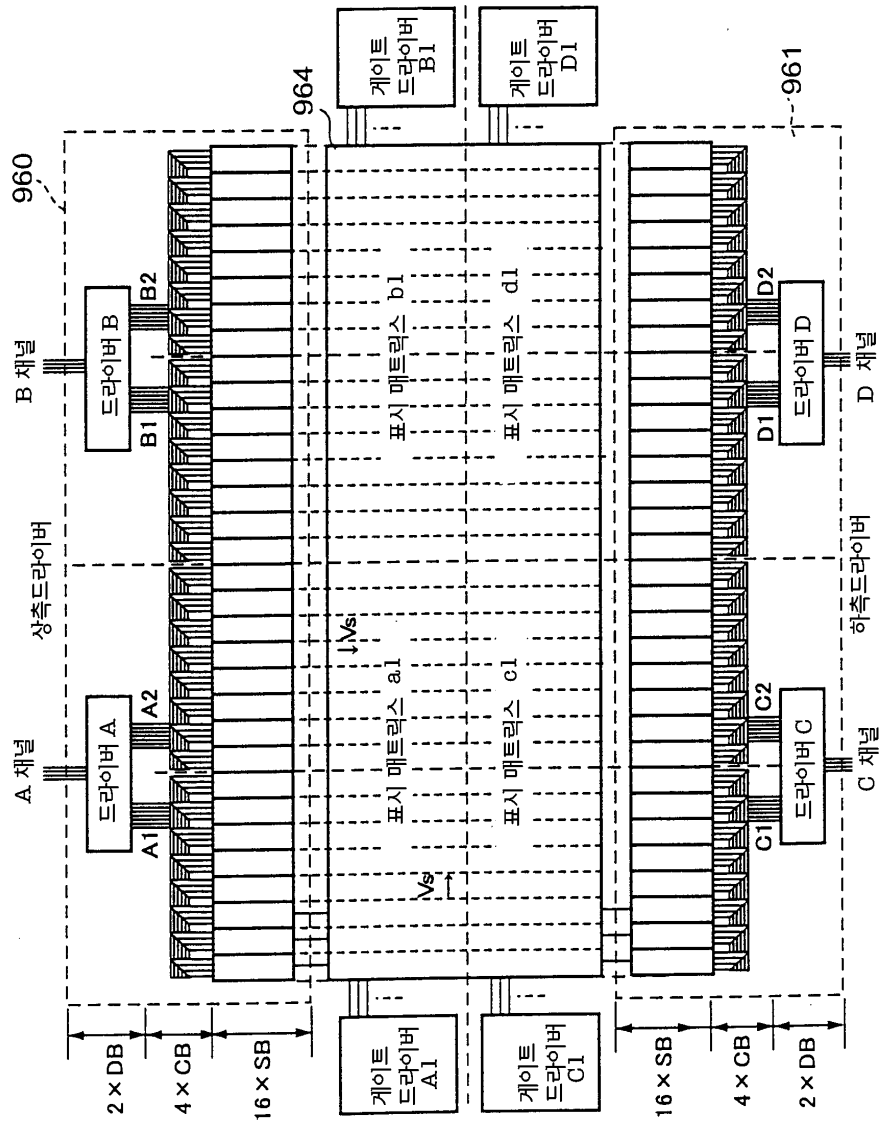


도면30



도면31

9 1 2



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶显示器 | | |
| 公开(公告)号 | KR100681776B1 | 公开(公告)日 | 2007-02-12 |
| 申请号 | KR1020000042026 | 申请日 | 2000-07-21 |
| [标]申请(专利权)人(译) | 夏普株式会社 | | |
| 申请(专利权)人(译) | 夏普株式会社 | | |
| 当前申请(专利权)人(译) | 夏普株式会社 | | |
| [标]发明人 | ZHANG HONG YONG 장홍용 TAKAHARA KAZUHIRO 다카하라가즈히로 | | |
| 发明人 | 장홍용 다카하라가즈히로 | | |
| IPC分类号 | G02F1/133 G09G3/20 G09G3/36 | | |
| CPC分类号 | G09G2310/0297 G09G3/3688 | | |
| 代理人(译) | MOON , KI桑 | | |
| 优先权 | 1999206822 1999-07-21 JP | | |
| 其他公开文献 | KR1020010015404A | | |
| 外部链接 | Espacenet | | |

摘要(译)

用途：提供一种体积小，成本低，显示质量高的液晶显示装置。

