

, , , , ,

1 1

2

3 1

4

5 2

6

7

8

<

11 :

12 : A/D

13 :

14 : V - T

15 :

16 : D/A

17 :

18 :

20 :

30 :

40 :

50 :

TFT poly - Si() TFT() , a - Si() TFT 가

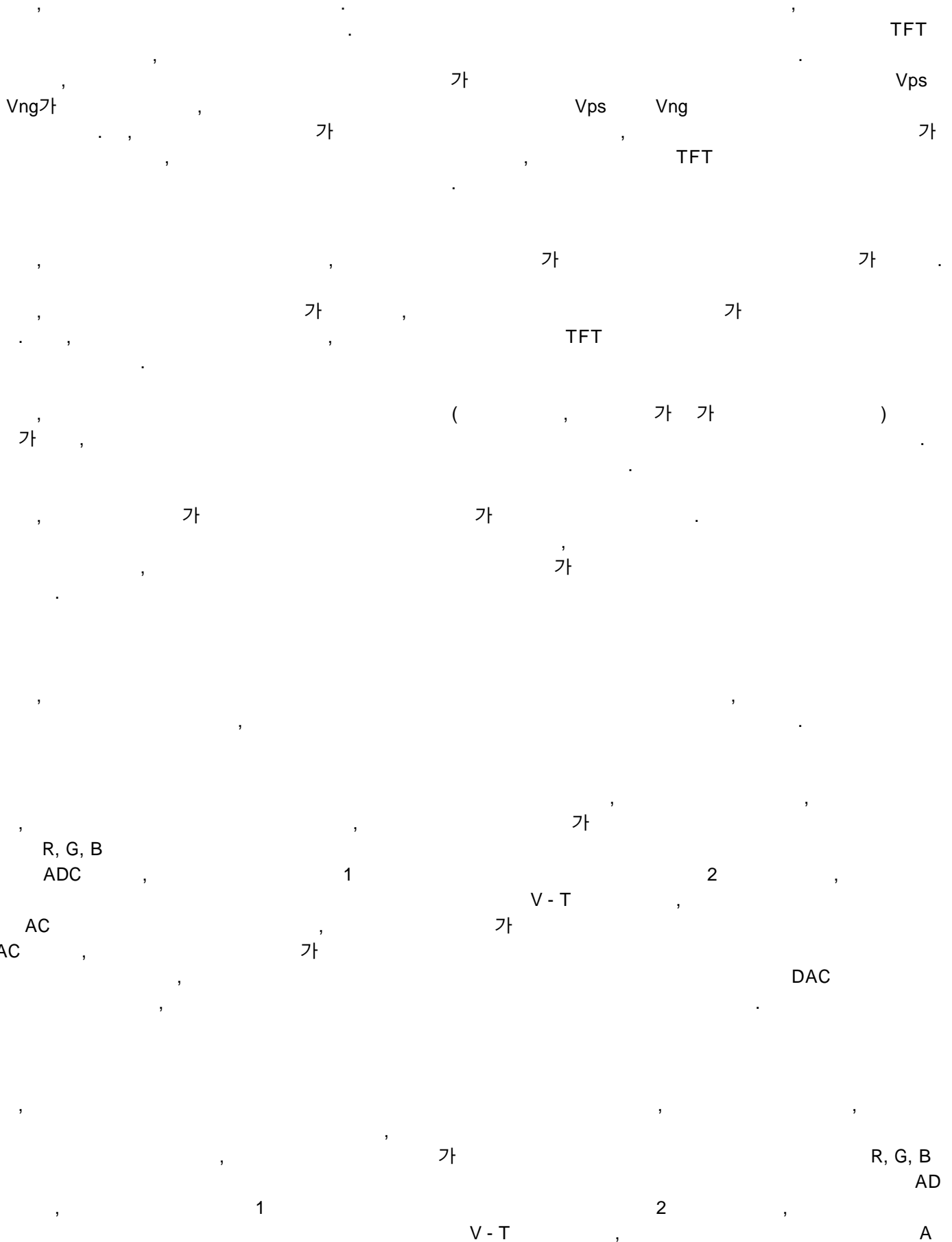
TFT(Mpix) (D1 Dn) (Clc), (Cst) (G1 Gm) (D1 Dn)

DCLK FT, n - ch TFT, n TFT(S1 Sn) PCS (P1 Pn) DST T 가

1 가 8 1 DCLK 가 8 TH(i) DST DCLK 가 DCLK ON - OFF TFT SP1, SP2 , n TFT

Vsig DCLK G_j(j = 1 ~ j = m) TFT Clc, Cst)가 G_j가 TFT PCS 가

Vcom() Vps 가 Vng PCS 가



C 가 , DAC 가 ,
 (休止), , 가 , 2 ,
 , 1 , 1 ,
 , 1 , 2 , 1 ,
 , 가 1 ,
 가 ,

[1]

(1)
 1 1 (20) , (30) , (4
 0) , (50)
 (20) (40) (50) 가 ,
 (20) (11) (20)
 (40),
 (20) R, G, B (50)
 ADC (12), (50) 1 2 (13), (50)
 (15), V - T (14), AC
 DAC (16), (50) 가
 (17)

2
 FT (Mpix) , Clc , Cst (D1 Dn) , (G1 Gm) , T
 , , PIX ,
 (ASW) TFT , TFT
 SIG , ASW TFT D1, D2, ..., Dn ,
 SP1, SP2, ..., SPn
 AND , AND
 ENB ,

(2)

3
 H (i+1) . Video Hsync , TH(i), T
 (1), (2) (Read), , Mem1R/W, Mem2R/W
 . Mem1Clk, Mem2Clk (30) (Write)
 1), (2) , Out_cnt, P/N_cnt (30)
 (DAC)(12) , Out_cnt가 (17) , Out_cnt가
 Vpc Vng Vpc Vng가
 Vps가 , Out_cnt가 P/N_cnt P/N_cnt가
 Vps 가 , Vng Vng가

TH(i) Mem1R/W가 (Read), Mem2R/W가
 (Write), ADC (12) , (2)
 (2) Mem2Clk (11)
 (1) V - T (14) , (1)
 H 2 Tsig V - T (14) TH(i - 1) T
 (17) (50) 가 (15), DAC(16),

1 가 가 , Tpcg (17) Out_cnt가
 , P/N_cnt Vps가 (50) 가
 TH(i+1) Mem1R/W가 , Mem2R/W가
 (1) , TH(i) (2) 가
 (11) , 2 TH(i)
 가 , Tsig V - T (14), (15), DAC
 (10), (17) (50) 가 Tpcg P/N_cnt가
 , Vng가 (50) 가

(50) 2 (11) 1 , (11)
 (17) 가 , 1
 (50) 1 가 가 가

(50) (50) 4 DST 2 DCLK

DCLK DST 1
 TH , Tsig Tpcg
 SP1 SPn
 SIG 가 가 ASW DCLK Tsig, Tpcg
 가 ASW Tsig

pcg Gi가 SIG 가 , i 가 T
 Vps Vng가
 ENB가

가 ,

()

가 , 가 ,
 가 , 가 1 ,
 가 가 가

[2]

(1)

5 2 가 (21) , (3)
 0) , (40)

(40) (50) 가 ,
 (21) (50) (21) (30) R, G, B
 (40), (21) ADC(12), (50) 1
 (50) (11) DAC (50)
 V - T (13), (15),
 (18), (14), AC (16), (50) 가
 (17)

6 (50) 6
 TFT(Mpix) , Clc , Cst (D1 Dn) , (G1 Cm)
 , PIX ,
 가 (, 4
 Sig1 4
 (ASW) TFT , TFT) . (가 가
)
 (ASW) TFT 4 , 4 AS
 W TFT AND , AND
 ENB ,

(2)
 2 1
 (18) (, 4
) . , 1 1
 2 , 1 1

6 , 1
 가 , ASW , DST DCLK 가
 () , 1 가 가 가 ,

1

2 1 , 1 1

4.

가

, R, G, B
ADC

1

V - T

2

AC

DAC

가

가

5.

4

2

가

6.

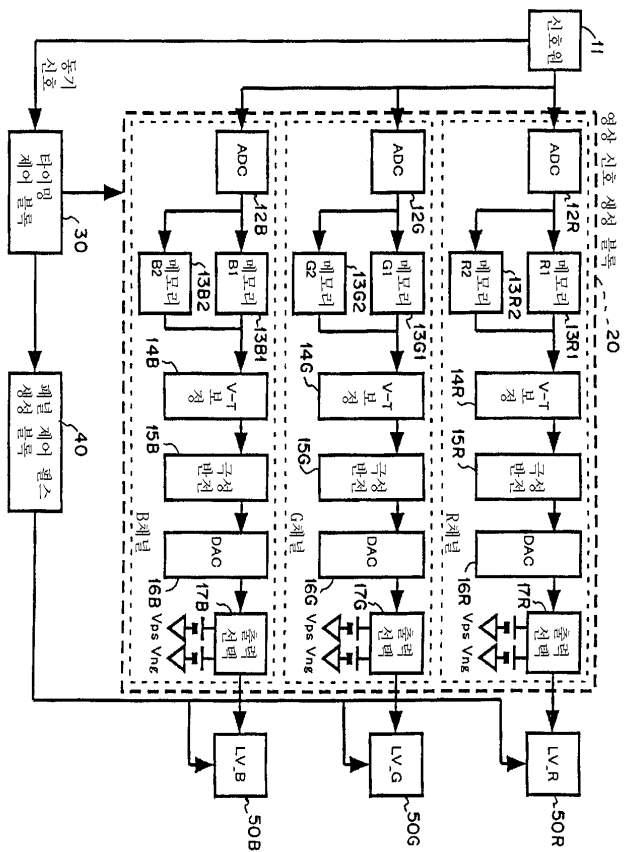
4

1

, 1

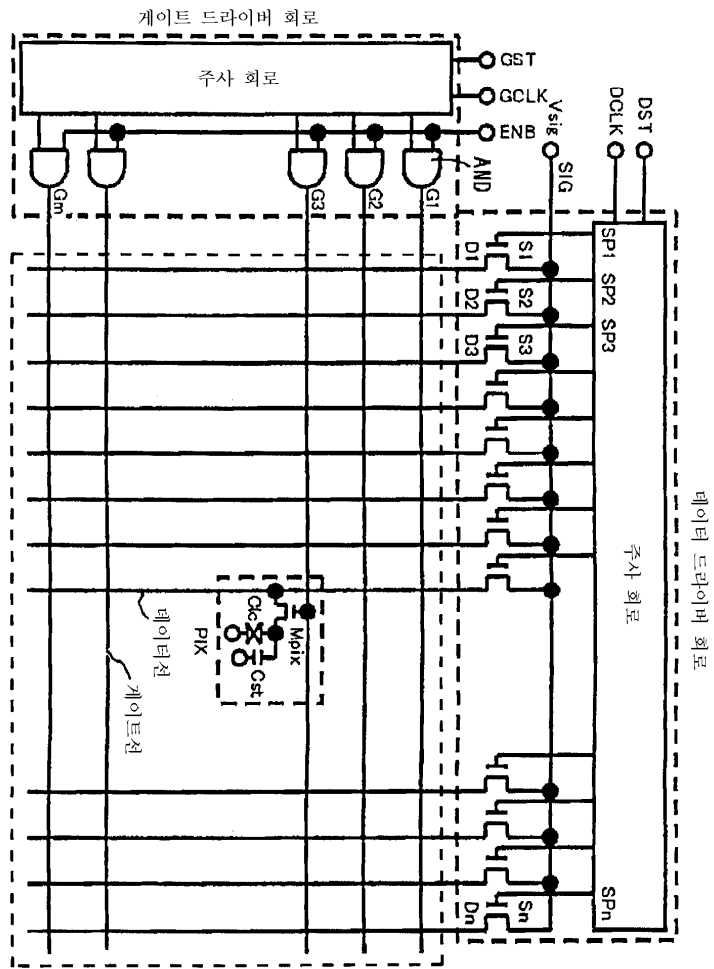
1

2

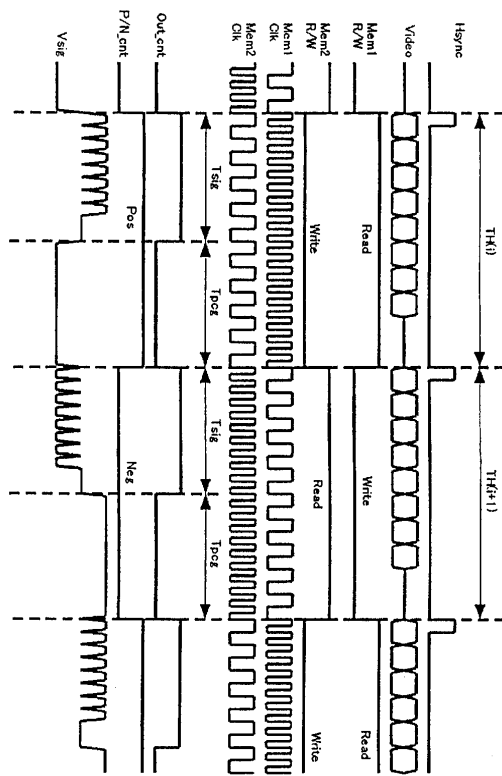


1

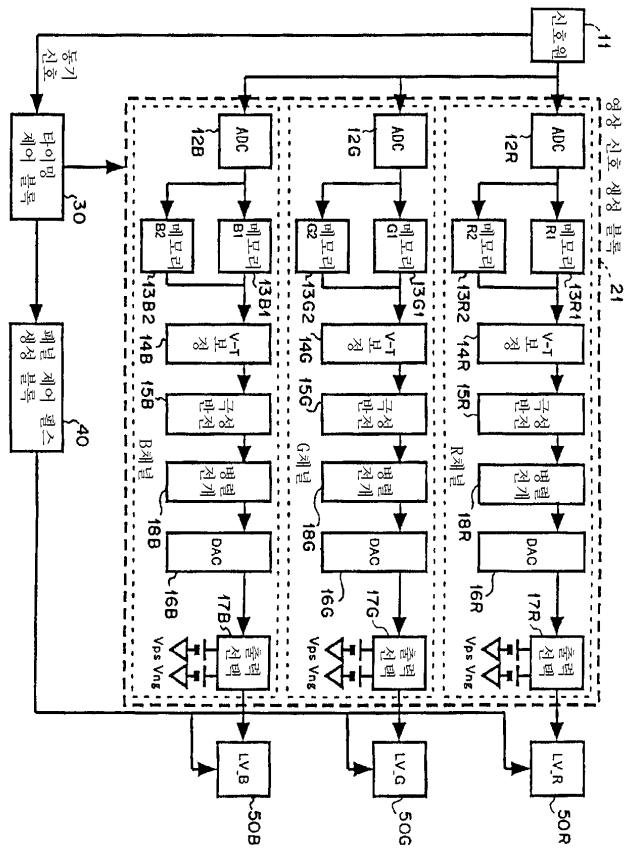
2



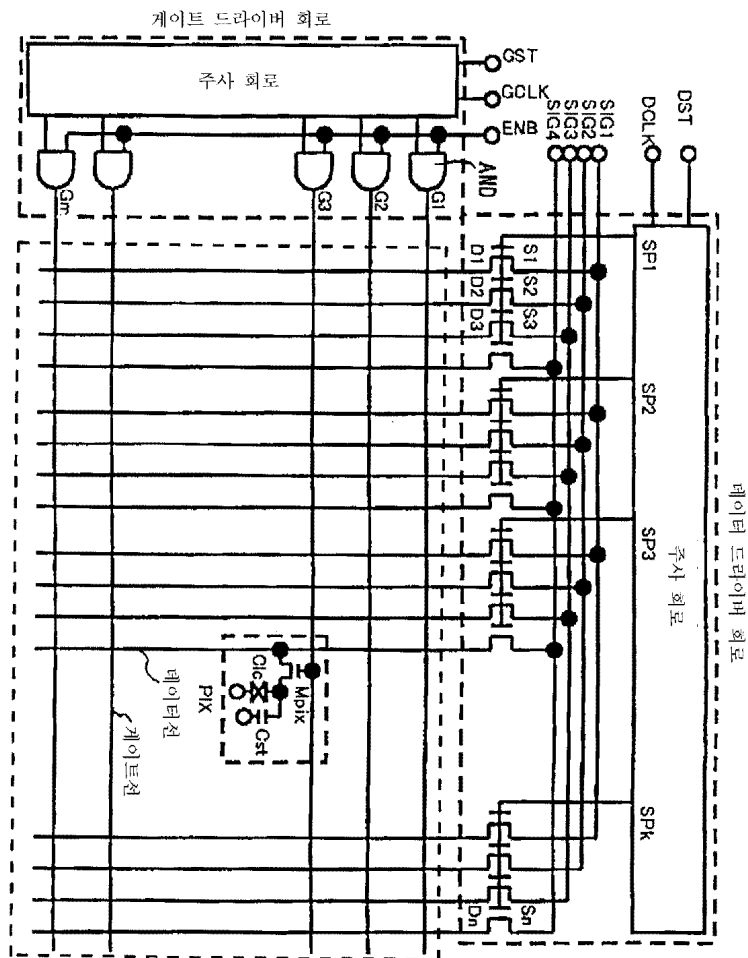
3

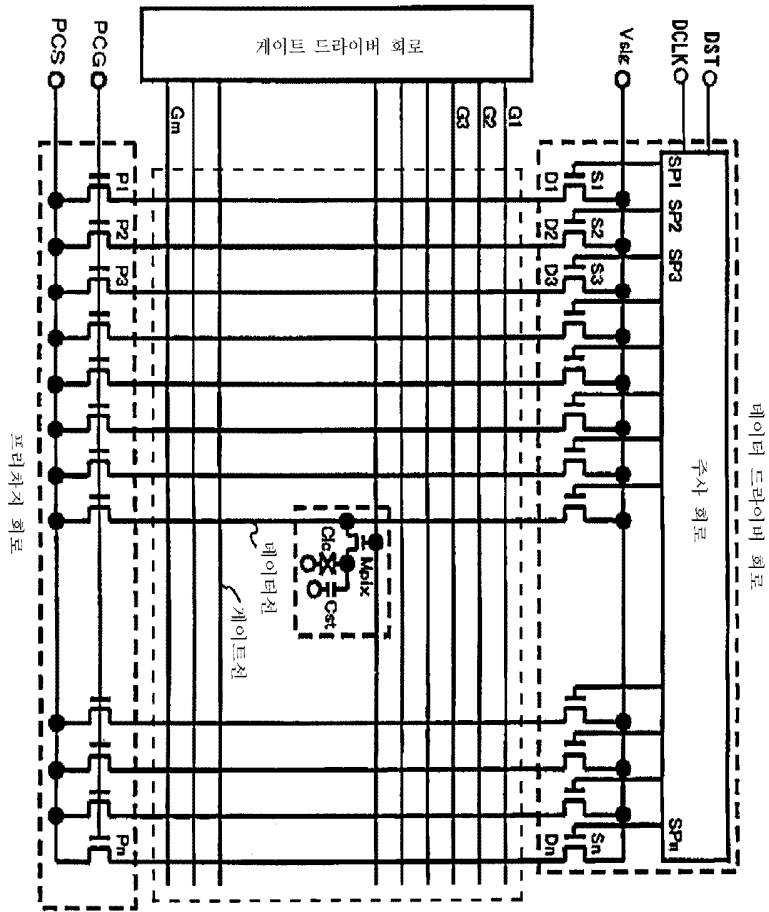


5

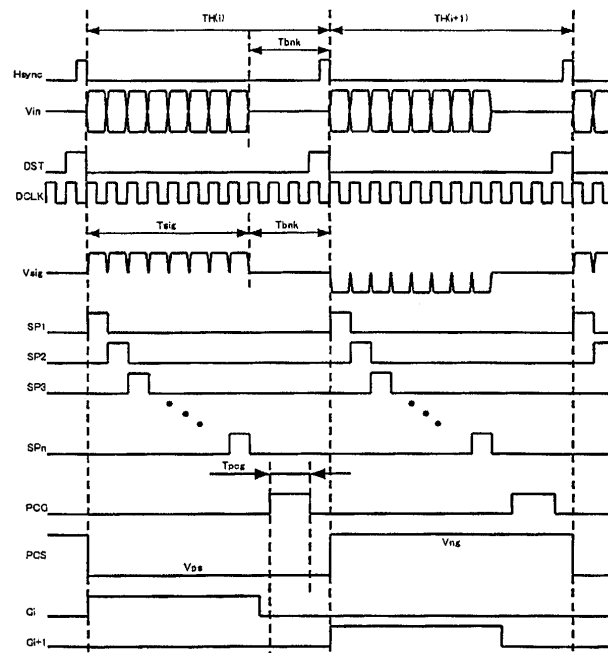


6





8



专利名称(译)	液晶显示装置的驱动电路及其驱动方法		
公开(公告)号	KR100358879B1	公开(公告)日	2002-10-31
申请号	KR1020000066925	申请日	2000-11-11
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	SEKINE HIROYUKI		
发明人	SEKINE,HIROYUKI		
IPC分类号	G09G3/36		
代理人(译)	CHANG, SOO KIL CHU, 晟敏		
优先权	1999321389 1999-11-11 JP		
其他公开文献	KR1020010051618A		

摘要(译)

删除从液晶显示面板中的预充电电路的面板尺寸的大小和消除变化减少由于面板的预充电时,前面板上显示均匀的图像,和一个问题,即整体增加的产率。一种用于驱动液晶显示装置的驱动电路,包括:视频信号产生块,用于产生要施加到面板的视频信号;及用于校正图像信号的传输的光强度的非线性在第二存储器VT校正电路,具有维持A/d转换器ADC电路和面板中的一个线的信号的能力的面板的输入电压,用于AC驱动面板的液晶像素的极性反转电路,用于D/A转换从极性反转电路输出的数字信号的DAC电路,并且输出选择电路在图像信号的水平周期的半个周期中显示DAC电路的模拟信号,并在图像信号的水平周期的后半部分中对面板进行预充电。 1 指数方面 - 1 - 彩色图像信号源,存储器,极性反转电路,输出选择电路,并行扩展电路,节目

