



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0032248
(43) 공개일자 2008년04월14일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2008-7005041

(22) 출원일자 2008년02월29일

심사청구일자 없음

번역문제출일자 2008년02월29일

(86) 국제출원번호 PCT/EP2006/064913

국제출원일자 2006년08월01일

(87) 국제공개번호 WO 2007/014953

국제공개일자 2007년02월08일

(30) 우선권주장

05 08259 2005년08월02일 프랑스(FR)

(71) 출원인

탈레스

프랑스 에프-92200 뉘이 쉬르 시엔 튀 드 비에 45

(72) 발명자

르브렝 위그

프랑스 에프-38500 꾸블레비 앵빠스 프레베르 100

크레츠 띠에리

프랑스 에프-38430 생 장 드 모랑 샹 드 라 꾸르 165

(74) 대리인

특허법인코리아나

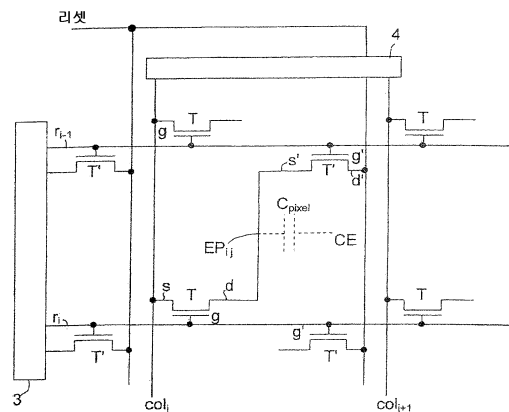
전체 청구항 수 : 총 17 항

(54) 액정 디스플레이 디바이스를 위한 능동 매트릭스

(57) 요약

액정 디스플레이 디바이스를 위한 능동 매트릭스는, 행과 열의 교차 망조직에 배열되는 화소 전극을 포함한다. 각각의 화소 전극과 연결되는, 전극 제어 소자가 제공되며, 이 전극 제어 소자는, 상기 화소 전극 ($EP_{i,j}$) 과 연관되는 열 (col_j) 사이에 연결되는 제 1 스위칭 소자 (T), 및 연관되는 행 (r_i) 에 연결되는 이 스위칭 소자 (T) 의 제어 전극 (g) 을 포함한다. 제어 디바이스는, 이 화소 전극 ($EP_{i,j}$) 에 연결되는 제 2 스위칭 소자 (T') 를 포함하며, 이 제 2 스위칭 소자의 제어 전극 (g') 은 망조직의 행 (r_{i-1}) 에 연결된다. 본 발명은 능동 매트릭스 쌍안정 네마틱 디스플레이에서 사용된다.

대표도 - 도3a



특허청구의 범위

청구항 1

액정 디스플레이 디바이스를 위한 능동 매트릭스로서,

행들과 열들의 교차 망조직 (network) 에 배열되는 화소 전극들, 및 각각의 화소 전극들과 연관되어, 상기 화소 전극 ($EP_{i,j}$) 및 연관되는 열 (col_j) 사이에 연결되는 제 1 스위칭 소자 (T) 를 포함하는 전자 제어 디바이스를 포함하며, 상기 제 1 스위칭 소자 (T) 의 제어 전극 (g) 은 연관되는 행 (r_i) 에 연결되고, 상기 전자 제어 디바이스는, 리셋 버스를 포함하여, 상기 화소 전극을 초기화하는 회로, 및 상기 화소 전극 ($EP_{i,j}$) 과 상기 리셋 버스 사이에 연결되는 제 2 스위칭 소자 (T') 를 더 포함하며, 상기 제 2 스위칭 소자의 제어 전극 (g') 은 상기 망조직의 선행 행 (r_{i-1}) 에 연결되는, 능동 매트릭스.

청구항 2

제 1 항에 있어서,

상기 전자 제어 디바이스의 상기 제 1 스위칭 소자 및 상기 제 2 스위칭 소자는 트랜지스터들인, 능동 매트릭스.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 리셋 버스는 특정 전원 공급 버스 (Reset) 인, 능동 매트릭스.

청구항 4

제 3 항에 있어서,

상기 전원 공급 버스는, 상기 열들에 평행하게 또는 상기 행들에 평행하게 배치되는 복수의 도전체들을 포함하는, 능동 매트릭스.

청구항 5

제 3 항에 있어서,

상기 전원 공급 버스는, 적어도 하나의 절연층에 의해 화소 전극들로부터 분리되는 레벨 상에 형성되는 상기 매트릭스의 투명 또는 불투명한 기능성 도전층 (F) 인, 능동 매트릭스.

청구항 6

제 1 항에 있어서,

상기 능동 매트릭스는,

상기 매트릭스의 랭크 (i) 의 각각의 행 (r_i) 에 대해, 상기 행의 화소 전극들의 행 (R_i) 아래에 매립되며 선행 행 (r_{i-1}) 에 연결되는 도전성 버스 (B_i) 를 더 포함하며,

상기 도전성 버스는 상기 랭크 (i) 의 상기 행의 상기 화소 전극들 각각과 함께 축전 커패시턴스를 형성하고, 상기 도전성 버스는 상기 리셋 버스를 형성하고, 상기 각각의 화소 전극 ($EP_{i,j}$) 과 연관되는 상기 초기화 회로의 상기 제 2 스위칭 소자 (T') 는 상기 화소 전극과 함께 축전 커패시턴스를 형성하는 상기 도전성 버스 (B_i) 를 포함하며, 상기 커패시턴스의 일 단자는 상기 화소 전극에 연결되고, 상기 도전성 버스에 의해 형성되는 상기 커패시턴스의 다른 단자는 상기 선행 행에 연결되는, 능동 매트릭스.

청구항 7

제 1 항에 있어서,

상기 제 2 스위칭 소자는 다이오드 (D) 인, 능동 매트릭스.

청구항 8

제 7 항에 있어서,

상기 다이오드는 트랜지스터에 의해 형성되며, 상기 트랜지스터의 일 도전성 전극인 드레인 (d') 또는 소스 (s') 중 하나는 상기 게이트 (g') 에 연결되고, 다른 도전성 전극은 상기 화소 전극 ($EP_{i,j}$) 에 연결되는, 능동 매트릭스.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 각각의 화소 전극 ($EP_{i,j}$) 의 접지 회로를 더 포함하는, 능동 매트릭스.

청구항 10

제 9 항에 있어서,

상기 능동 매트릭스는, 도전성 기능층 (F) 을 포함하고, 상기 접지 회로는 상기 화소 전극 ($EP_{i,j}$) 과 상기 기능층 사이에 연결되는 스위칭 소자 (T") 를 포함하며, 상기 스위칭 소자 (T") 의 제어 전극 (g") 은 상기 매트릭스의 후행 행 (r_{i+1}) 에 연결되며, 상기 기능층은 접지되는, 능동 매트릭스.

청구항 11

제 9 항에 있어서,

상기 접지 회로는, 각각의 화소 전극 ($EP_{i,j}$) 과 상기 연관되는 행 (r_i) 사이에서 부유 (stray) 결합 커패시턴스 (C_{pixel}/r_i) 에 의해 형성되어, 상기 행이 선택 해제 (deselect) 되는 경우에 상기 화소 전극의 방전을 보장할 수 있는, 능동 매트릭스.

청구항 12

제 9 항에 있어서,

상기 각각의 화소 전극의 상기 제어 디바이스의 상기 제 1 스위칭 소자 (T) 및/또는 상기 제 2 스위칭 소자 (T') 는, 다결정, 단결정, 다형 (polymorphous) 또는 유기 트랜지스터인, 능동 매트릭스.

청구항 13

제 9 항에 따른 능동 매트릭스를 포함하는 액정 디스플레이로서,

상기 접지 회로는 액정을 포함하는 캐비티에 스페이서들 (spacers; e) 을 포함하며, 상기 스페이서들 (e) 은, 상기 각각의 화소 전극과 대향-전극 (CE) 사이에서, 상기 각각의 화소 전극 상에 위치되며, 수 행 시간들 (a few row times) 에 걸쳐 상기 화소 전극을 방전할 수 있는 누설 전류를 갖는, 액정 디스플레이.

청구항 14

제 1 항 내지 제 8 항 중 어느 한 항에 따른 능동 매트릭스를 포함하는 액정 디스플레이로서,

상기 각각의 화소 전극 ($EP_{i,j}$) 과 연관되는 상기 제어 디바이스를 제어할 수 있는 행 드라이버 (3) 및 열 드라이버 (4) 를 포함하고, 상기 제 1 스위칭 소자 (T) 는 상기 행 (r_i) 의 어드레싱 시간 (t_{1i}) 에서 상기 행 드라이버에 의해 활성화되어, 상기 화소 전극 ($EP_{i,j}$) 에 디스플레이될 그레이 레벨에 대응하는 전압 레벨 (V_{Di}) 을 인가하고, 상기 전압 레벨은 상기 열 드라이버 (4) 에 의해 상기 어드레싱 시간 (t_{1i}) 에서 상기 연관되는 열에 인가되며, 상기 제 2 스위칭 소자 (T') 는 선행 행 (r_{i-1}) 의 어드레싱 시간 (t_{1i-1}) 에서 상기 행 드라이버에 의해 활성화되어, 초기화 전압 레벨 (V_{reset}) 을 인가하는, 액정 디스플레이.

청구항 15

제 9 항과 조합하는 제 1 항 내지 제 8 항 중 어느 한 항에 따른 능동 매트릭스를 포함하는 액정 디스플레이로서,

상기 각각의 화소 전극 ($EP_{i,j}$) 과 연관되는 상기 제어 디바이스를 제어할 수 있는 행 드라이버 (3) 및 열 드라이버 (4) 를 포함하고, 상기 제 1 스위칭 소자 (T) 는 상기 행 (r_i) 의 어드레싱 시간 (t_{1i}) 에서 상기 행 드라이버에 의해 활성화되어, 상기 화소 전극 ($EP_{i,j}$) 에 디스플레이될 그레이 레벨에 대응하는 전압 레벨 (V_{Di}) 을 인가하고, 상기 전압 레벨은 상기 열 드라이버 (4) 에 의해 상기 어드레싱 시간 (t_{1i}) 에서 상기 연관되는 열에 인가되며, 상기 제 2 스위칭 소자 (T') 는 선행 행 (r_{i-1}) 의 어드레싱 시간 (t_{1i-1}) 에서 상기 행 드라이버에 의해 활성화되어, 초기화 전압 레벨 (V_{reset}) 을 인가하고, 상기 열 드라이버 (4) 는 행의 각각의 어드레싱 시간의 끝에서 모든 열들을 그라운드로 끌어내리고, 상기 행은 여전히 선택되는, 액정 디스플레이.

청구항 16

제 14 항에 있어서,

제 9 항 내지 제 12 항 중 어느 한 항에 따른 능동 매트릭스를 포함하는, 액정 디스플레이.

청구항 17

제 13 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 액정 디스플레이는 쌍안정 네마틱 타입의 액정 디스플레이인, 액정 디스플레이.

명세서

<1>

기술 분야

<2>

본 발명은 액정 디스플레이 디바이스를 위한 능동 매트릭스에 관한 것이다.

<3>

배경 기술

<4>

특히, 본 발명은 통상 BiNem® 디바이스로 지칭되는 쌍안정 (bistable) 네마틱 (nematic) 액정 디스플레이 디바이스에 적용된다. 이하의 설명에서, 쌍안정 네마틱 디스플레이라는 용어를 사용할 것이다. 쌍안정 네마틱 디스플레이는 다양한 애플리케이션에서 사용되며, 특히 이른바 로밍 애플리케이션에서 사용된다. 이들의 일부 예로는 휴대 전화, 또는 PDA (personal digital assistant) 와 같은 포켓 컴퓨터, 또는 전자책이 포함된다.

<5>

이들 쌍안정 네마틱 디스플레이는 이미지 리프레시를 요구하지 않는 특히 흥미로운 특성을 갖는데, 이는 전력 소비가 최소한으로 유지되어야만 하는 모든 이들 로밍 애플리케이션에 대해 매우 유리하다. 이는 행 (row) 의 수와 관계없이 고품질 이미지를 제공한다.

<6>

이들 쌍안정 네마틱 디스플레이는 통상 소위 수동 매트릭스를 포함하고, 각 화소는 행 신호 및 열 (column) 신호에 의해 직접 제어된다. 수동 매트릭스의 결점은, 이미지가 디스플레이되는 시간 동안, 열의 화소가 열의 화소의 각각에 인가되는 모든 신호들을 "인지한다 (see)"는 것이다. 이로 인해, 이러한 기술을 대형 스크린에 사용하는 것이 어렵게 된다. 또한, 스위칭이 느리므로 이 기술을 비디오 애플리케이션에 사용할 수 없게 된다.

<7>

따라서, 이 수동 매트릭스 디스플레이는, 이미지 변화가 적거나 느린 애플리케이션, 및 작은 크기에, 통상 전자책 타입 애플리케이션들에 대해 더욱 특히 적합하다.

<8>

이들 다양한 이유 때문에, 이러한 디스플레이를 갖는 능동 매트릭스를 사용하려는 노력이 행해져 왔다. "능동 매트릭스" 라는 용어는 화소 전극의 매트릭스 구조를 의미하도록 사용되며, 여기에서 어드레싱은 각각의 화소 전극과 연관되는 스위칭 디바이스를 포함한다. 화소가 어드레싱되지 않은 경우, (부유 커패시턴스 (stray capacitance) 에 의한 커플링 문제는 별문제로 하고) 연관되는 스위칭 디바이스는 그 화소 전극을 행 신호 및 열 신호로부터 분리시킨다.

<9>

스위칭 디바이스는 다이오드 또는 트랜지스터일 수 있다. 이는 비결정 실리콘 (a-Si) 의 박막을 사용하는,

표준 TFT (Thin Film Transistor) 타입 트랜지스터인 것이 유리하다. 실제로, 이들 트랜지스터는, 0 또는 매우 낮은 누설 전류를 갖는 다결정 실리콘 트랜지스터보다 이점을 갖고, 이는 TN 타입 화소에 정보를 유지하게 되는 경우 매우 중요한 특징이다.

- <10> 능동 매트릭스는 화소 전극, 스위칭 디바이스, 및 행 및 열 도전체를 포함하는 제 1 기판 상에 생성된다.
- <11> 능동 매트릭스에 추가로, 디스플레이는, 모든 화소에 공통되며 또한 대향-전극 (counter-electrode) 으로 지칭되는, 다른 화소 전극을 형성하는 제 2 기판을 포함한다. 캐비티 (cavity) 가 능동 매트릭스의 상부와 제 2 기판 사이에 형성되도록 제 2 기판이 배치된다. 캐비티는, 계획된 기술에 의존하는 분자의 배향 (orientation) 및 조성물을 갖는 액정으로 채워진다. 그 후 화소 전극 및 대향-전극은 화소 커패시턴스의 2 개의 전기자 (armature) 들을 형성하고, 정보를 저장하는데 사용되는 쌍안정 물질이 이들 2 개의 전기자들 사이에 위치한다.
- <12> 능동 매트릭스 쌍안정 네마틱 타입의 액정 디스플레이는, 제 02 14806 호로 등록되고, Nemoptic 사에 의해 출원된, "정교한 쌍안정 네마틱 액정 디스플레이 방법 및 디바이스 (Sophisticated bistable nematic liquid crystal display method and device)" 로 명명된 프랑스 특허 출원에서 설명된다. AMLCD (Active Matrix Liquid Crystal Display) 타입 (스크린) 디스플레이가 획득된다.
- <13> 상술한 애플리케이션에서 설명되는 것과 같은 쌍안정 네마틱 디스플레이를 위한 능동 매트릭스 구조가 도 1 에서 개괄적으로 도시된다.
- <14> 능동 매트릭스의 구조 M 은 통상 m 개 행들 $r_1, r_2, \dots, r_m$, 및 p 개 열들 $col_1, col_2, \dots, col_p$ 의 망조적 (network) 으로 배열되는 m*p 개 쌍들 (화소 전극 (1), 트랜지스터 (2)) 을 포함한다.
- <15> 각각의 화소 전극 (1) 과 연관되는 트랜지스터 (2) 는 스크린의 대응하는 화소가 행 도전체와 열 도전체에 의해 개별적으로 어드레스되도록 한다.
- <16> 이하의 설명에서, 용어 "행" 및 "열" 은 전기적 개념에서 도전체를, 또는 매트릭스 배열 개념에서 행 또는 열을 의미하도록 사용된다.
- <17> 각각의 전극 (1) 과 연관되는 트랜지스터 (2) 는 스위칭 소자로서 동작한다. 트랜지스터가 온 상태로 스위칭되는 경우, 이는 소정의 전압 레벨이 화소 전극에 인가되도록 하여, 대응하는 그레이 레벨이 스크린 화소에 디스플레이되는 것을 가능하게 한다. 트랜지스터가 오프 또는 차단된 상태로 스위칭되는 경우, 이는 화소 전극을 매트릭스의 나머지에서부터 절연시킨다 (부유 커패시턴스에 의한 커플링은 별문제로 하고). 트랜지스터는 드레인 (d) 과 소스 (s) 로 지칭되는 2 개의 도전 전극, 및 게이트 전극 (g) 을 포함하며, 게이트 전극을 통해 트랜지스터의 "온" 또는 "오프" 상태가 제어된다.
- <18> 더욱 상세하게, 트랜지스터는 통상 이하와 같이 매트릭스 구조로 연결된다: 예를 들면 드레인 (d) 과 같은 도전 전극은 화소 전극에 연결된다. 트랜지스터의 게이트 (g) 는 연관되는 행에 인가되는 행 선택 신호에 의해 제어된다. 예를 들면 소스 (s) 와 같은 트랜지스터의 다른 도전 전극은, 연관되는 열에 연결된다.
- <19> 따라서, 하나의 및 동일 행의 모든 트랜지스터의 게이트는 모두 그 행에 연결되며, 하나의 및 동일 열의 모든 트랜지스터의 소스는 모두 그 열에 연결된다. 트랜지스터가 "온" 으로 설정되는 경우, 트랜지스터는 소스 (s) 와 연관되는 열에 의해 인가되는 전압을 드레인 (d) 으로 스위칭한다: 따라서, 화소 전극 (1) 이 디스플레이 이될 비디오 데이터 아이템에 대응하는 전압 레벨 (그레이 레벨) 로 충전된다.
- <20> 화소 전극 (1) 은, 그의 연관된 트랜지스터 (2) 를 통해, 주변 어드레싱 회로에 의해, 각각 제어된다. 이들 어드레싱 회로는 통상, 이하의 설명에서 행 드라이버로 더욱 단순하게 지칭되는, 행 제어 회로 (3) 및 이하의 설명에서 열 드라이버로 더욱 단순하게 지칭되는 열 제어 회로 (4) 를 포함한다. 행 제어 회로 (3) 는, 프레임 시간에 걸쳐 순차적으로 행들을 선택하기 위해, 행들로 연속하여 전압 레벨을 인가한다. 각각의 행 시간에서, 열의 제어 회로 (4) 는, 선택된 행의 각각의 화소에 소정의 그레이 레벨을 디스플레이하기 위해, 열에 적절한 전압 레벨을 인가한다.
- <21> 화소의 2 개의 안정 상태들 간의 스위칭이 신속해야 하는 경우, 쌍안정 네마틱 스크린의 화소 제어는, 고 전압의 사용을 전제로 한다. 이들 2 개의 안정 상태들은, 균일 텍스처 (uniform texture) 및 비틀림 텍스처 (twisted texture) 인 2 개의 상이한 텍스처들에 대응한다. 이들은, 액정으로 채워진 캐비티를 형성하는, 기판 (또는 웨이퍼) 의 각각의 측면에서 상이한 분자의 배향층에 연관되는 액정의 기밀한 조성 (shrewd

composition) 으로부터 도출된다.

- <22> 균일 텍스처는, 화소의 두께에서, 0° 에 가까운 낮은 비틀림각에 의해 정의된다. 비틀림 텍스처는 화소의 두께에서 180° 에 가까운 높은 비틀림각에 의해 정의된다.
- <23> 이 2 개의 텍스처들은 2 개의 분자 앵커링 (anchoring) 지점의 존재에 의해 특징지어지며, 웨이퍼들 각각의 하나의 앵커링은 액정을 포함하는 캐비티를 형성하고, 각각은 이 목적에서 적절한 상이한 배향층으로 코팅된다.
일 앵커링 지점은 매우 강하며, 전계의 인가에 의해 거의 영향받지 않는다. 다른 앵커링 지점은 약하다.
이 약한 앵커링은 강한 전계가 인가되는 경우 파괴 (break) 될 수 있다. 따라서, 하나의 안정 상태에서 다른 상태로 스위칭하는 유일한 방법은, 전기 펄스의 형태로 에너지를 인가하는 것이며, 이 효과는 약한 앵커링 지점을 파괴하는 것이다. 그 후, 펄스의 형상에 의존하여, 2 개 안정 상태 중 하나에서 화소의 두께로 분자들이 구성된다. 이 기술에 대한 더욱 포괄적인 상세 및 그 원리는 Ivan N. Dozov 등에 의한 이하의 문헌, "Fast bistable nematic display from coupled surface anchoring breaking", SPIE Proceedings Vol. 3015, pp 61-69 (0-8194-2426-9, 214 쪽, 1997 년 출판), 및 "Ultra low power bright reflective displays using Binem® technology fabricated by standard manufacturing equipment", SID Symposium Digest of Technical Papers - 2002 년 5월 - Volume 33 , Issue 1, pp 30 - 33 에서 찾을 수 있다.
- <24> 따라서, 화소의 단자에 인가되는 전계의 형상은, 고 전계 값을 이용하여 앵커링을 파괴하는 단계 후에 2 개의 텍스처 중 하나 또는 다른 하나를 선택하는 방법을 제공하며, 이는 텍스처 "리셋 (reset)" 단계와 등가이다.
이 리셋 단계는 소정의 파괴 전압 레벨, 및 인가 시간을 특징으로 한다.
- <25> 다음의 기입 단계에서, 인가되는 전기 펄스의 형상에 따라 하나의 또는 다른 하나의 텍스처가, 획득된다. 실제로, 하나 또는 다른 안정 상태로의 스위칭은 전기 펄스의 하강 에지의 형상에 의해 획득될 수 있다.
- <26> 균일 텍스처 (U) 는, 예를 들면 계단 (staged) 형상 또는 파괴 전압 레벨로부터의 아날로그 하강 전압 램프에 의해, 완전한 하강 에지로 스위칭함으로써 획득될 수 있고, 이는 탄성 완화 거동 (elastic relaxation behaviour) 에 유리하다. 이 탄력적 완화 프로세스는 분자들을 비틀림각 없이 병렬로 배열하도록 구동시키고, 이는 균일 텍스처 (U) 를 야기한다. 화소는 디스플레이에서 검은 색으로 나타난다.
- <27> 비틀림 텍스처 (T) 는, 파괴 전압 레벨로부터, 가파른 하강 에지로 스위칭함으로써 획득될 수 있는데, 이는 분자 배향의 수정의 다이내믹 프로세스에 유리하며, "역류 (backflow)" 로 공지된다. 화소의 액정 분자의 강한 유체 흐름 (hydrodynamic flux) 이 분자들의 약한 앵커링의 파괴 및 약 180° 의 비틀림각을 갖는 분자 배향을 도출한다. 화소는 디스플레이에서 백색으로 나타난다.
- <28> 최신 기술에 따르면, 중간 에지로 스위칭함으로써, 혼합된 텍스처에 대응하는, 그레이 레벨을 디스플레이하는 방법이 또한 공지되며, 이는 디스플레이될 그레이 레벨에 따라 가변인 비율로, 화소의 두께에서 양 텍스처 모두가 공존하도록 한다.
- <29> 쌍안정 네마틱 디스플레이에서 그레이 레벨의 디스플레이 제어 신호 ($S_D(P1,P2)$) 가 도 2 에서 도시된다. 특히 이러한 신호는 상술한 프랑스 특허 출원 (FR 02 14806) 에 기재되어 있다. 이는, 2 개의 스테이지 (P1 및 P2) 를 갖고, 각 행 시간 동안 매트릭스의 열로 인가되는 신호이다. 제 1 스테이지 (P1) 는 앵커링 파괴 단계에 대응한다. 이는 지속 기간 τ_1 및 결정된 전압 레벨 V_{P1} 에 의해 특징지어진다. 실제로, 이 전압 레벨은, 애플리케이션 시간 τ_1 에 따라서, 이 기술에 대해 정의되는 파괴 전압 이상으로 선택된다.
- <30> 제 2 스테이지 (P2) 는 새로운 텍스처의 디스플레이 단계 (또는 기입 단계) 에 대응한다. 이는 지속기간 τ_2 및 앵커링 파괴 전압 (V_{P1}) 미만인 전압 레벨 (V_{P2}) 에 의해 특징지어진다. 따라서, 각 열에서, 신호 (S_c) 의 형상은 디스플레이될 데이터에 의존한다.
- <31> τ_1 과 τ_2 의 합은 디스플레이의 행 시간, 즉 매트릭스의 선택된 행의 화소에 새로운 디스플레이 데이터를 디스플레이하는데 필요한 시간을 제공한다.
- <32> 제 1 스테이지 (P1) 와 제 2 스테이지 (P2) 간의 단차 (또는 높이) 는 획득될 텍스처에 의존한다.
- <33> 따라서 균일 텍스처 (U) 를 획득하는데 필요한 완전한 하강 에지는, 더 낮지만 제 1 스테이지로부터 너무 떨어져 있지 않는 제 2 스테이지 (P2) 를 선택함으로써 획득된다.
- <34> 비틀림 텍스처 (T) 를 획득하는데 필요한 첨예한 하강 에지는, 전의 경우보다 더 떨어지고 따라서 더 낮은, 제

2 스테이지 (P2) 를 선택함으로써 획득된다.

- <35> 획득될 텍스처에 의존하여, 전압 (V_{P1}) 이 제 1 스테이지 (P1) 의 전압 레벨을, 전압 (V_{P2}) 은 지속 기간 τ_2 의 제 2 스테이지 (P2) 의 가변 전압 레벨을 표시하는데 사용된다. 전압 (V_{P2}) 은 균일 텍스처 (U: 검은색 디스플레이) 를 제어하도록 $V_U < V_{P1}$ 과 같고, 전압 (V_{P2}) 은 비틀림 텍스처 (T: 백색 디스플레이) 를 제어하도록 $V_T < V_U < V_{P1}$ 과 같고, 그리고 전압 (V_{P2}) 은 2 개의 텍스처들 (U 및 T) 이 공존하는 (그레이 레벨 디스플레이) 혼합된 텍스처 (M(U,T)) 를 제어하도록 전압 (V_T) 와 전압 (V_U) 사이의 중간값 V_{M1} ($V_T < V_{M1} < V_U < V_{P1}$) 과 같다.
- <36> 따라서, 전압 (V_{P2}) 은 V_U 와 V_T 값들 사이의 임의의 값을 취할 수 있으며, 이는 이 기술의 특징이다. 도시된 예에서, $V_{P2} = V_{M1}$ 인 경우, 균일 텍스처 (U) 에서 비틀림 텍스처 (T) 의 부분이 나타나고, 그 결과는 소정의 그레이 레벨에 대응하는, 혼합된 텍스처 (M(U,T)₁) 이다. $V_{P2} = V_{M2} < V_{M1}$ 인 경우, 비틀림 텍스처 (T) 의 부분이 더 커지고, 결과는 전의 것보다 더 밝은 소정의 그레이 레벨에 대응하는, 혼합된 텍스처 (M(U,T)₂) 이다.
- <37> 따라서, 중간 그레이 레벨은, 끝의 수치들 V_U 와 V_T 사이에서 제 2 스테이지의 전압 레벨 (V_{P2}) 을 변화시킴으로써 획득된다. 따라서 실제 예시에서, 소정의 최신 기술에 대해, V_U 와 V_T 간의 약 3 볼트의 변화 범위 ($V_U - V_T \approx 3$ 볼트) 가 이용가능하다. 제 2 스테이지 (P2) 의 전압 레벨이 V_T 에 더욱 가깝게 접근할수록, "역류" 효과는 더 커진다. 도 2 의 좌에서 우로의 두 줄 화살표는 제 2 스테이지 전압에 따른 이 효과의 상승방향을 도시한다.
- <38> 실제 예시에서, 앵커링 파괴 전압 (V_{P1}) 의 레벨은 상당히 긴 행 시간 동안 약 15 내지 18 볼트이다.
- <39> 능동 매트릭스의 경우에서, 이들 전압은 스위칭 트랜지스터를 통해, 화소 전극으로 인가되어야 한다.
- <40> 도 2 와 관련하여 바로 설명된 디스플레이 제어 신호 ($S_0(P1,P2)$) 가 열에 인가되는 한편, 행 선택 신호가 행 시간 동안, 매트릭스의 각각의 행에 교대로 인가된다. 디스플레이 제어 신호는 2 개의 별개의 및 연속적인 신호 성분인: 리셋 신호 및 비디오 신호를 갖는다. 리셋 신호는 초기의, 앵커링 파괴 단계에 대응한다. 비디오 신호는 새로운 텍스처 기입 또는 프로그래밍 단계에 대응한다. 이들 2 개의 신호들은 상이한 전압 레벨을 갖는다.
- <41> 실제로, 새로운 데이터를 디스플레이하기 위한 매트릭스의 행의 어드레싱 절차는 이하와 같다: 행 시간 동안, 전압 펄스의 형상을 갖는 선택 신호를 인가함으로써 행이 선택된다. 사실상, 이 펄스는 행의 트랜지스터들 각각의 게이트 (g) (도 1 참조) 로 인가된다. 이 펄스는 행의 트랜지스터들 (2) 각각을 "온" 상태로 스위칭 하기에 충분히 높은 전압 레벨을 갖는다.
- <42> 디스플레이 제어 신호는 매트릭스의 열 각각으로, 인가되며 그에 따라 트랜지스터의 소스로 인가된다.
- <43> 선택된 행의 트랜지스터로 인가되는 게이트 전압은, 선택된 행의 각각의 트랜지스터가 실질적으로 손실 없이, 연관되는 화소 전극의 디스플레이 신호 S_c 를 스위칭하기 위해, 열에 인가되는 전압에 트랜지스터의 임계 전압 V_{th} 를 더한 것 (즉, 트랜지스터가 도전성이 되도록, 게이트와 드레인, 또는 게이트와 소스 사이에 인가되는 최소 전압) 과 적어도 동일해야 한다.
- <44> 최신 기술에 따른 능동 매트릭스는, 특히 제어 전압 레벨을 지원하도록 설계된 표준 행 및 열 드라이버를 갖는, TN (Twisted Nematics) 또는 IPS (In Plane Switching) 타입 액정 스크린을 위해 개발되었다. 이들 행 및 열 드라이버들은 능동 매트릭스에 병합되는 것이 바람직하다. 이들은 외부 회로 상으로 생성될 수 있다. 이들은 이들이 수신하는 비디오 데이터를 디스플레이하는데 필요한 아날로그 전원을 수용한다. 행 드라이버는 열의 스캐닝을 책임지고, 순차적으로, 열 드라이버는, 각 라인에 대해, 행의 각각의 화소에 대응하는 데이터 아이템 (그레이 레벨) 을 디스플레이하도록 화소 전극에 인가될 열 전압 레벨을 인가하는 것을 책임진다.
- <45> 표준 TN 의 경우, 고 전압 열 드라이버가 13 볼트를 전달하도록 설계되는데, 이는 약 6 볼트 rms 가 (양의 및 음의 반파) 액정에서 획득되는 것을 가능하게 한다. 표준 IPS 능동 매트릭스에서, 최대 전압은 16.5 볼트에 달한다. 표준 행 드라이버는, 예를 들어, -10 볼트에서 30 볼트의 전압 레벨의 출력이 가능하다.
- <46> 따라서, 비교적 긴 행 시간에서, 쌍안정 네마틱 디스플레이를 제어하는데 필요한 전압의 범위는, 최신 기술의 표준 능동 매트릭스의 드라이버인, TN 또는 IPS 와 양립할 수 있다.

- <47> 본 발명에서, 관심은 특히 비디오 애플리케이션에 대한, 능동 매트릭스 쌍안정 네마틱 디스플레이에 집중된다. 이 비디오 애플리케이션에서, 행 시간은 더 짧아야 하고, 이는 화소 스위칭 시간이 단축될 것을 요구한다. 따라서, 켈점은 어떻게 리셋 단계를 가능한 짧게 만드느냐 하는 것이다. 이제, 앵커링 파괴 단계가 짧아질수록, 요구되는 파괴 전압이 보다 높아질 필요가 있다. 이는 특히 상술한 간행물 (섹션 3.4 및 특히 도 5를 특히 참조) 및 Ivan Dozov 등에 의한 더 최근의 출판물 "Recent improvements of bistable nematic displays switch by anchoring breaking", SID Symposium Digest 32, 224 (2001 년) 에 설명된다. $50 \mu s$ 이하 (비디오 애플리케이션에 대해, 40 ms 이하의 행 시간이 요구됨) 의 행 시간과 양립할 수 있는 스위칭 시간을 획득하기 위해, 이 경우 파괴 전압은 현재의 쌍안정 네마틱 디스플레이에서 20 볼트 초과이다.
- <48> 쌍안정 네마틱 디스플레이와 함께, 표준 능동 매트릭스의 사용시 발생하는 문제점은, 이 디스플레이를 제어하는데 요구되는 전압의 범위와 능동 매트릭스의 열 드라이버의 표준 기술 사이에 더 이상 양립성이 없다는 것이다.
- <49> 실제로, 최신 기술에서, 파괴 전압 레벨이 열 드라이버 (4: 도 1) 에 의해 매트릭스의 열로 인가되는 방법이 보여졌다. 또한, 최신 기술의 열 드라이버가, 40 볼트까지의 범위를 가질 수 있는 진폭으로의 게이트 전압 레벨을 인가하도록 설계되는 방법이 보여졌다. 그러나, 열 드라이버는 매트릭스의 트랜지스터의 드레인 (또는 소스) 으로 최상의 경우 (IPS 표준) 16.5 볼트 초과 전압을 인가할 수 없다. 따라서, 매트릭스의 열에 13 볼트 (TN 드라이버) 또는 16.5 볼트 (IPS 드라이버) 초과 전압을 강요하는 것은 불가능하다. 이 레벨은, 비디오 애플리케이션과 양립하기에 너무 짧은 행 시간에서 앵커링 파괴를 허용하기에는 불충분하다.
- <50> 따라서, 화소 전극과 결합되는 TFT 트랜지스터가 20 볼트 초과 전압을 지원하고 스위칭할 수 있는 경우라도, 최신 기술의 표준 드라이버를 사용하여 이러한 전압을 인가하는 것은 불가능하다.
- <51> 트랜지스터의 게이트에 인가될 전압, 및 각각 비틀림 텍스처 (T) 및 균일 텍스처 (U) 에 대응하는, 인가되는 비디오 신호의 전압 레벨의 범위 [V_U , V_T] (즉 실제로 10 내지 13 볼트 사이인) 가, 실제로 이 매트릭스들의 드라이버의 표준 사양에 포함되는 경우, 동일한 것이, 열에 인가되는 디스플레이 제어 신호 $S_0(P1, P2)$ 의 초기화 성분 (스테이지 P1) 에 인가되지 않는다: 최신 기술의 표준 열 드라이버에 의해 20 볼트 이상의 파괴 전압을 인가하는 것은 사실 가능하지 않다.
- <52> 따라서, 새로운 특정 드라이버를 개발하는 것은 항상 장기간의 고비용의 작업이다.
- <53> 본 발명의 하나의 목적은 이 기술적 문제를 해결하는 것이다.
- <54> 본 발명의 하나의 목적은, 화소 전극에 높은 전압 레벨을 인가하는 표준 드라이버 (통합형 또는 외장형) 와 함께 사용될 수 있는 능동 매트릭스 쌍안정 네마틱 디스플레이 구조를 제공하는 것이다.
- <55> 본 발명의 하나의 목적은, 이러한 능동 매트릭스를 저비용으로 제공하는 것이다.
- <56> 본 발명의 하나의 목적은, 본질적으로 TN 또는 IPS 디스플레이를 위한 표준 능동 매트릭스를 가공하는데 사용되는 마스크의 드로잉을 수정함으로써, 쌍안정 네마틱 디스플레이 디바이스를 위한 능동 매트릭스를 획득하는 것이다.
- <57> 본 발명이 기초하는 하나의 착상은, 표준 능동 매트릭스에서 시작하여, 매트릭스의 신뢰도 및 드라이버의 신뢰도를 열화시키지 않고, 표준 드라이버를 사용하고 화소 전극에서 요구되는 제어 전압 레벨을 인가할 수 있도록 그 구조를 수정하는 것이다.
- <58> 본 발명에 따르면, 각 화소 전극과 연관되는 스위칭 디바이스에 대한 설비가, 화소의 앵커링 지점의 파괴를 핸들링하는 기능을 갖는, 예를 들면 다른 트랜지스터인, 다른 스위칭 소자를 포함하도록 준비된다. 따라서, 스위칭 디바이스에서, 새로운 텍스처의 리셋 기능 및 기입 기능이 분리된다. 이 다른 스위칭 소자는 행 드라이버에 의해 제어될 수 있고, 이는 약 40 볼트의 고 전압을 지원하며, 약 20 볼트 이상의 파괴 전압을 스위칭하기 위해 특정 전원 공급 버스로 연결된다. 이 파괴 전압은, 더 이상 표준 TN 또는 IPS 매트릭스에 대해서와 같이, 디스플레이되는 비디오에 대응하는 전압 레벨의 제어에 독립적으로 사용되는 행 드라이버에 의해서가 아니라 특정 전원 공급 버스에 의해서 인가된다.
- <59> 특정 전원 공급 버스는, 도전층 레벨로, 매트릭스의 구조에 추가되는 도전체에 의해, 또는 매트릭스에 이미 제공된 기능성 도전층에 의해 제조될 수 있지만, 그의 기능은, 이 버스로의 파괴 전압 레벨의 인가 목적에서, 전환될 수 있다. 이는 통상 축전 커패시턴스 (storage capacitance) 로서 능동 매트릭스 구조에서 제공되는 도전성 기능층이다. 쌍안정 네마틱 디스플레이의 화소가 화소 전극에 전압 레벨을 보존하는 것을 축적 커패

시턴스에 요구하지 않기 때문에, 이 층은 원래의 기능으로부터 전환될 수도 있다. 실제로, 일단 새로운 텍스처가 화소에 "기입"되면, 앵커링 지점이 파괴되지 않는 한, 그곳에 무기한으로 유지된다. 또한, OAR (open aperture ratio) 을 개선하는데 통상 사용되는 "차광재 (light shield)" 타입 광 스크린을 사용하는 것이 또한 가능하다. 실제로, 이 스크린은 통상 도전성으로, 축전 커패시턴스를 강화한다. 따라서, 최신 기술의 TN 또는 IPS 능동 매트릭스에서 제공되는 기능층을 전환하여, 파괴 전압에 대해, 및 저 개발 비용을 위해, 특정 전원 공급 버스를 제작하는 것이 가능하다.

<60> 따라서, 본 발명은 액정 디스플레이 디바이스를 위한 능동 매트릭스에 대한 것으로, 행과 열의 교차는 망조직에 배열되는 화소 전극, 및 각각의 화소 전극과 연관되며, 그 화소 전극 및 연관된 열 사이에 연관되는 열 사이에 연결되는 제 1 스위칭 소자를 포함하는 전자 제어 디바이스를 포함하며, 그 제 1 스위칭 소자의 제어 전극은 연관되는 행에 연결되고, 여기에서 그 제어 디바이스는, 리셋 버스를 포함하며, 그 화소 전극을 포함하는 회로, 및 그 화소 전극과 그 리셋 버스 사이에 연결되는 제 2 스위칭 소자를 더 포함하며, 그 제 2 스위칭 소자의 제어 전극은 망조직의 선행 행에 연결된다.

<61> 본 발명은 이러한 능동 매트릭스를 포함하는 액정 디스플레이, 특히 쌍안정 네마틱 타입 디스플레이로 인가된다.

<62> 도면의 간단한 설명

<63> 본 발명의 다른 이점들 및 특성들은, 첨부되는 도면을 참조하여, 비-제한적인 방식으로 그리고 예시로서 제공되는, 이하의 발명의 설명으로부터 더욱 명백해질 것이다.

<64> 도 1 은, 이미 설명된, 최신 기술에 따른, 쌍안정 네마틱 디스플레이를 위한 능동 매트릭스 구조를 도시한다.

<65> 도 2 는, 이미 설명된, 쌍안정 네마틱 디스플레이의 화소의 디스플레이 제어를 도시한다.

<66> 도 3a 는, 선행 행의 어드레싱 시간에서 수행되며, 앵커링 파괴에 대응하는, 매트릭스의 각 행에 대한 초기화 단계를 갖는, 본 발명에 따른 능동 매트릭스의 제 1 실시형태를 도시한다.

<67> 도 3b 는 도 3a 의 매트릭스의 다양한 도전체의 전기 신호 형상을 도시한다.

<68> 도 3c 및 도 3d 는 각각 본 발명에 따른 능동 매트릭스의 다양한 실시형태를 도시한다.

<69> 도 4a 는 본 발명에 따른 능동 매트릭스의 다른 실시형태를 도시한다.

<70> 도 4b 는 매트릭스의 행 또는 열에서 대응하는 전기 신호를 도시한다.

<71> 도 5 는, 본 발명에서 사용될 수 있으며, 화소 전극의 각각의 행 아래의 축전 커패시턴스 버스를 포함하는, 당업계의 능동 매트릭스를 도시한다.

<72> 도 6a 는 본 발명에 따른 능동 매트릭스의 개량의 제 1 실시형태를 도시한다.

<73> 도 6b 는 매트릭스의 행과 열에서 대응하는 전기 신호를 도시한다.

<74> 도 6c 및 도 6d 는 개량의 다양한 실시형태를 각각 도시한다.

<75> 도 7 은 본 발명에 따른 능동 매트릭스의 개량의 다른 실시형태를 도시한다.

<76> 도 8 은, 도 3 a 에 따른 매트릭스 구조의 다양한 제어 방법을 도시한다.

<77> 발명의 상세한 설명

<78> 도 3a 는, 사용되는 트랜지스터의 파손의 위험 없이, 화소 전극에 매우 높은 전압 레벨의 인가를 가능하게 할 수 있는, 본 발명에 따른 표준 트랜지스터를 갖는 능동 매트릭스 구조의 제 1 예시를 도시한다. 쌍안정 네마틱 디스플레이에서 사용되는 이러한 매트릭스 구조는, 디스플레이가, 40 μ s 미만의 행 시간으로, 비디오 애플리케이션에서 사용될 수 있도록 하는데, 이는 이들 디스플레이에 대한 시장을 확장하는 흥미로운 가능성을 제시한다.

<79> 행 (r_i) 및 열 (Col_j) 을 갖는 매트릭스에서의 연관되는 화소 전극 ($EP_{i,j}$) 은, 연관되는 제어 디바이스를 포함한다. 이 디바이스는 통상, 열 (Col_j) 과 화소 전극 ($EP_{i,j}$) 사이에 연결되는 스위칭 소자 (T) 를 포함한다.

이 스위칭 소자 (T) 의 제어 전극 (g) 은 행 (r_i) 에 연결된다. 스위칭 소자는 통상 트랜지스터인데, 예를 들면 소스 (s) 인, 하나의 도전 전극은 열로 연결되고, 예를 들면 드레인 (d) 인, 다른 도전 전극은 화소 전

극으로 연결된다.

- <80> 본 발명에 따르면, 각 화소 전극의 제어 디바이스는 선행 행 시간에서 화소 전극을 초기화하는 회로도 포함한다.
- <81> 도시된 실시형태에서, 이 초기화 회로는 트랜지스터 타입 스위칭 소자 (T') 이다.
- <82> 이 초기화 트랜지스터 (T') 는, 특정 리셋 전원 공급 버스에 연결된 도전체와 화소 전극 사이에 연결된다. 예를 들면, 트랜지스터 (T') 의 소스 (s') 가 화소 전극 ($EP_{i,j}$) 으로 연결되고, 트랜지스터 (T') 의 드레인 (d') 이 리셋 버스로 연결된다. 이 초기화 트랜지스터의 게이트 (g') 는, 예에서, 선행 행 (r_{i-1}) 으로 연결된다.
- <83> 이러한 매트릭스를 사용하는 액정 디스플레이가 고려되는 경우, 대응 화소는 화소 전극 ($EP_{i,j}$) 과 대향-전극 (CE) 사이에서 형성된다.
- <84> 도 3b 에 도시된 바와 같이, 행 (예를 들면 행 (r_i)) 의 선택은, 행 드라이버 (3) 가 이 행으로 전압 레벨 (V_{gon}) 을 인가하는 것을 수반한다. 이 행으로 게이트가 연결되는 트랜지스터는, 그 후, "온" 상태가 되고, 이는 단락 회로와 등가이다. 이 행의 선택 해제 (deselecting) 는 전압 레벨 (V_{goff}) 이 이 행에 인가되는 것을 수반한다. 선택 해제된 행의 트랜지스터는 그 후 "오프" 상태가 되고, 이는 개방 회로와 등가이다.
- <85> 따라서, 행 (r_i) 의 화소 전극 ($EP_{i,j}$) 에 결합되고, 그 게이트가 선행 행 (r_{i-1}) 에 연결되는 트랜지스터 (T') 가, 행 (r_{i-1}) 이 선택되는 선행 행 시간 ($t_{l_{i-1}}$) 에서 "온" 상태로 설정되는 것이 이해될 것이다. 그렇지 않은 경우에는, 트랜지스터가 "오프" 상태에 있다. 특히, 트랜지스터는 행 시간 (t_{l_i}) 에서 "오프" 상태에 있다. 트랜지스터 (T) 는 행 시간 (t_{l_i}) 에서 "온" 상태에 있고, 다른 행 시간에서는 "오프" 상태에 있다.
- <86> 리셋 버스는, 액정 분자의 앵커링 파괴 전압 이상인 연속인 전압 레벨 (V_{reset}) 을 가져온다. 트랜지스터 (T') 가 "온" 상태로 스위칭하는 경우, 이는 파괴 전압보다 반드시 초과인 $V_{gon}-V_{th}$ 의 레벨로, 행 시간 ($t_{l_{i-1}}$) 에서 전압 레벨 (V_{reset}) 을 화소 전극 ($EP_{i,j}$) 으로 전달한다.
- <87> 그 후 행 (r_i) 이 선택되는 경우, 행 시간 (t_{l_i}) 에서, 트랜지스터 (T') 는 "오프" 상태로 스위칭하고 (행 (r_{i-1}) 이 선택 해제됨), 트랜지스터 (T) 는 "온" 상태로 스위칭한다. 화소 전극 ($EP_{i,j}$) 은 연관된 열 (Col_j) 과 동일한 시간 (t_{l_i}) 에서 인가되는 전압 레벨 (V_{Di}) 로 트랜지스터 (T) 에 의해 충전된다.
- <88> 용어 "행 시간 (row time)" 은, 행 제어 회로 (행 드라이버) 가 그 행으로 선택 신호를 인가하는 동안의, 행의 어드레싱 시간을 의미하도록 사용되며, 그의 효과는 그 행의 모든 스위칭 소자 (T) 를 온으로 스위칭하는 것이다. 모든 다른 행은 이 행 시간 동안 선택 해제된다.
- <89> 따라서, 도 3b 에 도시된 바와 같이, 행 드라이버는, 행 (r_i) 의 행 시간 (t_{l_i}) 에서, 그 행의 모든 트랜지스터들 (T) 을 온으로 스위칭하는 전압 레벨 (V_{gon}) 을 인가한다. 다른 행에서, 행 드라이버는 전압 레벨 (V_{goff}) 을 인가하여, 모든 트랜지스터들은 "오프" 된다. 전압 (V_{goff}) 은 실제로 트랜지스터 (T) 의 임계 전압보다 낮다. $V_{goff} = 0$ 볼트를 갖는 것이 가능하다. 그 후, 트랜지스터 (T) 는, 연관되는 열 (Col_j) 에 의해, 그의 소스에 인가되는 전압 (V_{Di}) 을 스위칭한다. 이 스위칭은, 전압 (V_{Di}) 이 최대 균일 텍스처에 대한 전압 레벨, 또는 최신 기술에서 13 볼트와 동일하며, 게이트 전압 (V_{gon}) 이 약 20 볼트 이상으로 훨씬 더 크기 때문에, 손실 없이 완수된다.
- <90> 따라서, 선택되는 행 (r_i) 의 트랜지스터 (T) 에 연결되는 화소 전극 ($EP_{i,j}$) 은, 행 시간 (t_{l_i}) 에서 대응하는 열 (Col_j) 에 인가되는 전압 레벨 (V_{Di}) 로 대략 충전된다. 통상, 이 전압 레벨은 디스플레이될 데이터 아이টে姆에 대응한다.
- <91> 화소 전극 ($EP_{i,j}$) 에서, 행 시간 ($t_{l_{i-1}}$ 및 t_{l_i}) 에 걸쳐 전개되는 2 개의 스테이지를 갖는 신호 형상이 존재한다. 제 1 스테이지는 앵커링 파괴 단계 (τ_c) 에 대응하고, 제 2 스테이지는 새로운 비디오 데이터 아이টে姆

기입 단계 (τ_v)에 대응한다.

- <92> 따라서, 도 3b 과 관련하여 설명된 바와 같이 제어되며, 쌍안정 네마틱 디스플레이에서 사용되는, 본 발명에 따른 이러한 매트릭스는, 비디오 애플리케이션이 고려되기에 충분히 빠른 스위칭을 갖고, 화소가 상이한 그레이 레벨을 디스플레이하도록 적절히 제어되는 것을 허용하는데, 이는 파괴 단계 (τ_c)가 선행 행 시간에서 발생하기 때문에, 인가되는 전압 레벨은 표준 TN 또는 IPS 기술과 양립할 수 있다.
- <93> 사실, 쌍안정 네마틱 디스플레이의 설명과 관련하여, 어떻게 비디오 애플리케이션과 양립할 수 있는 행 시간 동안, 초기화 전압 (Vreset)이 대략 20 볼트 이상이 되었는지가 보여졌다. 도 3a 에서 도시된 바와 같은 본 발명에서, 이 전압은 특정 버스에 의해, 매트릭스의 트랜지스터 (T')의 드레인으로 직접 인가되며, 행 드라이버에 의해 제어되는 게이트 (g')는 적어도 트랜지스터 (T')의 임계 전압 (Vth)만큼 전압 (Vreset)보다 더 큰 전압 (Vgon)을 수신한다. 임계 전압 (Vth)은 30 볼트 미만으로 보존되며, 따라서 이는 표준 행 드라이버의 게이트 제어 전압 범위와 양립할 수 있다.
- <94> 열 드라이버에 의해 트랜지스터 (T)의 소스 또는 드레인으로 인가되는 비디오 전압 레벨은, 균일 텍스처 (U)를 획득하는 13 볼트와, 비틀림 텍스처 (T)를 획득하는 10 볼트 사이에서 변화한다. 이 전압 레벨은 표준 열 드라이버에 의해 공급되는 제어 전압의 범위 내이다.
- <95> 따라서 쌍안정 네마틱 디스플레이에서, 매트릭스 내의 병합 여부에 관계없이, 표준 행 및 열 드라이버와 함께 사용되는, 도 3a 에 도시된 바와 같은 능동 매트릭스는, 2 개의 개별 행 시간에서의, 행 (r_i)의 화소의 각각에 대해 새로운 비디오 데이터의 디스플레이 및 앵커링 파괴, 즉 선행 행 시간 ($t_{1,i-1}$)에서의 앵커링 파괴 및 행 시간 ($t_{1,i}$)에서의 새로운 비디오 아이템의 디스플레이를 허용할 수 있다.
- <96> 본 발명에 따른 트랜지스터 (T) 및 초기화 회로 (T')를 포함하는 각각의 화소 전극의 제어 디바이스는, 따라서 화소 전극들 ($EP_{i,j}$ 및 $EP_{i+1,j}$)에 대해 도 3b 에 도시된 바와 같이, 화소 전극에서 2-스테이지 신호 형상을 단순히 획득하도록 사용될 수 있다.
- <97> 이 신호는 쌍안정 네마틱 디스플레이의 화소의 제어와 양립 가능하다. 이는, TN 또는 IPS 디스플레이에 대해, 표준 행 및 열 드라이버를 갖는, 표준 능동 매트릭스를 사용하고, 매트릭스에 단순히 트랜지스터를 추가함으로써, 획득된다. 이는, 표준 제조 방법의 단계를 수정할 필요없이, 단순히 마스크의 드로잉을 수정함으로써 획득된다.
- <98> 쌍안정 네마틱 디스플레이에 대해, 각각의 화소에 대한 트랜지스터의 추가는 OAR 에 대해 불리하지 않은데, 이는 이러한 디스플레이를 사용하는 초소형 (ultra-portable) 디바이스가 통상 반사 (reflective) 모드에서 동작하기 때문이다.
- <99> 또한, 트랜지스터들 (T 및 T')은 각각 정상 전압 범위에서 사용된다.
- <100> 따라서, 상이한 행 시간에서 활성화되는, 상이한 스위칭 수단에 의해 앵커링 파괴 및 비디오 디스플레이 기능을 분리하는 것은, 이 기술과, 및 비디오 애플리케이션과 양립할 수 있는 전압 레벨을 인가하는 방식을 제공한다.
- <101> 도 3a 에서 도시된 예시에서, 매트릭스의 초기화 트랜지스터의 드레인 또는 소스로 초기화 전압 (Vreset)을 지향시키는, 특정 리셋 전원 공급 버스는, 열에 평행하게 배치되는 복수의 도전체를 포함한다. 실제로, 이들 도전체는 매트릭스의 열과 동일한 레벨, 또는 상이한 레벨로 제공된다.
- <102> 유사한 방식으로, 리셋 전원 공급 버스의 도전체를 매트릭스의 행에 평행하게 배치되도록 제공하는 것이 가능하다. 이는 도 3c 에 도시된 변형이다. 이와 관련하여, 최신 기술에 따르면, 각 화소에 대해, 열, 어드레싱 행, 및 충전 커패시턴스 행을 포함하는 매트릭스가 존재한다는 것을 알 수 있다. 그 후, 이 행 및 이 드레인 (또는 소스) 사이의 적절한 연결을 제공하여, 이 충전 행의 기능을 초기화 트랜지스터 (T')의 드레인 (또는 소스)으로 초기화 전압 (Vreset)을 가져오는 기능으로 변경함으로써 최신 기술의 이 매트릭스를 사용하는 것이 용이하다.
- <103> 도 3d 에 도시된 바와 같이, 본 발명에 따른 매트릭스의 다른 상이한 실시형태에서, 리셋 전원 공급 버스는, 특히 표준 TN 매트릭스에서, 각각의 화소 전극과 충전 커패시턴스를 형성하도록 통상 사용되는 매립 접지면 (buried ground plane)과 같은, 표준 매트릭스의 도전성 기능층 (F)에 의해 형성된다. 이러한 기능층은 적어도 하나의 절연층에 의해 화소 전극으로부터 분리된 층 상에 형성되어, 화소 커패시턴스 (Cpixel)와 병렬

로 축전 커패시턴스를 형성하게 된다.

- <104> 사실, 이미 설명한 바와 같이, 일단 균일한 또는 비틀림 텍스처 타입에 따라 배향되면, 약한 앵커링이 파괴되지 않는 한, 분자들이 무기한으로 이 상태를 보존하기 때문에, 이러한 축전 커패시턴스는 쌍안정 네마틱 디스플레이에서 불필요하다.
- <105> 이 기능층은 "차광재 (light shield)" 타입 층 특히 표준 TN 매트릭스에서 통상 사용되는 스크린이 될 수도 있어, 즉, 이는 그 구조에 의해 유도되는 전계선으로 인한 광 누설을 차폐한다. 이는 통상 격자 형태의 티타늄의 도전성이고 불투명한 층으로, 이는 능동 매트릭스 아래에 (즉, 트랜지스터 아래에) 배치되거나, (트랜지스터의 드레인/소스를 형성하는) 행/열의 레벨과 화소 전극의 사이에 배치될 수 있다. 이 도전층은 통상 적어도 하나의 절연층에 의해 화소 전극으로부터 분리되는 레벨에 형성되며, 따라서 각각의 화소 전극에 대한 축전 커패시턴스로서 이 구조에 사용된다. 전과 동일한 이유에서, 따라서 이 층을, 각각의 초기화 트랜지스터 (T') 의 드레인 (또는 소스) 으로 초기화 전압 (Vreset) 을 가져오는 버스로서, 아무 어려움 없이 이 층을 사용하는 것이 가능하다.
- <106> 본 발명에 따른 초기화 회로의 다른 실시형태가 도 4a 에서 나타내어진다. 이때 행 (r_i) 의 화소 전극의 제 1 디바이스의 초기화 회로는, 화소 전극 ($EP_{i,j}$) 과 선행 행 (r_{i-1}) 사이에 연결되는 다이오드 (D) 를 포함한다.
- <107> 다이오드 (D) 는, 통상 드레인 (d') (또는 소스) 및 게이트 (g') 가 함께 선행 행 (r_{i-1}) 으로 연결되는 트랜지스터에 의해 획득될 수 있다. 트랜지스터의 다른 도전성 전극인, 이 예시에서의 소스 (s') 는 화소 전극 ($EP_{i,j}$) 으로 연결된다.
- <108> 도 4b 는 상이한 행 시간들 (t_{i-1} , t_i , t_{i+1} 등) 동안 매트릭스의 행과 열에 인가되는 신호에 따라, 화소 전극 ($EP_{i,j}$) 에서 획득될 수 있는 신호의 형상을 도시한다. 이는 도 3b 에 도시된 바와 대략 동일하다.
- <109> 도 5 는 제 02 15484 로 등록되고, "디스플레이 스크린을 위한 능동 매트릭스 구조 및 이러한 매트릭스를 포함하는 스크린 (Active matrix structure for display screen and screen comprising such a matrix)" 으로 명명된 프랑스 특허 출원에 설명되는 예시적인 능동 매트릭스를 도시한다. 이러한 매트릭스는, 행에 평행하며, 화소 전극의 각각의 행 아래에 배치되며, 축전 커패시턴스로서 사용되는 버스를 설명한다. 이러한 매트릭스는 본 발명에 따른 매트릭스를 제조하는데 사용될 수도 있다.
- <110> 이러한 매트릭스가 도 5 에서 도시된다. 이는 화소 전극의 각 행 아래에 제공되는 축전 커패시턴스 버스를 포함한다. 각각의 화소 전극 ($EP_{i,j}$) 은 2 개의 연속하는 행과 열에 의해 일괄 영역의 큰 부분을 커버한다. 도 5 에서, 화소 전극의 행 (R_i) 은, 관련 선택 행 (r_i) 과, 직전 행의 선택 행 (r_{i-1}) 에 의해 묶인다.
- <111> 화소 전극의 각각의 행 (R_i) 에 대해, 연관되는 축전 커패시턴스 버스 (B_i) 는, 대략 동일한 폭으로, 행 아래에 제공된다. 이 버스 (B_i) 는, 2 개 선택 행 (r_i 과 r_{i-1}) 사이에, 나란하게 배치된다. 이는 선행 행의 선택 행 (r_{i-1}) 으로 연결된다. 나타난 예시에서, 버스는 매트릭스의 활성 영역 (ZA) 외부로, 그 두 종단을 통해, 이 행으로 연결된다.
- <112> 이 버스 (B_i) 는 행 (r_i) 의 각각의 화소 전극 ($EP_{i,j}$) 과 축전 커패시턴스 (Cst) 를 형성한다.
- <113> 본 발명에서, 선행 선택 행 (r_{i-1}) 으로 연결되며, 매우 큰, 버스 (B_i) 에 의해 형성되는 이 축전 커패시턴스는, 필요한 초기화 전압, 즉, 통상 초기화 전압 (Vreset) 으로, 행 (r_i) 의 화소 전극 ($EP_{i,j}$) 을 충전하는데 유리하게 사용된다. 이는 축전 커패시턴스 (축전 커패시턴스의 평면과 화소 전극 사이에 면하는 영역, 사용되는 유전체 및 유전체의 두께) 를 치수화 (dimensioning) 함으로써 획득되어, 커플링 오프셋이 요구되는 초기화 전압보다 더 크게 된다.
- <114> 따라서, 도 3a 의 화소 전극 ($EP_{i,j}$) 에 연결되는 스위칭 소자 (T') 는 여기에서 등가인 방식으로 버스 (B_i) 로 교체된다. 사실, 이 버스는 이 전극 ($EP_{i,j}$) 과 축전 커패시턴스를 형성하고, 이 커패시턴스의 일 단자는 화소 전극으로 연결되며, 커패시턴스의 다른 단자는 도전성 버스에 의해 형성되며 선행 행 (r_{i-1}) 으로 연결된다. 전압 (V_{goff}) 에서 전압 (V_{gon}) 으로의 라인 (r_{i-1}) 에서의 스위칭은, 대략 전압 (Vreset) 인, 커플링 오프셋

과 동일한 전압의 축전 커패시턴스의 다른 단자를 스위칭하는 것을 도출한다.

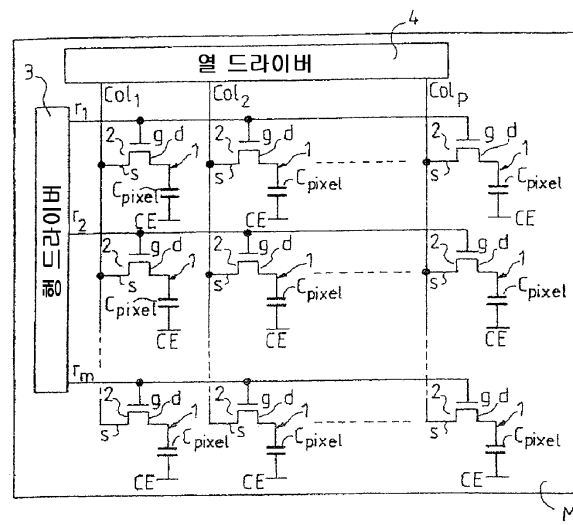
- <115> 따라서, 도 3b 로 돌아가서, 선행 행 시간 ($t_{l_{i-1}}$) 에서, 선행 행 (r_{i-1}) 은 초기화 전압 (V_{reset}) 보다 더 크도록 선택된 레벨 (V_{gm}) 에 있다. 선행 행 (r_{i-1}) 으로 연결되는, 버스 (B_i) 를 통해 커플링함으로써, 행 (r_i) 의 모든 화소 전극은 초기화 전압 (V_{reset}) 으로 된다. 따라서, 각각의 화소 전극과 연관되는 초기화 회로는 상기 전극과 축전 커패시턴스를 형성하는 버스를 포함한다.
- <116> 따라서, 더욱 일반적으로, 본 발명의 일 실시형태에 따르면, 매트릭스는, 각각의 행 (r_i) 에 대해, 상기 행의 화소 전극의 행 아래에 매립되며, 선행 행 (r_{i-1}) 으로 연결되는, 도전성 버스 (B_i) 를 포함한다. 이 버스는 랭크 (i) 의 상기 행의 화소 전극의 각각과 축전 커패시턴스를 형성한다. 이 축전 커패시턴스는 초기화 전압 (V_{reset}) 보다 큰 커플링 오프셋을 초과하도록 치수화된다.
- <117> 이때 각각의 화소 전극과 연관되는 초기화 회로는 상기 전극과 축전 커패시턴스를 형성하는 버스를 포함한다.
- <118> 상술한 본 발명은, 2 개 스테이지, 즉 파괴를 위한 초기화 스테이지 및 새로운 비디오 데이터 신호를 기입하기 위한 스테이지를 갖는 전기 신호 형상을 각각의 화소 전극에 인가하는데 사용될 수 있다. 화소 전극은 새로운 비디오 프레임의 다음 행 시간까지 제 2 스테이지에 남아있다.
- <119> 본 발명의 개량은, 행 시간의 끝에서 각각의 행의 화소 전극을 접지하는 회로를 포함한다.
- <120> 이때 3 개 스테이지, 즉 앵커링 파괴에 대응하는 스테이지, 새로운 비디오 아이템의 디스플레이 (그레이 레벨) 에 대응하는 스테이지, 및 접지로 복귀하는 스테이지를 갖는 신호 형상이 화소 전극에 존재한다. Nemoptic 사에 의해 출원된 상술한 특허에 따르면, 화소 전극을 제어하는 이러한 방법은 더 양호한 성능을 제공한다.
- <121> 이러한 접지 회로를 포함하는 본 발명에 따른 매트릭스의 제 1 실시형태가 도 6a 에 도시되어 있다.
- <122> 이 실시형태에서, 접지 회로는, 다음 행 시간 ($t_{l_{i+1}}$) 에서 활성화되고, 화소 전극 ($EP_{i,j}$) 과 매트릭스의 접지면 (ground plane; GP) 사이에 연결되며, 통상 트랜지스터 (T'') 인, 다른 스위칭 소자이다. 이를 위해, 이 접지 트랜지스터 (T'') 의 게이트 (g'') 는 다음의 행 (r_{i+1}) 에 연결된다.
- <123> 도 6b 에서 도시된 바와 같이, 화소 전극 ($EP_{i,j}$) 의 전압 레벨은, 행 시간 ($t_{l_{i+1}}$) 에서, 행 시간 (t_{l_i}) 에서 충전된 비디오 레벨 (V_{Di}) 로부터 접지 (0 볼트) 로 된다.
- <124> 행 (r_i) 의 화소 전극 ($EP_{i,j}$) 에서의 제어된 신호의 3 개 전압 스테이지에 대응하는, 3-행-시간 동작 모드가 존재한다:
- <125> -(앵커링 파괴를 위한) 이 화소 전극의 초기화 사이클 (τ_c) 에 대응하는 행 시간 ($t_{l_{i-1}}$).
- <126> -이 화소 전극에서의 새로운 비디오의 디스플레이 사이클 (τ_v) 에 대응하는 행 시간 (t_{l_i}).
- <127> -이 화소 전극의 접지 사이클 (τ_m) 에 대응하는 행 시간 ($t_{l_{i+1}}$).
- <128> 따라서 행마다, 3 개의 연속인 행 시간들, 즉, 선행 행의 행 시간, 현재 행의 행 시간, 후행 행의 행시간에서 3 개 사이클들 (τ_c , τ_v , τ_m) 이 이어진다.
- <129> 이 실시예에서 이들 행 시간들은, 바로 연속되며, 설계를 용이하게 하는 선택이지만, 이 행 시간들이 다수의 행 시간들로 분리되는 것도 완벽하게 가능하다.
- <130> 도 6a 는 3 개의 트랜지스터들, 즉 비디오 충전을 위한 트랜지스터 (T), 초기화를 위한 트랜지스터 (T') 및 접지를 위한 트랜지스터 (T'') 를 갖는 제어 디바이스를 도시한다. 예시에서, 접지 트랜지스터는 매립된 접지면 (GP) 에 연결된다. 이는, 초기화 트랜지스터 (T') 가 되는 그 자체가 전압 (V_{reset}) 으로 되는 버스 또는 상이한 도전면으로 연결된다는 것을 전제로 한다. 도 6a 에서, 따라서 전압 (V_{reset}) 이, 열에 평행한 도전체를 포함하는 리셋 전원 공급 버스에 의해 야기된다 (이는 도 3a 의 실시형태에 대응함). 도 6c 에서, 전압 (V_{reset}) 은 LS (light shield) 타입 도전성 면 (도 3d 에 관련하여 설명된 실시형태에 대응하는) 에 의해 가져와진다.
- <131> 더욱 일반적으로, 도 6d 에 도시된 바와 같이, 접지 트랜지스터 (T'') 는 매트릭스의 도전성 기능층 (F) 으로 연

결되며, 이는 접지된다.

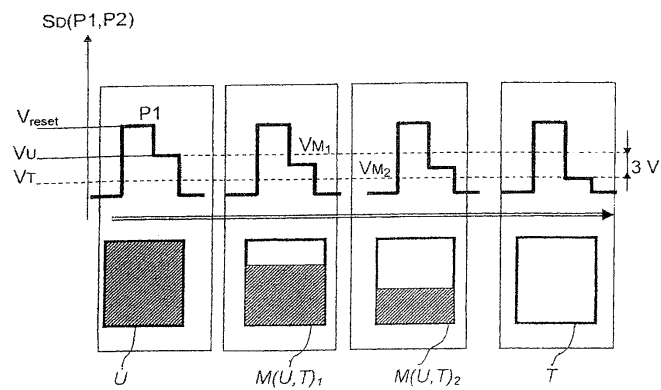
- <132> 접지 회로는 도 4a 에서 도시된 행/화소 부유 커패시턴스 (C_{pixel}/r_i) 에 의해 생성될 수 있다. 화소 전극을 방전하도록, 커패시턴스의 값은, 적어도 행이 선택 해제되는 경우에 화소의 비틀림 임계 전압으로 전이하는 것을 보장하도록 적응된다.
- <133> 다른 실시형태에 따르면, 접지는, 이 트랜지스터들은 다결정, 미결정, 다형 (polymorphous) 또는 유기인 경우, 각 화소 전극의 제어 디바이스의 제 1 스위칭 소자 (T) 및/또는 제 2 스위칭 소자로부터의 누설 전류의 자연적인 동작 (natural play) 에 의해 획득될 수 있다.
- <134> 도 7 은, 그 이용에 따르면 디스플레이의 액정을 포함하는 캐비티에서 통상 사용되는 스페이서 (spacer: e) 로부터의 누설 전류로 이루어지는, 본 발명에 따른 매트릭스의 접지 회로의 다른 실시형태를 도시한다. 본 발명에 따르면, 각 전극에 하나 이상의 스페이서가 존재한다. 이 스페이서는 화소 전극 및 대향-전극 (CE) 과 접촉한다. 이때 각 스페이서의 누설 전류는 화소 전극을 대향-전극 전위 (통상 접지) 로 끌어내릴 것이다. 이 스페이서는, 화소의 충전을 방해하지 않도록 충분히 높지만, 다수의 행 시간 후에 방전을 획득하기에 충분히 낮은, 소정의 도전성을 갖고 선택 물질로 이루어진다.
- <135> 도 8 은, 이 경우 행이 여전히 선택되는 것이 필수적이기 때문에 행 시간 끝의 직전에서, 각 행 시간의 끝에서, 즉 이 행 드라이브 (4) 의 전원의 적절한 제어와 협력하여, 도 3a, 도 3b, 도 3c, 도 3d, 도 4a, 또는 도 5 에 도시된 실시형태 또는 이들의 변형중 임의의 하나를 따르는, 본 발명에 따른 매트릭스에서 접지 회로의 또 다른 실시형태를 도시한다.
- <136> 따라서, 행의 화소 전극의 접지는, 각 행 시간의 끝에서 각 열에 대한 0 으로의 복귀를 제어함으로써 획득된다. 따라서, 각 행 시간에서, 예를 들면 행 시간 (t_{li}) 에서, 각 열에서, 예를 들면 열 (col_i) 에서, 이때 일단 디스플레이될 비디오 전압 레벨 (V_{Di}) 은, 레벨 0 이다. 이는 도 8 에서 명백하게 보여진다. 이는, 열 제어 회로 (열 드라이버) 에서, 또는 적절한 방식으로 제어되는 개별 회로를 통해, 각각의 행 시간의 끝 직전에 (행은 반드시 여전히 선택되어야 함) 아날로그 전압의 접지에 대해, 제공함으로써 획득된다.
- <137> 실제로, 상술한 본 발명에서, 실시형태의 변형에 의존하는 매트릭스의 트랜지스터들 (T 및 T' (또는 D) 또는 T, T' 및 T") 은, 채널이 비결정 실리콘으로 제조되며, 누설 전류의 소스가 되지 않는 이점을 제공하는, TFT 트랜지스터일 수 있다. 이는 TN 또는 IPS 디스플레이의 중요한 파라미터이다.
- <138> 누설 전류의 방해가 적용되지 않는, 쌍안정 네마틱 디스플레이에서, 일단 텍스처가 "기입" 되면 화소는 정보를 영구적으로 보존하기 때문에, 다결정, 미결정, 또는 다형 또는 심지어 유기 타입의 트랜지스터를 사용하는 것이 유리하게 가능하다. 이 경우, 화소 전극을 방전하는 트랜지스터들 (T 및/또는 T') 로부터의 누설 전류의 작용에 의해 접지를 간단하게 획득될 수도 있는 방법이 보여졌다.
- <139> 초기화 회로 및 접지 회로에 대한 상이한 실시형태들이 함께 조합된다. 도면은 본 발명을 설명하는 예시로서 이 조합의 일부를 도시한다. 본 발명은 이 설명된 조합만으로 제한되지 않으며, 당업자가 통상의 지식을 적용하여 개발할 수 있는 모든 변형을 포함한다.
- <140> 따라서 통합형 또는 통합형이 아닌 표준 행 또는 열 드라이버를 갖는 본 발명에 따른 능동 매트릭스를 포함하는 쌍안정 네마틱 디스플레이는, 40 μ s 미만의 행시간으로 구동될 수 있고, 이는 쌍안정 네마틱 기술에 의해 제공되는 모든 이점들을 갖고, 저비용으로, 다수의 애플리케이션에 본 발명에 따른 능동 매트릭스가 사용될 수 있는 것을 의미한다.
- <141> 액정 디스플레이에서, 화소 전극 및 대향-전극은 화소 커패시턴스의 2 개의 전기자들을 형성하고, 정보를 저장하는데 사용되는 쌍안정 물질이 2 개 전기자들 사이에 존재한다.
- <142> 상술된 발명은, ROM, RAM, CCD 및 다른 타입의 메모리와 같은, 적어도 2 개의 안정 상태를 갖는, 매트릭스 메모리 디바이스와 동일한 방식으로 인가되며, 여기에서 쌍안정 물질은 정보 축전 커패시턴스의 2 개의 전기자들 사이에 존재한다. 이 문맥에서, 화소 전극은 이 커패시턴스의 전기자로 이해되어야 한다.

도면

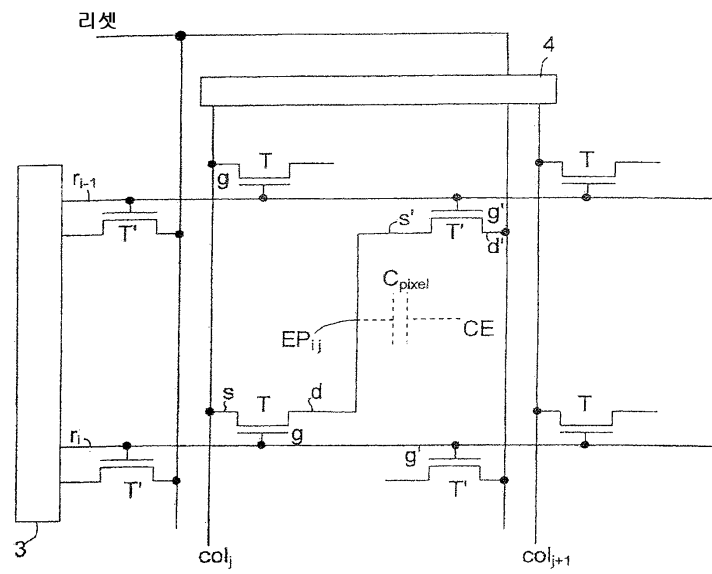
도면1



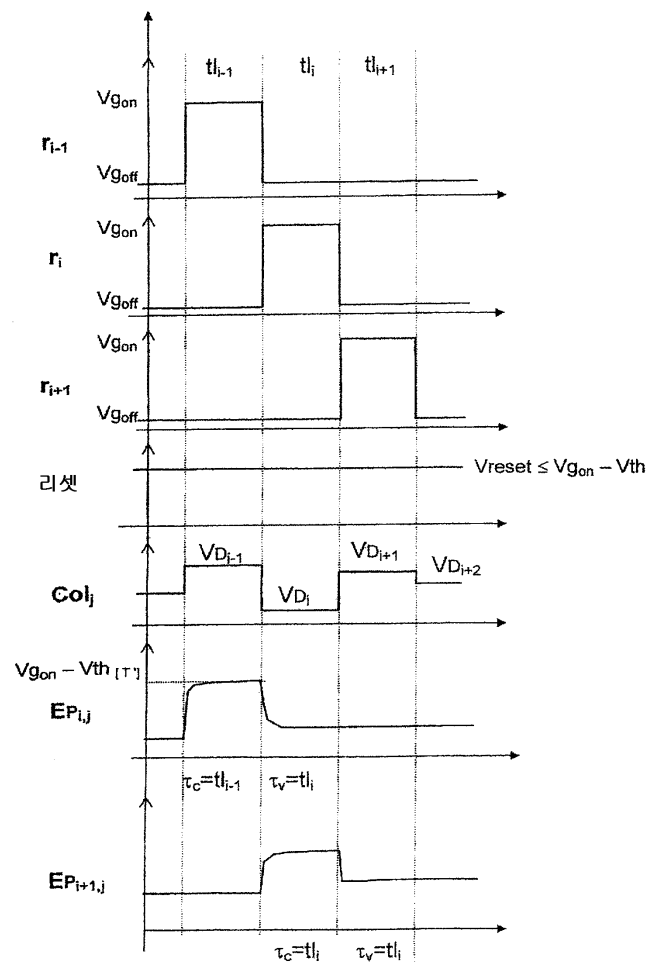
도면2



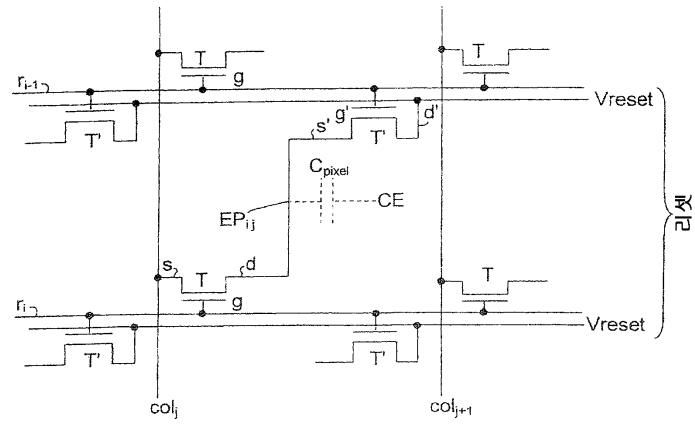
도면3a



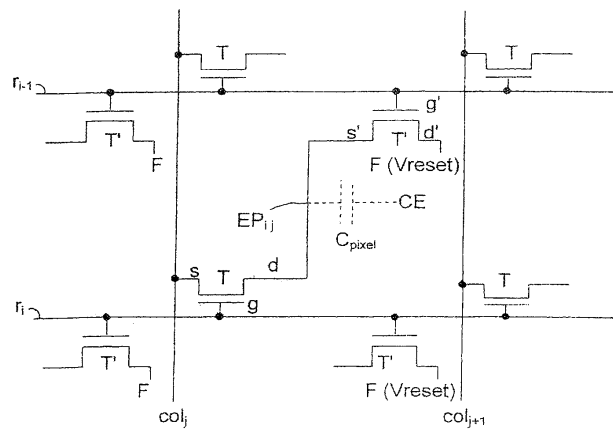
도면3b



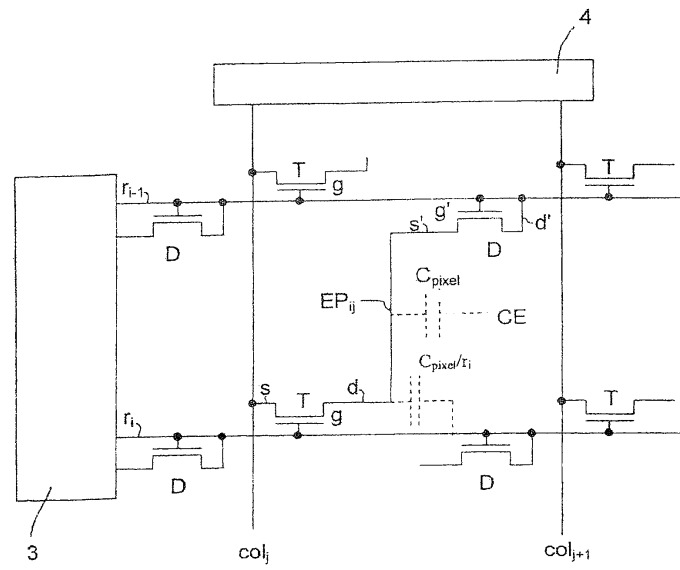
도면3c



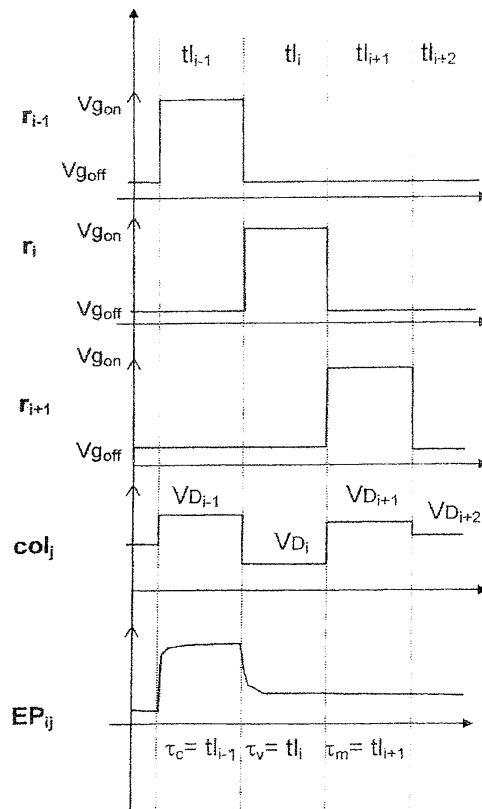
도면3d



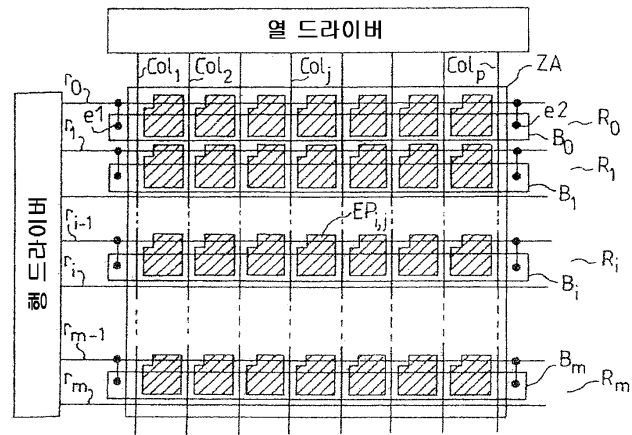
도면4a



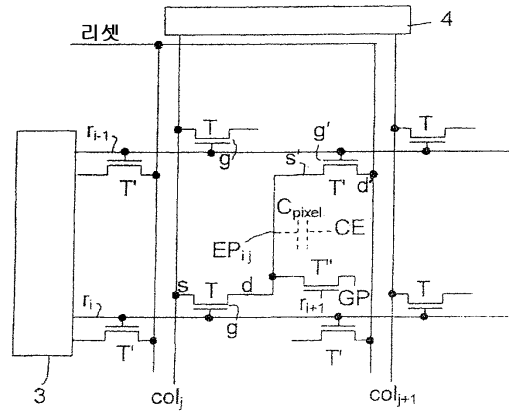
도면4b



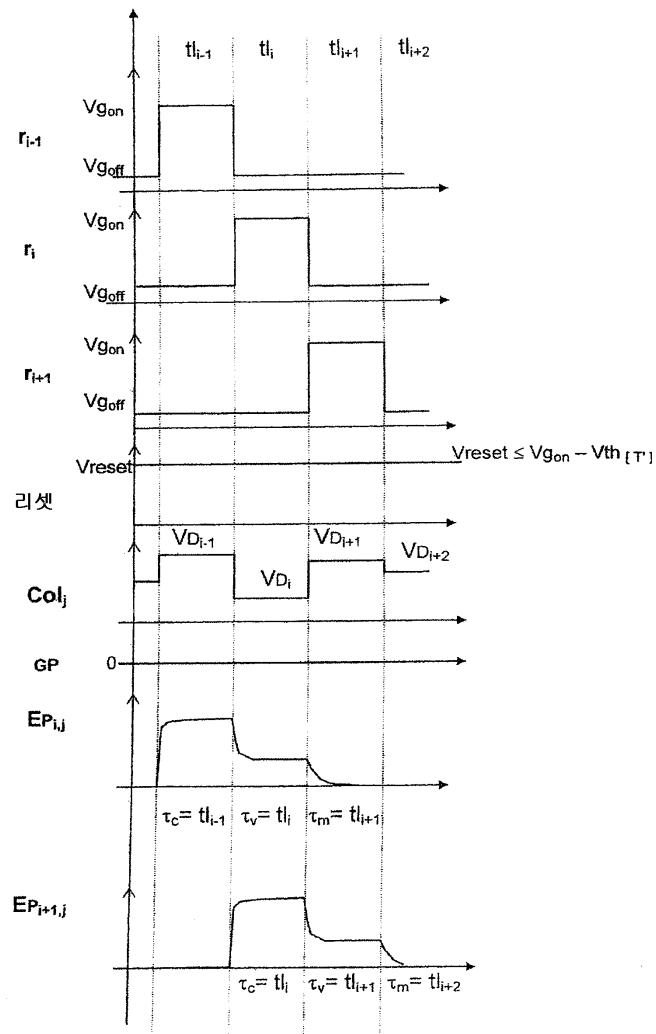
도면5



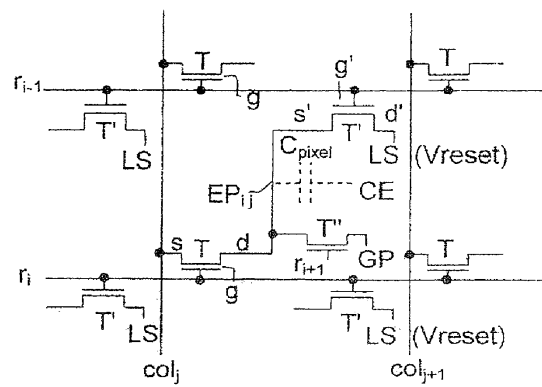
도면6a



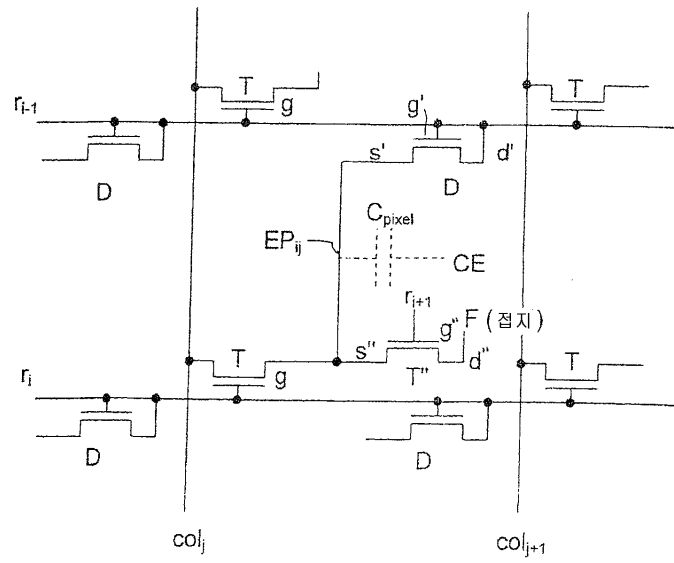
도면6b



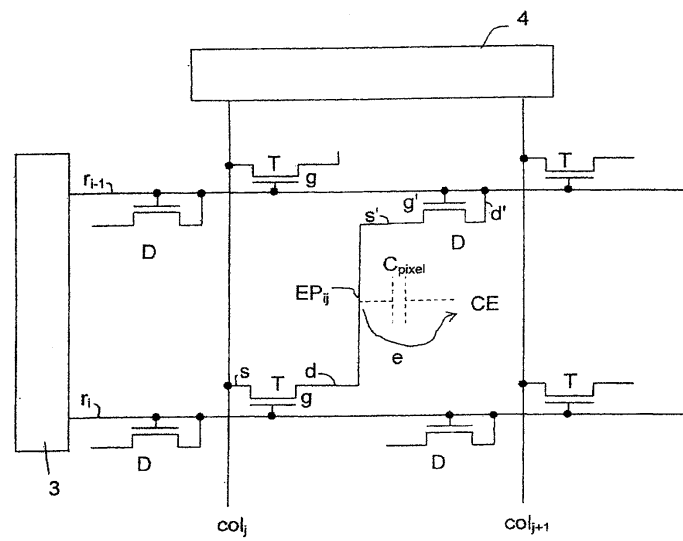
도면6c



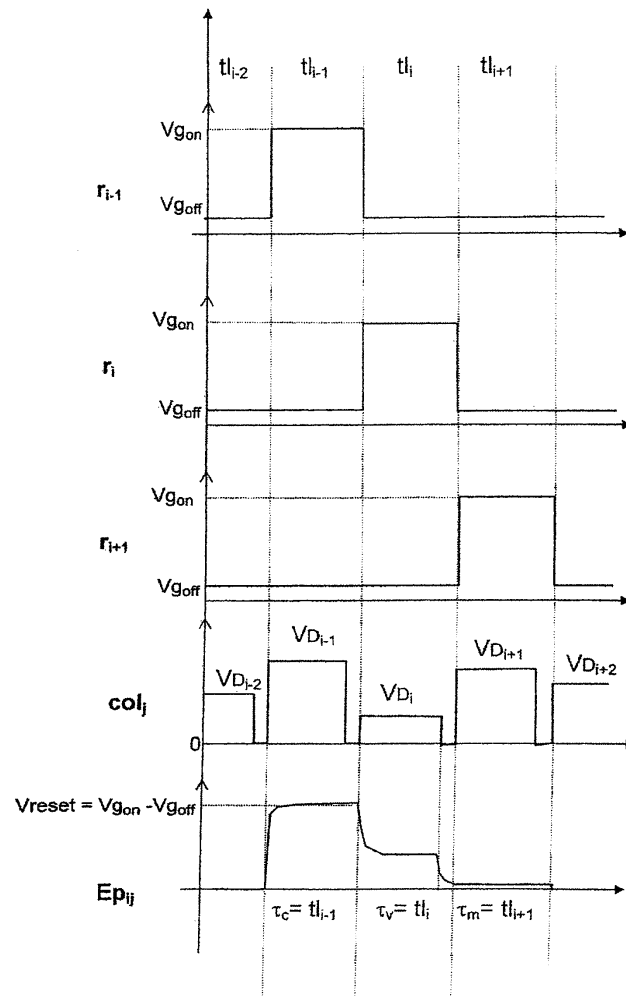
도면6d



도면7



도면8



专利名称(译)	用于液晶显示器件的有源矩阵		
公开(公告)号	KR1020080032248A	公开(公告)日	2008-04-14
申请号	KR1020087005041	申请日	2006-08-01
[标]申请(专利权)人(译)	汤姆森 - 无线电报总公司		
申请(专利权)人(译)	泰勒斯		
当前申请(专利权)人(译)	泰勒斯		
[标]发明人	LEBRUN HUGUES 르브뤽위그 KRETZ THIERRY		
发明人	르브뤽위그 크레츠띠에리		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2310/065 G09G2310/061 G09G2300/0842 G09G2300/043 G09G2320/0252 G09G3/3659 G09G2300/0408 G09G3/2011 G09G3/3655 G09G2310/062 G09G2300/0876		
代理人(译)	韩国专利公司		
优先权	2005008259 2005-08-02 FR		
外部链接	Espacenet		

摘要(译)

用于液晶显示装置的有源矩阵包括布置在列和行的交叉网眼织物中的像素电极。提供用于控制与每个像素电极连接的电极装置，并且该用于控制的电极装置包括连接到与之相关的行 $(r(SB)i(/SB))$ 的该开关元件 (T) 的控制电极 (g) 。第一开关元件 (T) 连接在与像素电极相关的热量 $(col(SB)j(/SB))$ $(EP(SB)i(/SB)(SB),j(/SB))$ 之间。控制装置包括连接到该像素电极的第二开关元件 $(T\#39;)$ $(EP(SB)i(/SB)(SB),j(/SB))$ 。并且该第二开关元件的控制电极 $(g\#39;)$ 连接到网眼织物的行 $(r(SB)i(/SB)(SB)-1(/SB))$ 。本发明用于有源矩阵双稳态向列显示器。双稳态向列显示器，有源矩阵和用于控制的电极装置。

