



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2007-0076290
(43) 공개일자 2007년07월24일

(21) 출원번호 10-2006-0005474
(22) 출원일자 2006년01월18일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 정세진
경기 용인시 상현동 860 서원마을3단지 아이파크 301동 1204호

(74) 대리인 정상빈
특허법인가산

전체 청구항 수 : 총 4 항

(54) 액정 표시 장치의 제조 방법

(57) 요약

제조 공정을 단순화하여 제조 단가를 낮출 수 있는 액정 표시 장치의 제조 방법이 제공된다. 액정 표시 장치의 제조 방법은, 기판 상에 폴리 실리콘 패턴 및 게이트 절연막을 형성하는 단계와, 포토레지스트 패턴을 식각 마스크로 이용하여 게이트 절연막 상에 게이트 도전막 패턴을 형성하는 단계와, 게이트 도전막 패턴을 이온주입 마스크로 이용하여 폴리 실리콘 패턴 내에 고농도 불순물 영역을 형성하는 단계와, 포토레지스트 패턴의 측면을 식각하는 단계와, 포토레지스트 패턴을 식각 마스크로 이용하여 게이트 도전막 패턴을 식각하여 게이트 전극을 형성하는 단계와, 게이트 전극을 이온주입 마스크로 이용하여 폴리 실리콘 패턴 내에 저농도 불순물 영역을 형성하는 단계를 포함한다.

대표도

도 5

특허청구의 범위

청구항 1.

기판 상에 폴리 실리콘 패턴 및 게이트 절연막을 형성하는 단계;

포토레지스트 패턴을 식각 마스크로 이용하여 상기 게이트 절연막 상에 게이트 도전막 패턴을 형성하는 단계;

상기 게이트 도전막 패턴을 이온주입 마스크로 이용하여 상기 폴리 실리콘 패턴 내에 고농도 불순물 영역을 형성하는 단계;

상기 포토레지스트 패턴의 측면을 식각하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 게이트 도전막 패턴을 식각하여 게이트 전극을 형성하는 단계; 및

상기 게이트 전극을 이온주입 마스크로 이용하여 상기 폴리 실리콘 패턴 내에 저농도 불순물 영역을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 2.

제1 항에 있어서,

상기 포토레지스트 패턴의 측면을 식각하는 단계는 애싱 공정을 이용하는 액정 표시 장치의 제조 방법.

청구항 3.

제2 항에 있어서,

상기 애싱 공정에서 O_2 의 유량을 줄여서 식각속도를 낮추는 액정 표시 장치의 제조 방법.

청구항 4.

제1 항에 있어서, 상기 저농도 불순물 영역을 형성한 후에,

상기 결과물 상에 제1 층간 절연막을 형성하는 단계; 상기 제1 층간 절연막 상에 상기 게이트 전극의 양측에 위치하는 고농도 불순물 영역과 각각 연결되는 소오스 전극 및 드레인 전극을 형성하는 단계; 상기 제1 층간 절연막 상에 제2 층간 절연막을 형성하는 단계; 및 상기 제2 층간 절연막 상에 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치의 제조 방법에 관한 것으로, 보다 상세하게는 폴리 실리콘을 이용한 액정 표시 장치의 제조 방법에 관한 것이다.

최근에 텔레비전 등의 표시 장치의 대형화 추세에 따라 음극선관 표시 장치(Cathode Ray Tube; CRT) 대신에 액정 표시 장치(LCD), 플라즈마 표시 장치(Plasma Display Panel; PDP), 유기 이엘 표시 장치(Organic ElectroLuminescent Display; OLED) 등과 같은 평판 패널형 표시 장치가 개발되고 있다. 이러한 평판 패널형 표시 장치 중에서 경량화 및 박형화가 가능한 액정 표시 장치가 특히 주목받고 있다.

액정 표시 장치는 공통 전극, 컬러 필터, 블랙 매트릭스 등이 형성되어 있는 상부 투명 절연 기관(이를 공통 전극 표시판이라 함)과, 박막 트랜지스터, 화소 전극 등이 형성되어 있는 하부 투명 절연 기관(이를 박막 트랜지스터 표시판이라 함) 사이에 이방성 유전율을 갖는 액정 물질을 주입해 놓고, 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 액정 물질에

형성되는 전계의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 투명 절연 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다. 이러한 액정 표시 장치는 박막 트랜지스터를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시 장치(TFT LCD)가 주로 사용되고 있다.

박막 트랜지스터 소자로서는 수소화된 비정질 실리콘이 주로 이용되었는데, 이는 저온 공정이 저가의 절연 기판을 사용할 수 있기 때문이다. 그러나 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합 또는 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전계 인가시 준안정 상태(quasi-steady state)로 변화되어 수소화된 비정질 실리콘으로 제조된 박막 트랜지스터 소자는 안정성의 문제점이 대두되었다. 또한 전기적 특성(예를 들면, 이동도(mobility): 0.1 내지 1.0 $\text{cm}^2/\text{V}\cdot\text{s}$)이 좋지 않아서 구동 회로(예를 들면, 게이트 구동 회로 또는 데이터 구동 회로)로 이용되기 어려웠다.

반면, 폴리 실리콘은 비정질 실리콘에 비하여 이동도가 크기 때문에 폴리 실리콘으로 제조된 박막 트랜지스터 소자는 구동 회로로 이용될 수 있다. 이로 인해서, 폴리 실리콘으로 제조된 박막 트랜지스터는 액정 표시 장치용 박막 트랜지스터로서 널리 이용되고 있다.

이러한 폴리 실리콘을 이용한 박막 트랜지스터의 경우 킥 효과(kink effect)와 누설 전류(leakage current)를 제어하기 위해 폴리 실리콘 패턴에 LDD(Lightly Doped Drain) 영역을 형성한다. 종래의 액정 표시 장치의 제조 방법에 따르면, 이러한 LDD 영역을 형성하기 위해 추가적으로 식각 마스크(mask)를 필요로 하기 때문에 제조 단가가 상승하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 제조 공정을 단순화하여 제조 단가를 낮출 수 있는 액정 표시 장치의 제조 방법을 제공하고자 하는 것이다.

본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은, 기판 상에 폴리 실리콘 패턴 및 게이트 절연막을 형성하는 단계와, 포토레지스트 패턴을 식각 마스크로 이용하여 상기 게이트 절연막 상에 게이트 도전막 패턴을 형성하는 단계와, 상기 게이트 도전막 패턴을 이온주입 마스크로 이용하여 상기 폴리 실리콘 패턴 내에 고농도 불순물 영역을 형성하는 단계와, 상기 포토레지스트 패턴의 측면을 식각하는 단계와, 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 게이트 도전막 패턴을 식각하여 게이트 전극을 형성하는 단계와, 상기 게이트 전극을 이온주입 마스크로 이용하여 상기 폴리 실리콘 패턴 내에 저농도 불순물 영역을 형성하는 단계를 포함한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하 도 1 내지 도 9를 참조하여 폴리 실리콘을 채널 영역으로 하는 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법에 대하여 자세히 설명한다. 도 1 내지 도 9는 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 순차적으로 나타내는 공정 단면도들이다.

도 1에 도시된 바와 같이, 투명 기판(10)에 버퍼층(12)으로 실리콘 산화막 또는 실리콘 질화막을 화학 기상 증착법 등을 이용하여 적층한다.

이어서 버퍼층(12) 위에 폴리 실리콘(poly silicon)층(미도시)을 적층한다. 여기서 버퍼층(12)은 공정 조건에 따라 생략될 수 있으며, 폴리 실리콘층은 아몰퍼스 실리콘(amorphous silicon)을 화학 기상 증착법 등을 이용하여 증착하고 탈수소화 과정을 거친 후, 레이저 결정작업 및 붕소 등의 불순물을 이온주입하여 형성한 것이다. 재결정작업 전에 기판의 후면에 증착되어 있던 아몰퍼스 실리콘은 제거시킬 수 있다.

그리고, 사진 공정과 식각 공정을 통해 도 1에 도시된 바와 같이 트랜지스터의 액티브 영역을 구성할 폴리 실리콘 패턴(20)을 형성한다.

도 2에 도시된 바와 같이, 폴리 실리콘 패턴(20)이 형성된 기판(10) 상에 게이트 절연막(30)과 게이트 도전막(40)을 적층한다. 게이트 절연막(30)은 실리콘 산화막을 실리콘 산화막, 실리콘 질화막 또는 실리콘 산질화막 등을 화학 기상 증착법 등을 이용하여 형성하며, 게이트 도전막(40)은 주로 알루미늄 또는 알루미늄 합금 등을 물리 기상 증착법 등을 이용하여 형성한다. 예를 들어, 게이트 도전막(40)은 Al, AlNd, AlMo, Mo, W 등을 사용하여 형성할 수 있다. 이러한 게이트 도전막(40)은 알루미늄 함유금속과 몰리브덴 함유금속의 2층 구조, 알루미늄 함유금속과 경우에 따라서는 크롬의 2층 구조를 사용할 수도 있으나 게이트 패턴을 형성하기 위한 식각에서 언더컷을 이루는 형태나 이온도핑 후의 어닐링 단계에서의 문제점이 없는 금속을 사용해야 한다. 이어서 다시 도 2를 참조하면, 게이트 도전막(40) 상에 게이트 패턴을 정의하는 포토레지스트 패턴(50)을 형성한다.

그 후 도 3을 참조하면, 포토레지스트 패턴(50)을 식각 마스크로 사용하여 게이트 도전막(40)을 식각하여 게이트 도전막 패턴(42)을 형성한다. 이 때 게이트 도전막 패턴(42)을 형성하기 위해 건식 식각을 이용할 수 있다.

이어서 도 4를 참조하면, 포토레지스트 패턴(50)과 게이트 도전막 패턴(42)을 이온 주입 마스크로 사용하여 고농도 불순물 이온 주입(60)을 수행하여, 폴리 실리콘 패턴(20) 내에 고농도 불순물 영역(22)을 형성한다. 이 때 불순물로는 N형 불순물, 예를 들어 PH_3 등을 사용할 수 있으며, 1.0×10^{15} 내지 5.0×10^{15} atoms/ cm^2 정도의 주입량(dose)으로 불순물을 이온주입한다. 고농도 불순물 영역(22)은 포토레지스트 패턴(50) 및 게이트 도전막 패턴(42)에 정렬되어 폴리 실리콘 패턴(20) 내에 형성된다.

그 후 도 5를 참조하면, 게이트 도전막 패턴(42) 상에 위치하는 포토레지스트 패턴(50)에 대하여 애싱(ashing) 공정을 수행하여 포토레지스트 패턴(50)의 측면을 식각함으로써 폭이 줄어든 포토레지스트 패턴(52)을 형성한다. 이 때 포토레지스트 패턴(52)의 폭을 균일하게 조절하기 위해서는 애싱 공정에서 O_2 의 유량을 최소화하여 식각 속도를 낮추는 것이 바람직하다.

이어서 도 6에 도시된 바와 같이 포토레지스트 패턴(52)을 식각 마스크로 사용하여 게이트 도전막 패턴(42)을 식각하여 게이트 전극(44)을 형성한다. 이 때 게이트 전극(44)을 형성하기 위해 건식 식각을 이용할 수 있다. 이어서 포토레지스트 패턴(52)을 제거한다.

그 후 도 7에 도시된 바와 같이 게이트 전극(44)을 이온 주입 마스크로 사용하여 저농도 불순물 이온 주입(62)을 수행하여, 폴리 실리콘 패턴(20) 내에 저농도 불순물 영역(24)을 형성한다. 이 때 불순물로는 N형 불순물을 사용할 수 있으며, 약 1.0×10^{12} 내지 8.0×10^{12} atoms/ cm^2 정도로 주입량으로 불순물을 이온주입한다. 저농도 불순물 영역(24)은 게이트 전극(44)에 정렬되어 폴리 실리콘 패턴(20) 내에 형성된다. 이와 같은 저농도 불순물 영역(24)을 LDD(Lightly Doped Drain) 영역이라 하며, 저농도 불순물 영역(24)을 형성함으로써 박막 트랜지스터의 킹크 효과(kink effect) 및 누설 전류(leakage current)를 억제할 수 있다.

그리고 이온주입 다음으로는 이온주입시의 결정 구조의 손상에 따른 전기저항 증가를 없애고 불순물의 확산을 위해 레이저 등을 이용하여 어닐링을 실시할 수 있다.

이어서 도 8을 참조하면 게이트 전극(44) 및 게이트 절연막(30) 상에 절연 물질을 적층하여 제1 층간 절연막(70)을 형성한다. 제1 층간 절연막(70)은 대개 실리콘 산화막, 실리콘 질화막 또는 실리콘 산질화막 등을 화학 기상 증착법 등으로 형성할 수 있다. 이 후 제1 층간 절연막(70)을 패터닝하여 게이트 전극(44)의 양측에 위치하는 고농도 불순물 영역(22)을 노출시키도록 한 쌍의 콘택홀(72, 74)을 형성한다.

이어서 제1 층간 절연막(70) 상에 데이터 도전막(미도시)을 형성한 후 패터닝하여 한 쌍의 콘택홀(72, 74) 내에 각각 소오스 전극(82)과 드레인 전극(84)을 형성한다. 여기서 소오스 전극(82) 및 드레인 전극(84)은 각각 콘택홀(72, 74)를 통하여 고농도 불순물 영역(22)과 접촉한다. 그리고 소오스 전극(82)과 드레인 전극(84)에 사용되는 데이터 도전막으로는 예를 들어, Al, Mo, W, Nd, Cr, Ti, Ta 및 이들의 합금층으로 이루어진 단일층 및/또는 다중층을 사용할 수 있다. 또한 데이터 도전막으로는 게이트 도전막과 동일한 도전 물질을 사용할 수 있다.

그 후 도 9를 참조하면, 소오스 전극(82)과 드레인 전극(84) 및 제1 층간 절연막(70) 상에 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질 등을 적층하여 제2 층간 절연막(90)을 형성한다. 예를 들어 제2 층간 절연막(90)은 아크릴 수지 등의 유기 물질을 스핀 코팅(spin coating)법 등으로 형성할 수 있다.

이어서 제2 층간 절연막(90) 내에 드레인 전극(175)을 노출시키는 콘택홀(92)을 형성한다.

콘택홀(92) 내부와 제2 층간 절연막(90) 상에는 투명한 물질인 ITO 또는 IZO 등을 증착한 후 이를 패터닝하여 화소 전극(100)을 형성한다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

상술한 바와 같이 본 발명에 따른 액정 표시 장치의 제조 방법에 의하면, LDD 영역을 형성하기 위해 별도의 마스크를 사용하지 않고 포토레지스트 패턴의 애싱 공정을 이용함으로써 제조 공정을 단순화하고 제조 단가를 낮출 수 있다.

도면의 간단한 설명

도 1 내지 도 9는 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 순차적으로 나타내는 공정 단면도들이다.

(도면의 주요부분에 대한 부호의 설명)

10: 기판 12: 버퍼층

20: 폴리 실리콘 패턴 22: 고농도 불순물 영역

24: 저농도 불순물 영역 30: 게이트 절연막

40: 게이트 도전막 42: 게이트 도전막 패턴

44: 게이트 전극 50: 포토레지스트 패턴

52: 포토레지스트 패턴 60: 고농도 불순물 이온 주입

62: 저농도 불순물 이온 주입 70: 제1 층간 절연막

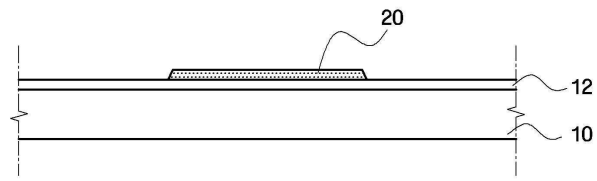
72, 74, 92: 콘택홀 82: 소오스 전극

84: 드레인 전극 90: 제2 층간 절연막

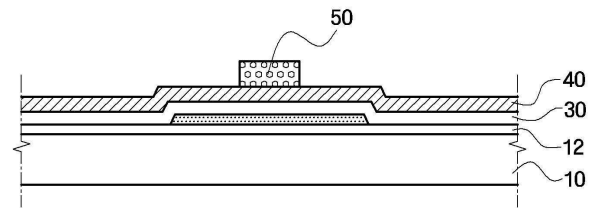
100: 화소 전극

도면

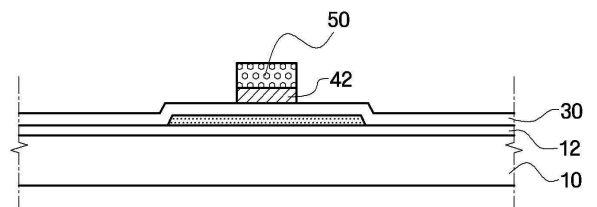
도면1



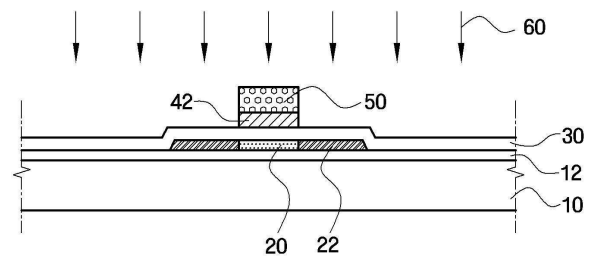
도면2



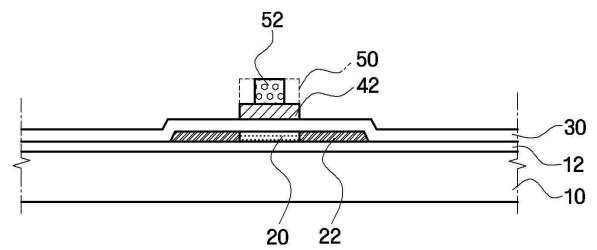
도면3



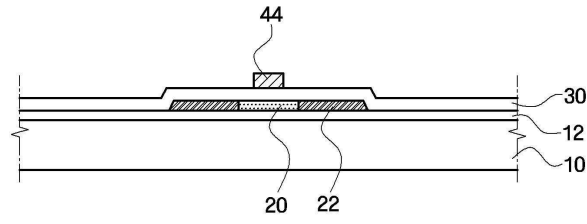
도면4



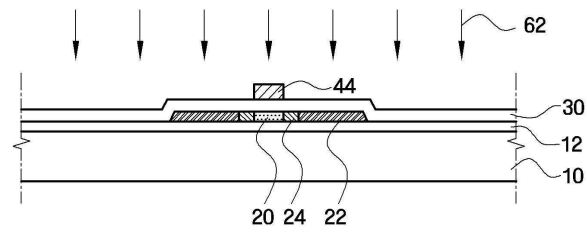
도면5



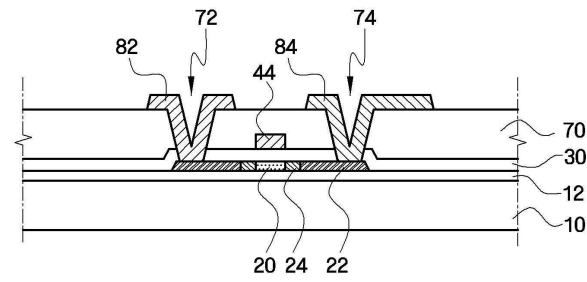
도면6



도면7



도면8



도면9

